

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-218634

(P2010-218634A)

(43) 公開日 平成22年9月30日 (2010.9.30)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/42 (2006.01)	G 1 1 C 29/00 6 3 1 D	5 B 0 1 8
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/16 3 2 0 F	5 L 1 0 6

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2009-64796 (P2009-64796)
 (22) 出願日 平成21年3月17日 (2009.3.17)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100076233
 弁理士 伊藤 進
 (72) 発明者 坂上 健二
 神奈川県横浜市笠間二丁目5番1号 東芝
 メモリシステムズ株式会社内
 (72) 発明者 石川 幸夫
 神奈川県川崎市川崎区駅前本町25番地1
 東芝マイクロエレクトロニクス株式会社
 内

最終頁に続く

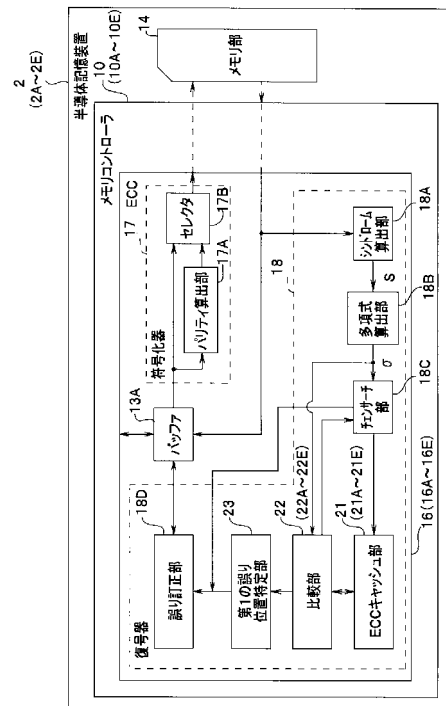
(54) 【発明の名称】 誤り検出訂正器、メモリコントローラおよび半導体記憶装置

(57) 【要約】

【課題】復号処理効率のよい誤り検出訂正器 1 6 を提供する。

【解決手段】誤りページアドレスおよび誤り位置多項式の係数 と、誤り位置を示す誤りビットアドレスとを対応付けて記憶する ECC キャッシュ部 2 1 と、シンドローム算出部 1 8 A が検出した誤りページアドレスおよび多項式算出部 1 8 B が算出した誤り位置多項式の係数 と ECC キャッシュ部 2 1 に記憶されている誤りページアドレスおよび誤り位置多項式の係数 とを比較し一致するかどうか判断する比較部 2 2 と、比較部 2 2 が一致すると判断した場合に、ECC キャッシュ部 2 1 に記憶されている誤りビットアドレスの位置を誤り位置として特定する第 1 の誤り位置特定部 2 3 と、を具備する。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

ページ単位で読み出される符号化データ列の誤りの有無を検出し、誤りがあった場合には前記誤りを訂正する誤り検出訂正器であって、

前記ページ単位で読み出される符号化データ列の誤りの有無を検出する誤り検出部と、
誤り位置多項式を算出する多項式算出部と、

誤りがあったページの位置を示す誤りページアドレスおよび/または前記誤り位置多項式の係数と、前記誤り位置を示す誤りアドレスとを対応付けて記憶する誤り位置記憶部と、

前記誤り検出部が新規に検出した誤りページアドレスおよび/または前記多項式算出部が新規に算出した前記誤り位置多項式の係数と、前記誤り位置記憶部に既に記憶されている前記誤りページアドレスおよび/または前記誤り位置多項式の係数と、を比較し一致するかどうか判断する比較部と、

前記比較部が比較した値が一致すると判断した場合に、前記誤りページアドレスおよび/または前記誤り位置多項式の係数と対応付けて前記誤り位置記憶部に記憶されている前記誤りアドレスの位置を誤り位置として特定する第 1 の誤り位置特定部と、

前記比較部が比較した値が一致しないと判断した場合に、前記誤り位置多項式から誤り位置を算出する第 2 の誤り位置特定部と、

前記誤り位置のデータの誤りを訂正する誤り訂正部と、を具備することを特徴とする誤り検出訂正器。

10

20

【請求項 2】

前記比較部が一致しないと判断した場合には、前記第 2 の誤り位置特定部が特定した前記誤り位置を、誤りアドレスとして前記誤り位置記憶部の情報を更新することを特徴とする請求項 1 に記載の誤り検出訂正器。

【請求項 3】

前記誤り位置記憶部が、前記誤り位置多項式の係数を前記誤り位置記憶部における記憶位置を示すキャッシュアドレスとして前記誤りアドレスを記憶することを特徴とする請求項 1 または請求項 2 に記載の誤り検出訂正器。

【請求項 4】

ページ単位で読み出される符号化データ列の誤りの有無を検出し、誤りがあった場合には前記誤りを訂正するメモリコントローラであって、

前記ページ単位で読み出される符号化データ列の誤りの有無を検出する誤り検出部と、
誤り位置多項式を算出する多項式算出部と、

誤りがあったページの位置を示す誤りページアドレスおよび/または前記誤り位置多項式の係数と、前記誤り位置を示す誤りアドレスとを対応付けて記憶する誤り位置記憶部と、

前記誤り検出部が新規に検出した誤りページアドレスおよび/または前記多項式算出部が新規に算出した前記誤り位置多項式の係数と、前記誤り位置記憶部に既に記憶されている前記誤りページアドレスおよび/または前記誤り位置多項式の係数と、を比較し一致するかどうか判断する比較部と、

前記比較部が比較した値が一致すると判断した場合に、前記誤りページアドレスおよび/または前記誤り位置多項式の係数と対応付けて前記誤り位置記憶部に記憶されている前記誤りアドレスの位置を誤り位置として特定する第 1 の誤り位置特定部と、

前記比較部が比較した値が一致しないと判断した場合に、前記誤り位置多項式から誤り位置を算出する第 2 の誤り位置特定部と、

前記誤り位置のデータの誤りを訂正する誤り訂正部と、を具備することを特徴とするメモリコントローラ。

40

【請求項 5】

ページ単位で読み出される符号化データ列の誤りの有無を検出し、誤りがあった場合には前記誤りを訂正する半導体記憶装置であって、

50

前記ページ単位で読み出される符号化データ列の誤りの有無を検出する誤り検出部と、
誤り位置多項式を算出する多項式算出部と、
誤りがあったページの位置を示す誤りページアドレスおよび/または前記誤り位置多項式の係数と、前記誤り位置を示す誤りアドレスとを対応付けて記憶する誤り位置記憶部と、

前記誤り検出部が新規に検出した誤りページアドレスおよび/または前記多項式算出部が新規に算出した前記誤り位置多項式の係数と、前記誤り位置記憶部に既に記憶されている前記誤りページアドレスおよび/または前記誤り位置多項式の係数と、を比較し一致するかどうか判断する比較部と、

前記比較部が比較した値が一致すると判断した場合に、前記誤りページアドレスおよび/または前記誤り位置多項式の係数と対応付けて前記誤り位置記憶部に記憶されている前記誤りアドレスの位置を誤り位置として特定する第1の誤り位置特定部と、

前記比較部が比較した値が一致しないと判断した場合に、前記誤り位置多項式から誤り位置を算出する第2の誤り位置特定部と、

前記誤り位置のデータの誤りを訂正する誤り訂正部と、を具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、誤り検出訂正器、メモリコントローラおよび半導体記憶装置に関し、特に複数のメモリセルからなるNAND型フラッシュメモリ部からページ単位で読み出される符号化データの誤りを検出し訂正する誤り検出訂正器、メモリコントローラおよび半導体記憶装置に関する。

【背景技術】

【0002】

半導体記憶装置の誤り検出訂正器は符号化器と復号化器とを有する。すなわち、データを記憶するときに、符号化器により誤り訂正符号、例えば、BCH (Bose - Chaudhuri - Hocquenghem) 符号またはBCH符号の線形ブロックコードであるリードソロモン (Reed Solomon; RS) 符号を付加した符号化データを生成し、記憶した符号化データを読み出すときに、復号化器により誤りを検出し訂正する。

【0003】

ここで、BCH符号およびリードソロモン符号は、いずれも、ガロア体上の原始多項式とその根の性質を使って構成される符号である。しかし、BCH符号が、1ビットを単位としてデータを取り扱い、また、誤り訂正符号もビット単位で生成されるのに対して、リードソロモン符号は、例えば8ビット=1バイトを単位としてデータを取り扱い、また、誤り訂正符号もバイト単位で生成される点で両者は異なる。

【0004】

復号化器は、データにBCH符号またはリードソロモン符号が付加された符号化データを、(1)誤りの有無の確認ステップ、(2)誤り数の算出ステップ(誤り位置多項式算出ステップ)、(3)誤り位置算出ステップ、(4)誤り訂正ステップの順で処理を行う。

【0005】

そして、誤りの位置の算出ステップにおいては、例えばチェンサーチ法が採用されている。チェンサーチ法では、誤り位置多項式算出ステップで算出されたN次の誤り位置多項式の変数Xに、とり得る全ての値、例えば、0~M(Mはデータの最終ビット位置または最終バイト位置)を順次、代入して、誤り位置多項式を満たすかどうかを探索していく。そして、N個の解の全てが特定された時点、すなわちN個の誤り全ての位置が特定された時点で、誤り訂正部が一括して誤っていたデータを訂正し、訂正後のデータを出力する。もし誤りの位置がデータの最終部、すなわち、チェンサーチで代入する最後の値であった場合には、チェンサーチにおいて最後の値Mの代入後において、はじめてデータ訂正およ

10

20

30

40

50

び出力が行われる。このため復号処理が完了してデータが出力されるまでに時間を要し消費電力が多くなることがあった。

【0006】

すなわち、公知の誤り検出訂正器、前記誤り検出訂正器を有するメモリコントローラ、および前記誤り検出訂正器を有する半導体記憶装置は、処理速度が遅く消費電力が多くなること、すなわち復号処理効率が悪いことがあった。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-193910号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、復号処理効率のよい誤り検出訂正器、前記誤り検出訂正器を有するメモリコントローラおよび前記誤り検出訂正器を有する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一態様によれば、ページ単位で読み出される符号化データ列の誤りの有無を検出し、誤りがあった場合には誤りを訂正する誤り検出訂正器であって、ページ単位で読み出される符号化データ列の誤りの有無を検出する誤り検出部と、誤り位置多項式を算出する多項式算出部と、誤りがあったページの位置を示す誤りページアドレスおよび/または誤り位置多項式の係数と、誤り位置を示す誤りアドレスとを対応付けて記憶する誤り位置記憶部と、誤り検出部が新規に検出した誤りページアドレスおよび/または多項式算出部が新規に算出した誤り位置多項式の係数と、誤り位置記憶部に既に記憶されている誤りページアドレスおよび/または誤り位置多項式の係数と、を比較し一致するかどうか判断する比較部と、比較部が比較した値が一致すると判断した場合に、誤りページアドレスおよび/または誤り位置多項式の係数と対応付けて誤り位置記憶部に記憶されている誤りアドレスの位置を誤り位置として特定する第1の誤り位置特定部と、比較部が比較した値が一致しないと判断した場合に、誤り位置多項式から誤り位置を算出する第2の誤り位置特定部と、誤り位置のデータの誤りを訂正する誤り訂正部と、を具備することを特徴とする誤り検出訂正器が提供される。

20

30

【0010】

また、本発明の別の態様によれば、ページ単位で読み出される符号化データ列の誤りの有無を検出し、誤りがあった場合には誤りを訂正するメモリコントローラであって、ページ単位で読み出される符号化データ列の誤りの有無を検出する誤り検出部と、誤り位置多項式を算出する多項式算出部と、誤りがあったページの位置を示す誤りページアドレスおよび/または誤り位置多項式の係数と、誤り位置を示す誤りアドレスとを対応付けて記憶する誤り位置記憶部と、誤り検出部が新規に検出した誤りページアドレスおよび/または多項式算出部が新規に算出した誤り位置多項式の係数と、誤り位置記憶部に既に記憶されている誤りページアドレスおよび/または誤り位置多項式の係数と、を比較し一致するかどうか判断する比較部と、比較部が比較した値が一致すると判断した場合に、誤りページアドレスおよび/または誤り位置多項式の係数と対応付けて誤り位置記憶部に記憶されている誤りアドレスの位置を誤り位置として特定する第1の誤り位置特定部と、比較部が比較した値が一致しないと判断した場合に、誤り位置多項式から誤り位置を算出する第2の誤り位置特定部と、誤り位置のデータの誤りを訂正する誤り訂正部と、を具備することを特徴とするメモリコントローラが提供される。

40

【0011】

さらに、本発明の別の態様によれば、ページ単位で読み出される符号化データ列の誤りの有無を検出し、誤りがあった場合には誤りを訂正する半導体記憶装置であって、ペー

50

ジ単位で読み出される符号化データ列の誤りの有無を検出する誤り検出部と、誤り位置多項式を算出する多項式算出部と、誤りがあったページの位置を示す誤りページアドレスおよび/または誤り位置多項式の係数と、誤り位置を示す誤りアドレスとを対応付けて記憶する誤り位置記憶部と、誤り検出部が新規に検出した誤りページアドレスおよび/または多項式算出部が新規に算出した誤り位置多項式の係数と、誤り位置記憶部に既に記憶されている誤りページアドレスおよび/または誤り位置多項式の係数と、を比較し一致するかどうか判断する比較部と、比較部が比較した値が一致すると判断した場合に、誤りページアドレスおよび/または誤り位置多項式の係数と対応付けて誤り位置記憶部に記憶されている誤りアドレスの位置を誤り位置として特定する第1の誤り位置特定部と、比較部が比較した値が一致しないと判断した場合に、誤り位置多項式から誤り位置を算出する第2の誤り位置特定部と、誤り位置のデータの誤りを訂正する誤り訂正部と、を具備することを特徴とする半導体記憶装置が提供される。

10

【発明の効果】

【0012】

本発明によれば復号処理効率のよい誤り検出訂正器、メモリコントローラおよび半導体記憶装置を提供することができる。

【図面の簡単な説明】

【0013】

【図1】第1の実施の形態の半導体記憶装置の構成を示した構成図である。

【図2】第1の実施の形態の半導体記憶装置の構成を示した構成図である。

20

【図3】第1の実施の形態の誤り検出訂正器の復号処理を説明するための説明図である。

【図4】第1の実施の形態の誤り検出訂正器の復号処理の流れを説明するためのフローチャートである。

【図5】第2の実施の形態の誤り検出訂正器の復号処理を説明するための説明図である。

【図6】第3の実施の形態の誤り検出訂正器の復号処理を説明するための説明図である。

【図7】第4の実施の形態の誤り検出訂正器の復号処理を説明するための説明図である。

【図8】第5の実施の形態の誤り検出訂正器の復号処理を説明するための説明図である。

【発明を実施するための形態】

【0014】

< 第1の実施の形態 >

30

以下、図面を参照して本発明の第1の実施の形態の誤り検出訂正器、誤り検出訂正器を有するメモリコントローラ10および誤り検出訂正器を有する半導体記憶装置2（以下、「誤り検出訂正器等」ともいう。）について説明する。

図1に示すように、本実施の形態の半導体記憶装置2は、パソコンまたはデジタルカメラ等のホスト3と着脱可能に接続される記憶媒体であり、例えばメモリカード等の形態である。なお、本実施の形態としての半導体記憶装置はホストの内部に収納されホストの起動データ等を記憶する、いわゆるエンベデッドタイプの記憶装置であってもよく、または半導体ディスク：SSD(Solid State Drive)等の形態であってもよい。あるいは半導体記憶装置2とホスト3とが、例えば携帯音楽プレーヤであるMP3プレーヤ等のメモリシステム1を構成していてもよい。半導体記憶装置2は、メモリ部14と、メモリコントローラ10とを有する。メモリ部14はNAND型フラッシュメモリ部であり、単位セルである多数のメモリセル14Cが、書き込みに用いるビット線（不図示）および読み出しに用いるワード線14A等で接続された構成を有する。

40

【0015】

なお、NAND型フラッシュメモリ部を有する半導体記憶装置2は、メモリセル14Cが複数アレイ状に配置され、所定数のメモリセル14Cに記憶されたデータを一括して消去するように構成されている。このデータを一括消去処理するときの所定数のメモリセルの消去単位をブロックとよぶ。一方、メモリセル14Cに記憶されたデータを読み出す単位はブロックよりも小さいサイズであり、図1に模式的に示したページ14Bと呼ばれる単位である。すなわち、ページ14Bは複数のメモリセル14Cにより構成され、ブロッ

50

クは複数のページ 14B により構成され、さらにメモリ部 14 は複数のブロックにより構成されている。

【0016】

メモリコントローラ 10 は、バス 20 を介して接続された、ROM 11 と、制御部である CPU 12 と、データバッファとしても機能する RAM 13 と、ホスト I/F (インターフェイス) 19 と、誤り検出訂正器 (Error Correcting Code、以下「ECC」ともいう。) 16 と、NAND I/F (インターフェイス) 15 と、不揮発性記憶部 14D とを具備する。ECC 部 16 は記憶するデータの符号化処理を行う符号化器 17 および記憶されたデータの復号処理を行う復号化器 18 とを有する。なお以下では、 BCH 符号を用いる ECC 部について説明する。メモリコントローラ 10 は、CPU 12 を用いて、ホスト I/F 15 を介してホスト 3 とのデータ送受信を、NAND I/F 19 を介してメモリ部 14 とのデータ送受信を行う。

10

【0017】

図 2 に示すように、ECC 部 16 の復号化器 18 は、シンドローム算出部 18A と多項式算出部 18B と第 2 の誤り位置特定部であるチェンサーチ部 18C と誤り訂正部 18D とを有する。シンドローム算出部 18A はシンドローム S を算出し、メモリ部 14 からページ単位で読み出した符号化データの誤りの有無を検出する誤り検出部である。多項式算出部 18B は誤り位置多項式を算出する。チェンサーチ部 18C は、既に説明したように誤り位置多項式をもとに誤り位置を探索し特定する誤り位置特定部 (polynomial generator) である。誤り訂正部 18D は特定された誤り位置の誤りを訂正する。

20

【0018】

ここで、複数のメモリセル 14C からなるメモリ部 14 にデータを記憶する半導体記憶装置 2 においては、記憶したデータの誤り発生の原因がメモリ部 14 の物理的要因、例えば、特定のメモリセル 14C の劣化に起因する場合には、劣化したメモリセル 14C にデータを記憶し読み出すたびに誤りとなる不良モード、すなわち誤り位置が固定の不良モードとなる。誤り位置が固定の不良モードでは、同じページの同じ位置で繰り返して誤りが発生する。

【0019】

このため、誤りがあったページの位置を示す誤りページアドレスおよび/または誤り位置多項式の係数 (以下「係数」ともいう。) と、誤り位置を示す誤りアドレスである誤りビットアドレスとを対応付けて記憶しておくことにより、再度、同じページアドレスのページで誤りが発生したときに、処理時間の長いチェンサーチ部 18C による誤り位置特定処理を行わなくとも、誤り位置を簡易に特定できる。

30

【0020】

なお、誤りアドレスは BCH 符号による符号化データを復号処理するときには誤りビットアドレスであるが、RS 符号による符号化データを復号処理するときには、例えば、誤りバイトアドレスとなる。

【0021】

すなわち、図 2 に示すように、本実施の形態の ECC 部 16 は誤り位置を簡易に特定するために、ECC キャッシュ部 (ECC cache) 21 と、比較部 22 と、第 1 の誤り位置特定部 23 とを有する。ECC キャッシュ部 21 は、誤りがあったページの位置を示す誤りページアドレスおよび誤り位置多項式の係数 と、誤り位置を示す誤りビットアドレスとを対応付けて記憶する誤り位置記憶部である。

40

【0022】

比較部 22 は、新規にシンドローム算出部 18A が検出した誤りページアドレスおよび多項式算出部 18B が算出した誤り位置多項式の係数 と、ECC キャッシュ部 21 に記憶されている誤りページアドレスおよび誤り位置多項式の係数 と、を比較し一致するかどうか判断する。そして比較部 22 が一致すると判断した場合に第 1 の誤り位置特定部 23 は、誤りページアドレスおよび誤り位置多項式の係数と対応付けて ECC キャッシュ部 21 に記憶されている誤りビットアドレスの位置を誤り位置として特定する。

50

【 0 0 2 3 】

なお、ECCキャッシュ部21、比較部22、第1の誤り位置特定部23、または不揮発性記憶部14Dは独立した構成要素でなくともよく、さらにメモリコントローラ10または半導体記憶装置2の構成要素であってもよい。例えば、ECCキャッシュ部21はCPU12のレジスタまたはRAM13の一部であってもよいし、比較部22と第1の誤り位置特定部23とは、CPU12で実行されるFW(Firm Ware)により実現してもよい。

【 0 0 2 4 】

なお、アクセス頻度の高い特定のページ(以下、「特別ページ」という。)、例えば、ページアドレスの論理アドレス/物理アドレス変換テーブル等のようなシステム管理情報を記憶し頻りにアクセスされるページ、において誤り位置が固定の不良モードである場合に、本実施の形態の誤り検出訂正器等の効果は顕著である。このため、誤り検出訂正器16は特別ページの誤りのみを第1の誤り位置特定部23で誤り位置を簡易特定することにより、ECCキャッシュ部21の容量を小さくできる。もちろん、ECCキャッシュ部21の容量が大きくても許容される誤り検出訂正器等の場合には特別ページではない通常ページの誤り情報をECCキャッシュ部21に記憶してもよい。すなわち、メモリシステム1に応じてECCキャッシュ部21の仕様は最適化される。

10

【 0 0 2 5 】

一方、ECCキャッシュ部21の容量を小さくしたい誤り検出訂正器等の場合には、ECCキャッシュ部21に記憶する条件を誤り数が一定値以上のページでかつ特別ページという条件にしてもよい。

20

【 0 0 2 6 】

次に、図3および図4を用いて本実施の形態の誤り検出訂正器等の処理の流れについて説明する。図3は、ページアドレスを24ビットとし、上位16ビットをページアドレスとする誤り検出訂正器等の処理の流れの例である。ここでは、ページアドレス16ビットの下位8ビットをECCキャッシュ部のアドレスとし、上位8ビットを「page address tag」とする。ECCキャッシュ部21に格納する係数および誤りページアドレスの容量は、係数が13ビット×12=156ビットであり、誤りページアドレスが13ビット×12=156ビットになる。

【 0 0 2 7 】

図4は、誤り検出訂正器16の復号処理の流れを説明するためのフローチャートであり、以下図4のフローチャートに従って説明する。

30

【 0 0 2 8 】

<ステップS10> 初期化ステップ

誤り検出訂正器16は、起動時に、前回終了時のECCキャッシュ部21の情報等を不揮発性記憶部14Dから読み出し、ECCキャッシュ部21に記憶する。

【 0 0 2 9 】

<ステップS11> 書き込みステップ(符号化ステップ)

誤り検出訂正器16はホスト3からの書き込みコマンドに応じて入力されたデータを符号化処理、すなわちパリティを付与し、メモリ部14に記憶する。

40

【 0 0 3 0 】

例えば、誤り検出訂正器16の符号化器17はページデータ8kビットに12ビット訂正のBCH方式による全体パリティを付加する。すなわち全体パリティは13×12=156ビットになる。パリティが付加された符号化データがメモリ部14に記憶される。

【 0 0 3 1 】

<ステップS12> 特別ページ読み出しステップ

ホスト3からリードコマンドにより読み出し指示があったとき、読み出すページが、特別ページかどうかはシンドローム算出部18AまたはCPU12等により判断される。なお、特別ページアクセスの識別はホスト3からの識別信号「special_page」で行う。特定ページは、メモリシステム1上で予め定義しておく。特別ページでない通常ページだった

50

場合 (No) には、シンドローム算出処理からの通常の復号処理がステップ S 1 3 にて行われる。

【0032】

<ステップ S 1 4> シンドローム算出ステップ

特別ページであった場合 (S 1 2 : Yes) にも、シンドローム算出部 1 8 A がメモリ部 1 4 から読み出した特別ページの符号化データからシンドローム S を算出する。すなわち、シンドローム算出部 1 8 A が行うシンドローム算出処理は特別ページ同様、通常ページでも行われる。

【0033】

<ステップ S 1 5> 誤り有無検出ステップ

シンドローム算出値がゼロの場合には、誤りの個数 N がゼロであることを意味しており、誤り訂正処理を行う必要はないため、そのページのデータはホストインターフェイス 1 5 を介してホスト 3 に出力される。

【0034】

<ステップ S 1 6> 誤り位置多項式算出ステップ

シンドローム算出値がゼロでない場合、シンドロームをもとに、多項式算出部 1 8 B が誤り位置多項式を算出する。すなわち、多項式算出部 1 8 B が行う誤り位置多項式算出処理は特別ページでも通常ページでも同じである。

【0035】

<ステップ S 1 7> 比較ステップ

比較部 2 2 は、シンドローム算出部 1 8 A が誤りを検出したページアドレスおよび多項式算出部 1 8 B が算出した誤り位置多項式の係数 と、ECC キャッシュ部 2 1 に記憶されている誤りページアドレスおよび誤り位置多項式の係数 と、を比較し一致するかどうか判断する。

【0036】

言い換えれば、比較部 2 2 はページアドレスをもとに ECC キャッシュ部 2 1 にアクセスし「page address tag」がヒットしたエントリがあるかを判断する。もちろん ECC キャッシュ部 2 1 に記憶されている誤りデータがない場合には比較部 2 2 は動作しなくともよい。

【0037】

<ステップ S 1 8> 誤り位置簡易特定ステップ

比較部 2 2 が一致すると判断した場合には第 1 の誤り位置特定部 2 3 が、誤りページアドレスおよび誤り位置多項式の係数と対応付けて ECC キャッシュ部 2 1 に記憶されている誤りビットアドレスの位置を誤り位置として特定する。

【0038】

図 3 において、「sigma_fix」は多項式算出部 1 8 B による係数の計算が終了したことを、「error_bit_address_fix」は誤りビットアドレス計算が終了したことを示すタイミング信号であり、これらの信号を使って最終的に誤り位置である誤りビットアドレスが決定される。

【0039】

<ステップ S 1 9> チェンサーチステップ

比較部 2 2 が一致しないと判断した場合、およびページアドレス「page address tag」が一致していたが係数「sigma tag」が一致しなかった場合には、チェンサーチ部 1 8 C が通常ページの復号処理と同様に、誤り位置多項式からチェンサーチ法により誤り位置を特定する。

【0040】

<ステップ S 2 0> ECC キャッシュステップ

チェンサーチ部 1 8 C が算出した誤り位置と、誤りページアドレスと、誤り位置を算出するのに用いたパラメータである誤り位置多項式の係数 とが、将来の誤り位置簡易特定処理のために ECC キャッシュ部 2 1 に記憶される。

10

20

30

40

50

【 0 0 4 1 】

E C C キャッシュ部 2 1 の空エントリにそのページ情報を格納する。すなわち多項式算出部が算出した係数 を「sigma_table」に、誤りビットアドレスを「error_bit_address_table」に記憶する。

【 0 0 4 2 】

なお、誤りページアドレス等の情報を E C C キャッシュ部 2 1 に記憶するとき、E C C キャッシュ部 2 1 に空きがない場合には、所定の置換アルゴリズムに従って、旧エントリを新エントリに置換する。この置換処理アルゴリズムにはランダム方式、または L R U (Last recently used: アクセスされた時期が最も古いページアドレスのエントリを捨てて置換する)方式等を用いる。

10

【 0 0 4 3 】

< ステップ S 2 1 > 誤り訂正

誤り訂正部 1 8 D は特定された誤り位置の誤りを訂正する。誤り訂正部 1 8 D における誤り訂正は、B C H 符号を有する符号化データの場合には、ビット反転が行われる。リードソロン符号を有する符号化データの場合には、さらに連立一次方程式を解くことにより 8 ビットのデータとして誤り訂正後の値が算出される。

【 0 0 4 4 】

< ステップ S 2 2 > 終了指示

ホストから終了指示があるまで誤り検出訂正器 1 6 は処理を継続する。

【 0 0 4 5 】

< ステップ S 2 3 > 退避ステップ

ホストから終了指示があった場合、誤り検出訂正器 1 6 は E C C キャッシュ部 2 1 に記憶されている情報を、不揮発性記憶部 1 4 D に転送、すなわち退避する。不揮発性記憶部 1 4 D はメモリ部 1 4 の一部であってもよく、また、メモリシステム 1 が磁気記録ハードディスクドライブ (H D D) を有する場合には H D D であってもよい。なお誤り検出訂正器 1 6 が行う退避処理はホスト 3 からの終了指示時のみではなく、所定の時間間隔で行っても良い。

20

【 0 0 4 6 】

また、上記説明では省略したが、誤り検出訂正器 1 6 が行うそれぞれの処理は、データバッファであるバッファ 1 3 A (図 2 参照) または R A M 1 3 にデータを一時記憶したり、データバッファからデータを読み出したりしながら行われる。また、E C C 1 6 とメモリ部 1 4 との間のデータ転送はバス 2 0 を経由してもよいが、専用のバスを経由することが処理速度の向上のためには好ましい。

30

【 0 0 4 7 】

以上の説明のように、本実施の形態の誤り検出訂正器 1 6、メモリコントローラ 1 0 および半導体記憶装置 2 は、処理時間が長いチェンサーチ部 1 8 C による誤り位置特定処理を行わなくとも、第 1 の誤り位置特定部 2 3 により誤り位置を簡易に特定可能であるため、復号処理効率がよい。

【 0 0 4 8 】

< 第 2 の実施の形態 >

次に、図 5 を参照して本発明の第 2 の実施の形態の誤り検出訂正器 1 6 A 等の復号処理について説明する。第 2 の実施の形態の誤り検出訂正器 1 6 A 等は第 1 の実施の形態の誤り検出訂正器 1 6 等と類似しているため同じ構成要素には同じ符号を付し説明は省略する。

40

【 0 0 4 9 】

第 1 の実施の形態の誤り検出訂正器 1 6 等の E C C キャッシュ部 2 1 は、誤りページアドレスと係数 とを E C C キャッシュ部 2 1 のタグとしたが、第 2 の実施の形態の誤り検出訂正器 1 6 B の E C C キャッシュ部 2 1 A では、係数 のみをタグとする。なお、「タグ」はデータに関する様々な状態を識別可能にするための「標識」である。

【 0 0 5 0 】

50

すなわち、図5に示すように、誤り検出訂正器16Aでは特別ページの読み出しのときに誤りが発生した場合にECCキャッシュ部21Aに係数と対応付けて誤りビットアドレスを記憶する。そのとき、係数の一部をECCキャッシュ部アドレスとし、残りの係数をタグとする。

【0051】

以上の説明のように、本実施の形態の誤り検出訂正器16Aは誤り位置多項式の係数と誤り位置を示す誤りビットアドレスとを対応付けて記憶するECCキャッシュ部21Aと、多項式算出部18Bが算出した誤り位置多項式の係数とECCキャッシュ部21Aに記憶されている誤り位置多項式の係数と、を比較し一致するかどうか判断する比較部22Aと、比較部22Aが一致すると判断した場合に、誤り位置多項式の係数と対応付けてECCキャッシュ部21Aに記憶されている誤りビットアドレスの位置を誤り位置として特定する第1の誤り位置特定部23と、を具備する。

10

【0052】

また、本実施の形態の誤り検出訂正器16AはECCキャッシュ部21Aが、誤り位置多項式の係数をECCキャッシュ部21Aにおける記憶位置を示すキャッシュアドレスとして誤りビットアドレスを記憶する。

【0053】

このため、本実施の形態の誤り検出訂正器16A、メモリコントローラ10A(図1、図2参照)および半導体記憶装置2A(図1、図2参照)はECCキャッシュ部21Aのアドレスタグ分の容量とアドレスタグ制御ロジックとを削減できる。このため、本実施の形態の誤り検出訂正器16A等は、第1の実施の形態の誤り検出訂正器16等が有する効果を有し、さらに第1の実施の形態の誤り検出訂正器16等より低価格で小型化が実現できる。

20

【0054】

<第3の実施の形態>

次に、図6を参照して本発明の第3の実施の形態の誤り検出訂正器16B等の復号処理について説明する。第3の実施の形態の誤り検出訂正器16B等は第1の実施の形態の誤り検出訂正器16等と類似しているため同じ構成要素には同じ符号を付し説明は省略する。

【0055】

誤り位置多項式の係数は誤り数を反映した値になる。例えば、4ビット誤りならば「sigma5」~「sigma12」=0になる。第3の実施の形態の誤り検出訂正器16Bは、この特性を利用したもので、誤り数の少ないページのみをECCキャッシュ部21Bの対象、言い換えれば、第1の誤り位置特定部23が誤り位置を簡易特定する対象にする。

30

【0056】

図6に例示した本実施の形態の誤り検出訂正器16Bは、4ビット以下の誤りのあるページのみをECCキャッシュ部21Bに記憶する対象にしたものである。そして、ECCキャッシュ部21Bのアドレスを「sigma1」~「sigma2」の26ビットとし、タグを「sigma3」~「sigma4」の26ビットに設定している。誤りページアドレスは最大値の4アドレス分(4×13ビット=52ビット)のみ格納する。本実施の形態の誤り検出訂正器16Bは第2の実施の形態の誤り検出訂正器16AのECCキャッシュ部21Aでタグ部5~12=0にした場合に相当する。多項式算出部18Bが算出した誤りが4ビット以下の場合、「error_4 to 1 bit信号」がアサート(出力)されECCキャッシュ部21Bへの記憶処理が起動される。

40

【0057】

本実施の形態の誤り検出訂正器16B、メモリコントローラ10B(図1、図2参照)および半導体記憶装置2B(図1、図2参照)は、第1の実施の形態の誤り検出訂正器16等が有する効果を有し、さらに、誤り数の少ない確率が高い場合に、比較部22Bが行う比較処理が一致する確率が高くなるので第1の実施の形態の誤り検出訂正器16等より復号処理の高速化を達成できる。また、本実施の形態の誤り検出訂正器16B等はECC

50

キャッシュ部 2 1 B の誤りアドレステーブルの容量を小さくできるので、さらに第 1 の実施の形態の誤り検出訂正器 1 6 等より低コストである。

【 0 0 5 8 】

なお、逆に、誤り数の少ない確率が低い場合は、本実施の形態の誤り検出訂正器 1 6 B 等は E C C キャッシュ部 2 1 B に記憶する情報量を低減できるので、小容量の E C C キャッシュ部 2 1 B でも高い復号性能が得られる。

【 0 0 5 9 】

< 第 4 の実施の形態 >

次に、図 7 を参照して本発明の第 4 の実施の形態の誤り検出訂正器 1 6 C 等の復号処理について説明する。第 4 の実施の形態の誤り検出訂正器 1 6 C 等は第 1 の実施の形態の誤り検出訂正器 1 6 等と類似しているため同じ構成要素には同じ符号を付し説明は省略する。

10

【 0 0 6 0 】

第 3 の実施の形態の誤り検出訂正器 1 6 B では誤り数が少ないページの情報のみを E C C キャッシュ部 2 1 B の記憶対象とした。これに対して、第 4 の実施の形態の誤り検出訂正器 1 6 C では、図 7 に示すように、逆に誤り数が多いページ、例えば、誤り数 7 以上のページの情報を E C C キャッシュ部 2 1 C に記憶する。

【 0 0 6 1 】

このため、本実施の形態の誤り検出訂正器 1 6 C 等は、第 1 の実施の形態の誤り検出訂正器 1 6 等が有する効果を有し、さらに、誤り数の多い確率が高い場合に、比較部 2 2 C の比較処理において一致する確率が高くなるのでさらに第 1 の実施の形態の誤り検出訂正器 1 6 等より復号処理の高速化を達成できる。また、誤り数に応じてチェンサーチ部 1 8 C の処理時間および消費電力が増大する場合であっても、本実施の形態の誤り検出訂正器 1 6 C 等は誤り数が多くなれば比較部 2 2 C が行う比較処理で一致してチェンサーチが不要になる確率が高いので、さらに第 1 の実施の形態の誤り検出訂正器 1 6 等より処理時間および消費電力を削減できる。

20

逆に、誤り数の多い確率が低い場合は、本実施の形態の誤り検出訂正器 1 6 C 等は E C C キャッシュ部記憶数の絶対値を低減できるので、小容量の E C C キャッシュ部 2 1 C でも高い復号性能が得られる。

【 0 0 6 2 】

なお、本実施の形態の誤り検出訂正器 1 6 C、メモリコントローラ 1 0 C (図 1、図 2 参照) および半導体記憶装置 2 C (図 1、図 2 参照) は、定常的に誤り数が多く、かつ頻繁にアクセスするページのみを E C C キャッシュ部対象にすることで、より少ない容量の E C C キャッシュ部 2 1 C で効率的に復号処理時間の短縮が図れる。

30

【 0 0 6 3 】

< 第 5 の実施の形態 >

次に、図 8 を参照して本発明の第 5 の実施の形態の誤り検出訂正器 1 6 D 等の復号処理について説明する。第 5 の実施の形態の誤り検出訂正器 1 6 D 等は第 1 の実施の形態の誤り検出訂正器 1 6 等と類似しているため同じ構成要素には同じ符号を付し説明は省略する。

40

【 0 0 6 4 】

第 5 の実施の形態の誤り検出訂正器 1 6 D 等では、説明の都合上、誤り位置記憶部を E C C キャッシュ部 2 1 D と呼ぶが、誤り位置記憶部がキャッシュ方式ではなくテーブル方式である。本実施の形態の誤り検出訂正器 1 6 D 等は、1 ビットの誤りのみを対象に E C C キャッシュ部 2 1 D のテーブルを用いて誤りビットアドレスを算出する。すなわち図 8 に示すように、誤り検出訂正器 1 6 D 等ではテーブルアドレスを「sigma 1」の 1 3 ビットとし、「sigma 1」に対応する全誤りビットアドレス $2^{13} = 8 \text{ k Word}$ を、CPU 1 2 のレジスタまたは RAM 1 3 等に格納する。テーブルには予め、「sigma 1」に対応する誤りビットアドレスを格納しておく。「error_bit_address」1 ~ 1 2 のうち、1 のみをテーブルから読み出して求める。

50

【 0 0 6 5 】

本実施の形態の誤り検出訂正器 1 6 D、メモリコントローラ 1 0 D（図 1、図 2 参照）および半導体記憶装置 1 D（図 1、図 2 参照）は、第 1 の実施の形態の誤り検出訂正器 1 6 等が有する効果を有し、さらにページごとの誤りの数が 1 の 1 ビット誤りの確率が高い場合は、復号処理の高速化が達成できる。本実施の形態の誤り検出訂正器 1 6 D 等は、第 1 の実施の形態の誤り検出訂正器 1 6 D 等が有する効果を有し、さらに「sigma タグ」が不要で誤りアドレステーブル、すなわち ECC キャッシュ部 2 1 D の容量を小さくできるので、コスト的に有利である。

【 0 0 6 6 】

< 第 6 の実施の形態 >

次に、本発明の第 5 の実施の形態の誤り検出訂正器 1 6 E 等の復号処理について説明する。第 5 の実施の形態の誤り検出訂正器 1 6 E 等は第 1 の実施の形態の誤り検出訂正器 1 6 等と類似しているため同じ構成要素には同じ符号を付し説明は省略する。

【 0 0 6 7 】

第 1 の実施の形態の誤り検出訂正器 1 6 等の ECC キャッシュ部 2 1 は、誤りページアドレスと係数 とを ECC キャッシュ部のタグとしたが、第 6 の実施の形態の誤り検出訂正器 1 6 E の ECC キャッシュ部 2 1 E では、誤りページアドレスのみをタグとする。

【 0 0 6 8 】

すなわち、本実施の形態の誤り検出訂正器 1 6 E 等は、誤りがあったページの位置を示す誤りページアドレスと誤り位置を示す誤りビットアドレスとを対応付けて記憶する ECC キャッシュ部 2 1 E と、シンドローム算出部 1 8 A が検出したページアドレスと ECC キャッシュ部 2 1 E に記憶されているページアドレスとを比較し一致するかどうか判断する比較部 2 2 E と、比較部 2 2 E が一致すると判断した場合に、誤りページアドレスと対応付けて ECC キャッシュ部 2 1 E に記憶されている誤りビットアドレスの位置を誤り位置として特定する第 1 の誤り位置特定部 2 3 と、を具備する。

【 0 0 6 9 】

このため、本実施の形態の誤り検出訂正器 1 6 E、メモリコントローラ 1 0 E（図 1、図 2 参照）および半導体記憶装置 1 E（図 1、図 2 参照）は、第 1 の実施の形態の誤り検出訂正器 1 6 等が有する効果を有し、さらに復号処理効率が高い。

【 0 0 7 0 】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【 符号の説明 】

【 0 0 7 1 】

- 1 ... メモリシステム
- 2、2 A ~ 2 E ... 半導体記憶装置
- 3 ... ホスト
- 1 0、1 0 A ~ 1 0 E ... メモリコントローラ
- 1 1 ... ROM
- 1 2 ... CPU
- 1 3 ... RAM
- 1 3 A ... バッファ
- 1 4 ... メモリ部
- 1 4 A ... ワード線
- 1 4 B ... ページ
- 1 4 C ... メモリセル
- 1 4 D ... 不揮発性記憶部
- 1 5 ... ホストインターフェイス
- 1 6、1 6 A ~ 1 6 E ... 誤り検出訂正器（ECC）
- 1 7 ... 符号化器

10

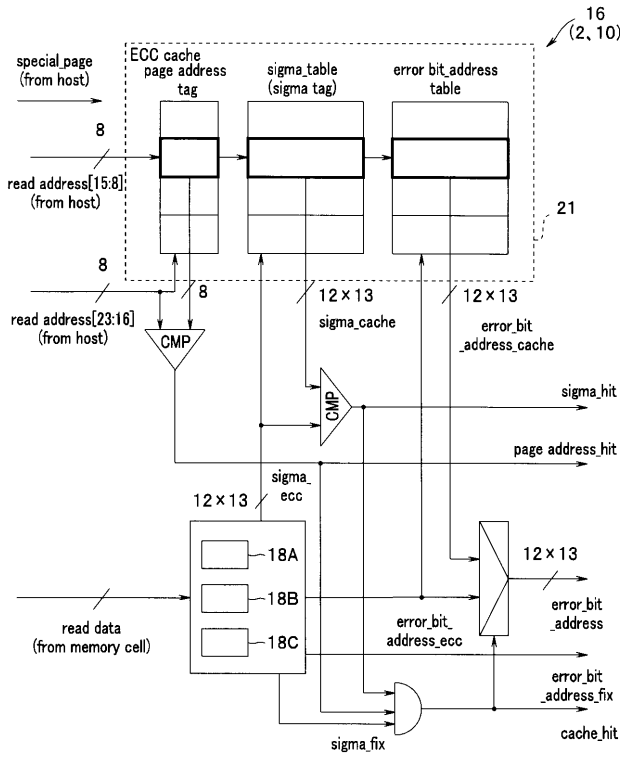
20

30

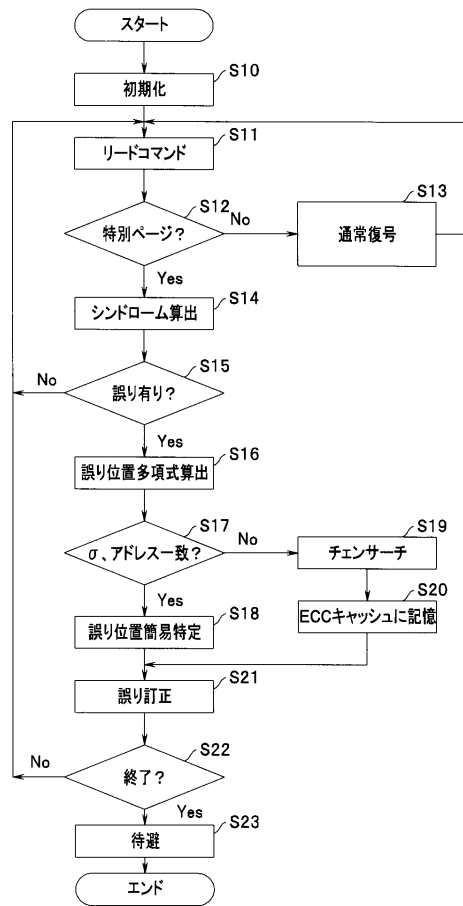
40

50

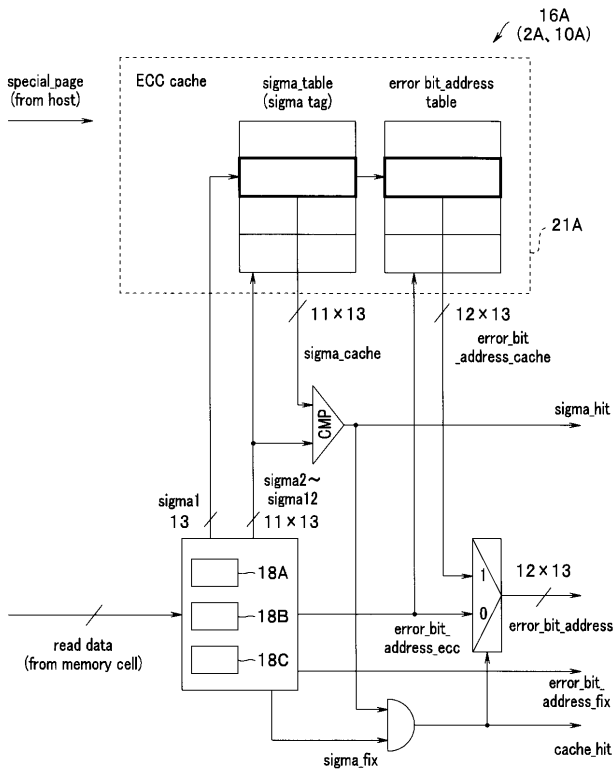
【 図 3 】



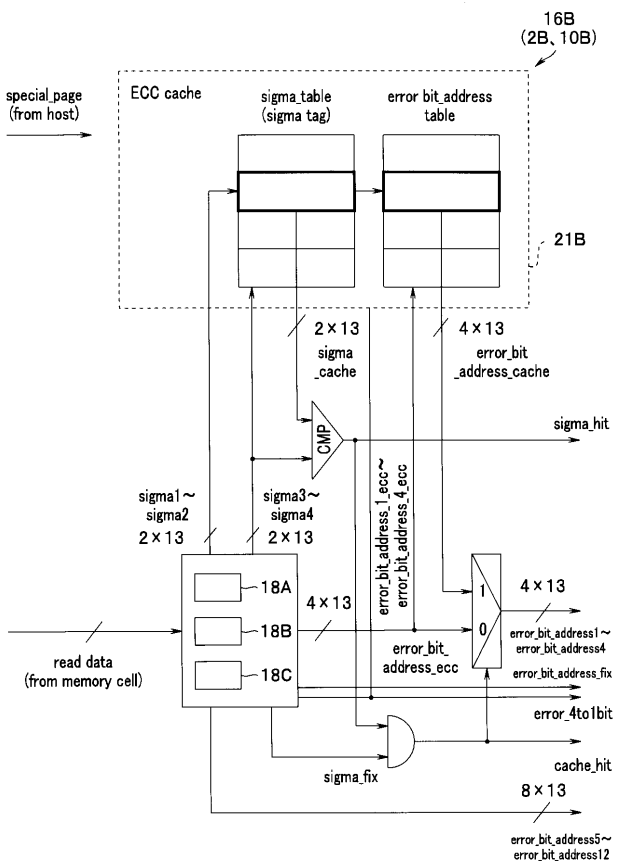
【 図 4 】



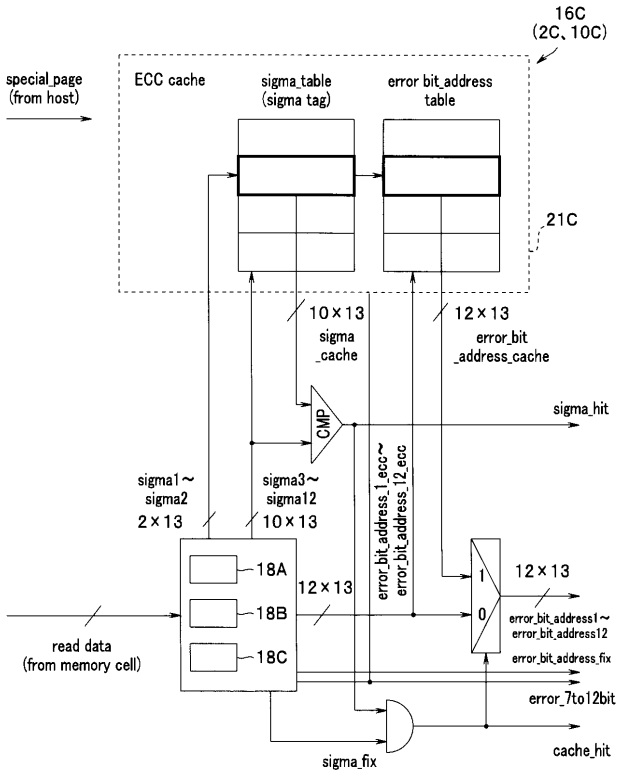
【 図 5 】



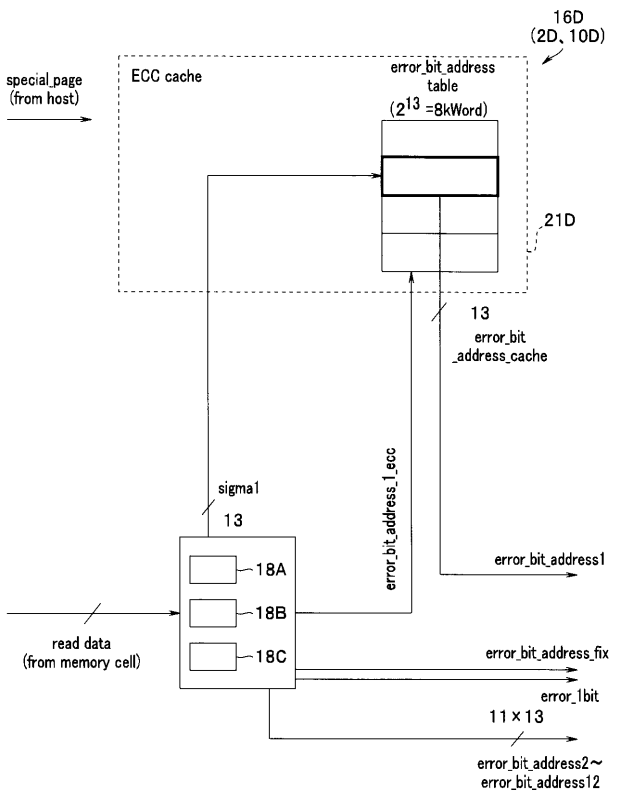
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 稲田 茂

神奈川県川崎市川崎区駅前本町2-5番地1 東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 5B018 GA02 HA14 HA21 KA01 NA06 QA14

5L106 AA10 BB12 CC02 CC22 CC32 EE05 EE07 FF05 GG03 GG05