

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-127519

(P2014-127519A)

(43) 公開日 平成26年7月7日(2014.7.7)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4M118
HO 4 N 5/357 (2011.01)	HO 4 N 5/335 570	5C024
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 690	

審査請求 未請求 請求項の数 12 O L (全 36 頁)

(21) 出願番号 特願2012-281483 (P2012-281483)
 (22) 出願日 平成24年12月25日 (2012.12.25)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110000925
 特許業務法人信友国際特許事務所
 (72) 発明者 戸田 淳
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CB05
 CB14 DB09 DD04 DD12 EA01
 EA14 EA15 EA16 FA06 FA26
 FA33 FA38 GA02 GC08 GC14
 GD04
 5C024 AX01 CX32 CY47 EX43 GY31

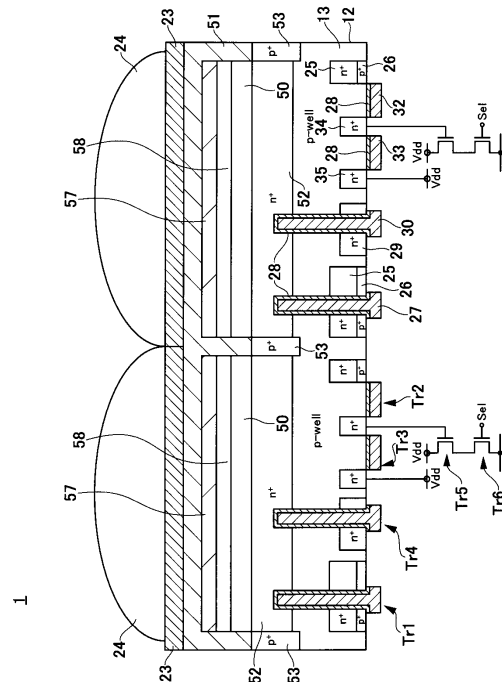
(54) 【発明の名称】 固体撮像素子、及び、電子機器

(57) 【要約】

【課題】 光電変換部へのリーク電流による画質の劣化を抑制することが可能な固体撮像素子を提供する。

【解決手段】 基板と、基板の光入射側の上に形成され、光量に応じた信号電荷を生成するp型の光電変換部と、光電変換部の光入射面側に設けられたp型の透明電極と、光電変換部と透明電極との間に形成された電子障壁層とを備える固体撮像素子を構成する。

【選択図】 図17



【特許請求の範囲】

【請求項 1】

基板と、
前記基板の光入射側の上に形成され、光量に応じた信号電荷を生成する p 型の光電変換部と、

前記光電変換部の光入射面側に設けられた p 型の透明電極と、
前記光電変換部と前記透明電極との間に形成された電子障壁層とを備える
固体撮像素子。

【請求項 2】

前記電子障壁層が、前記透明電極のフェルミ準位からの電子障壁高さが 0.6 eV 以上であり、前記光電変換部から前記透明電極への正孔の障壁が 0.5 eV 以下である請求項 1 に記載の固体撮像素子。

10

【請求項 3】

前記透明電極のフェルミ準位からの電子障壁高さが 1.0 eV 以上である前記電子障壁層を備える請求項 2 に記載の固体撮像素子。

【請求項 4】

前記電子障壁層の厚さが、 4 nm 以上である請求項 2 に記載の固体撮像素子。

【請求項 5】

前記電子障壁層が、 6 nm 以上の厚さの NiO からなる請求項 2 に記載の固体撮像素子。

20

【請求項 6】

前記電子障壁層が、 9 nm 以上の厚さの Cu_2O からなる請求項 2 に記載の固体撮像素子。

【請求項 7】

前記光電変換部は、電子親和力が 3.7 eV 以上の p 型カルコパイライト材料から構成されている請求項 1 に記載の固体撮像素子。

【請求項 8】

前記光電変換部が、シリコン基板上に形成されたカルコパイライト構造の化合物半導体のエピタキシャル成長層である請求項 1 に記載の固体撮像素子。

【請求項 9】

前記光電変換部は、 Cu 組成比が 0.25 、 In 組成比が 0.12 、 Ga 組成比が 0.13 、 S 組成比が 0.5 、及び、各組成比のバラツキが $\pm 10\%$ までに入る CuInGaS 化合物半導体で形成されている請求項 1 に記載の固体撮像素子。

30

【請求項 10】

前記透明電極が、 ITO 、 AZO 、 SnO_2 、及び、 In_2O_3 から選ばれる少なくとも 1 種類以上を含む請求項 1 に記載の固体撮像素子。

【請求項 11】

前記基板が、オフ基板である、請求項 1 に記載の固体撮像素子。

【請求項 12】

基板と、前記基板の光入射側の上に形成され、光量に応じた信号電荷を生成する p 型の光電変換部と、前記光電変換部の光入射面側に設けられた p 型の透明電極と、前記光電変換部と前記透明電極との間に形成された電子障壁層とを備える固体撮像素子と、

40

前記固体撮像素子からの出力信号を処理する信号処理回路と、を有する
電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子に係わる。また、本技術は、固体撮像素子を備えた電子機器に係わる。

【背景技術】

50

【0002】

固体撮像素子として、例えば、光電変換素子であるフォトダイオードのpn接合容量に蓄積した光電荷をMOSトランジスタを介して読み出すCMOSイメージセンサがある。

特に最近、光電変換部としてCuInGaS₂やCuInGaSe₂などのカルコパイライト材料を用いたCMOSイメージセンサが提案されている。例えば、光吸収係数が高いCuInGaSe₂膜などの化合物半導体膜を、光電変換部で用いて、高感度化を実現することが提案されている（例えば、特許文献1参照）。

また、n型ZnOと、p-CuInGaSe₂の間に層間絶縁膜CdSとi-ZnOを挟むことで、逆バイアス時に発生するリーク電流を防ぐ報告がなされている（例えば、特許文献2、特許文献3参照）。これは逆バイアスを印加したときに、n側電極側からCuInGaSe₂膜側への正孔の注入を防ぐ障壁の役割を果す。

さらに、Si基板と格子整合させたCuInGaS₂膜等の化合物半導体膜を、光電変換部に用いた、S/N比の高いCMOSイメージセンサが提案されている（例えば、特許文献4参照）。

さらに、光吸収係数が高いCuInGaS₂膜等の化合物半導体膜を、光電変換部で用いて、遮光することで、グローバルシャッタ化を実現することが提案されている（例えば、特許文献5参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-123720号公報

【特許文献2】特開2011-151271号公報

【特許文献3】特開2009-259872号公報

【特許文献4】特開2011-146635号公報

【特許文献5】特開2011-199057号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、光電変換部としてカルコパイライト材料を用いたCMOSイメージセンサでは、光電変換部に逆バイアスの電圧を印加して信号を読み出すときに、電子側電極から導電変換膜側に電子が注入されてリーク電流が発生することがある。このリーク電流の成分は、撮像装置にとって暗電流としてノイズ成分となり、S/N比が低下するとともに画質の劣化を引き起こす。

【0005】

本技術においては、光電変換部へのリーク電流による画質の劣化を抑制することが可能な固体撮像素子、及び、この固体撮像素子を備える電子機器を提供する。

【課題を解決するための手段】

【0006】

本技術の固体撮像素子は、基板と、基板の光入射側の上に形成され、光量に応じた信号電荷を生成するp型の光電変換部と、光電変換部の光入射面側に設けられたp型の透明電極と、光電変換部と透明電極との間に形成された電子障壁層とを備える。

また、本技術の電子機器は、上記固体撮像素子と、固体撮像素子からの出力信号を処理する信号処理回路とを有する。

【0007】

上述の固体撮像素子によれば、光電変換部と透明電極との間に電子障壁層を備える。この構成では、電子障壁層が、透明電極から光電変換部に注入される電子に対する障壁となる。このため、透明電極から光電変換部へのリーク電流を抑制することができ、固体撮像素子の画質の劣化を抑制することができる。

【発明の効果】

【0008】

10

20

30

40

50

本技術によれば、画質の向上が可能な固体撮像素子、及び、この固体撮像素子を備える電子機器を提供することができる。

【図面の簡単な説明】

【0009】

【図1】従来の光電変換部にカルコパイライト材料を用いた固体撮像素子の構造を示す図である。

【図2】図1に示す固体撮像素子の光電変換部と透明電極のバンド構造を示す図である。

【図3】図1に示す構成の固体撮像素子の電流密度 - 電圧特性を示す図である。

【図4】光電変換部と透明電極の構造、及び、各構成のポテンシャルを示す図である。

【図5】電子障壁層と光電変換部と透明電極の構造、及び、各構成のポテンシャルを示す図である。 10

【図6】図5に示す構造における電流密度 - 電圧特性を示す図である。

【図7】図6に示す電流密度 - 電圧特性の拡大図である。

【図8】図5に示す構造 (NiO) におけるバンド構造を示す図である。

【図9】図5に示す構造 (NiO) における電流密度 - 電圧特性を示す図である。

【図10】図9に示す電流密度 - 電圧特性の拡大図である。

【図11】図5に示す構造 (Cu_2O) における電流密度 - 電圧特性 (トンネル効果) を示す図である。

【図12】図11に示す電流密度 - 電圧特性の拡大図である。

【図13】図5に示す構造 ($ZnRh_2O_4$) における電流密度 - 電圧特性 (トンネル効果) を示す図である。 20

【図14】図5に示す構造 ($Cu_2O / ZnRh_2O_4$) における電流密度 - 電圧特性 (トンネル効果) を示す図である。

【図15】トンネル効果を説明するための図である。

【図16】第1実施形態の固体撮像装置の概略構成図 (平面図) である。

【図17】第1実施形態の固体撮像装置の画素領域における断面図である。

【図18】第1実施形態の固体撮像装置の画素の等価回路図である。

【図19】様々な半導体材料におけるフォトンエネルギーと光吸収係数との関係を示す図である。

【図20】カルコパイライト材料について、格子定数とバンドギャップとの関係を示す図 (その1) である。 30

【図21】カルコパイライト材料について、格子定数とバンドギャップとの関係を示す図 (その2) である。

【図22】電流密度 - 電圧特性による、電子障壁層の厚み (nm) と障壁高さ (eV) との関係を示す図である。

【図23】第1実施形態の固体撮像装置の駆動方法のタイミングチャートである。

【図24】A ~ C 第1実施形態の固体撮像装置の製造方法を示す製造工程図である。

【図25】D ~ F 第1実施形態の固体撮像装置の製造方法を示す製造工程図である。

【図26】G ~ I 第1実施形態の固体撮像装置の製造方法を示す製造工程図である。

【図27】J ~ L 第1実施形態の固体撮像装置の製造方法を示す製造工程図である。 40

【図28】光電変換部の形成に使用するMOCVD装置を示す図である。

【図29】光電変換部の形成に使用するMBE装置を示す図である。

【図30】オフ基板上に光電変換部を形成したときの原子配列を示す図である。

【図31】第1実施形態に対する第1変形例の固体撮像装置の概略構成図 (要部の断面図) である。

【図32】A、B 図31の基板と光電変換部の垂直方向の断面バンド構造を示す図である。

【図33】図31の光電変換部の水平方向の断面バンド構造を示す図である。

【図34】第1実施形態に対する第2変形例の固体撮像装置の概略構成図 (要部の断面図) である。 50

【図35】第2実施形態の電子機器の概略構成図（ブロック図）である。

【発明を実施するための形態】

【0010】

以下、本技術を実施するための最良の形態の例を説明するが、本技術は以下の例に限定されるものではない。

なお、説明は以下の順序で行う。

1. 本技術の概要
2. 第1実施形態（固体撮像素子）
3. 第1実施形態（固体撮像素子の製造方法）
4. 第1実施形態に対する第1変形例
5. 第1実施形態に対する第2変形例
6. 第2実施形態（電子機器）

10

【0011】

1. 本技術の概要

以下、本技術の概要について説明する。

図1に、従来 of 光電変換部としてカルコパイライト材料を用いた固体撮像素子の構造を示す。図1に示す構造の固体撮像素子は、シリコン基板111の表面側（図面ではシリコン基板111の下面側）に読み出し用電極115、ゲートMOS141等の電極、トランジスタ、配線などが形成されている。そして、シリコン基板111は、p型シリコン基板で形成されている。このシリコン基板111にはn型電極層（下部電極）112がシリコン基板111の裏面側近傍まで形成されている。このn型電極層112は、例えば上記シリコン基板111に形成されたn型シリコン層からなる。また上記n型電極層112上には、格子整合されたCuAlGaInSse系混晶からなる光電変換部113が形成されている。

20

光電変換部113上には、透光性を有するp型の透明電極114が形成されている。この透明電極114は、例えばインジウムスズオキサイド（ITO）、酸化亜鉛、インジウム亜鉛オキサイド等の透明電極材料で形成されている。

【0012】

図1に示す構造において、例えば透明電極114をITOとして、光電変換部をp型CuIn_{0.48}Ga_{0.52}Sとした場合には、逆バイアスに-2V印加したとき図2に示すようなバンド構造となる。図2では、透明電極114を構成するITOのフェルミレベルを0eVとして示している。このとき、図2に矢印で示すよう、に逆バイアスの電圧印加時に、電子が透明電極114から界面の障壁を乗り越えて、光電変換部113側に注入される現象が生じる。このときの電流密度-電圧特性（J-V特性）を見積もった結果を図3に示す。逆バイアス印加時において、電流密度が0からマイナス方向に移行している。一般に、透明電極114からの電子の注入が無い場合には、逆バイアスを印加した場合（印加電圧Vがマイナス）でも、図中に破線で示すように電流密度Jは0となる。このことから、図2に示す構成において、逆バイアスにおいて、ITOからp型CuInGaSへのリーク電流が大きいことが判る。なお、電圧は、透明電極側にマイナス電圧を印加した場合が逆バイアス、プラス電圧を印加した場合を順バイアスとして説明している。

30

40

【0013】

透明電極（p側電極）114は、光照射で生成された正孔を、逆バイアスを印加することで排出して、p型の光電変換部113をチャージさせない役割を有する。従って、透明電極114は固体撮像素子に必要であるが、同時に、透明電極114の存在により、電子の注入も同時に引き起こしてしまうことが問題となる。

【0014】

ところで、カルコパイライトの代表的な材料の電子親和力を表1に示す。

【0015】

【表 1】

材料	CuInSe ₂	CuGaSe ₂	CuInS ₂	CuGaS ₂
電子親和力 χ (eV)	4.35	3.685	4.7	4.1
文献	[3]	[3]	[1]	[2]

【0016】

10

表 1 からカルコパイライト材料の電子親和力は、3.7 ~ 4.7 eV と大きいことが判る。これは、カルコパイライト材料にITO（仕事関数 4.7 eV）、Al:ZnO（AZO、仕事関数 4.5 eV）、SnO₂（仕事関数 5.2 V）又はIn₂O₃（仕事関数 5.2 eV）等の p 型の透明電極を接触させた場合に、電極側のフェルミレベルに存在する電子に対して 1.0 eV 以下の小さい障壁となる。この様子を図 4 に示す。図 4 では、下部電極 112 と透明電極 114（ITO：仕事関数 4.7 eV）との間に、カルコパイライト材料（CuInGaS：仕事関数 4.4 eV）からなる光電変換部 113 を備えた構成である。この構成では、矢印で示すように、ITO と CuInGaS との間のポテンシャル障壁（0.3 eV）を越えて電子が注入されるため、リーク電流となる。このように、カルコパイライト材料の光電変換部と、透明電極との間で、電子に対して小さい障壁しか存在しないため、結果としてリーク電流の発生が懸念される。これは、カルコパイライト材料特有の問題を示している。

20

【0017】

なお、カルコパイライト材料には、上記以外にCuAlSe₂、CuAlS₂ やCuAgSe₂、CuAgS₂ 等があるが、これらも電子親和力が高く、同様の値を示す。このため、これらの混晶であるCuInGaAlSSe系又はCuAgInGaSSe系でも同様な電子親和力を示す。なお、各元素の族の組成比は、I 族：III 族：VI 族 = 1 : 1 : 2 が保たれ、その中で各元素の組成比が 0% となってもよい。具体的に、I 族としてはCu, Ag、III 族としてはIn, Ga, Al、VI 族としてはS, Se が用いられる。

30

【0018】

そこで、カルコパイライト材料の有する問題を解決するためには、図 5 に示すように、上部の p 型の透明電極 114 と、カルコパイライト材料の光電変換部（CuInGaS）113 との間に、電子の障壁となる層（電子障壁層）102 を挿入する構造が考えられる。この構造では、ITO と CuInGaS との間に、電子障壁層 102 によるポテンシャル障壁が加えられる。このため、電子障壁層 102 によって、ITO と CuInGaS との間のポテンシャル障壁を越えた電子の注入を抑制する。ITO のフェルミ準位から電子障壁層 102 のコンダクションバンドの下端までの差が、障壁高さとなる。

【0019】

この構造において、電子障壁層 102 の厚みを 10 nm とし、障壁を 0 ~ 1.3 eV まで変化させた場合の電流密度 - 電圧特性（J - V 特性）を図 6 に示す。電圧は、透明電極 114 側にマイナス電圧を印加した場合が逆バイアスで、プラス電圧を印加した場合が順バイアスとなる。なお、電流密度は、マイナス領域では 0 に近い方を下方とし、マイナスの数値が大きくなる方を上方として表記する。つまり、プラス領域、マイナス領域ともに、0 に近い方を下方として表記する。また、ここでのシミュレーションは、トンネル効果を考慮したベーテのエミッション理論による。

40

【0020】

電子障壁層 102 の障壁が 0.6 eV 以上になると、-2 V の電圧印加条件でも電流密度が $J = 1 \times 10^{-7} \text{ A/cm}^2$ 以下となっている。この $1 \times 10^{-7} \text{ A/cm}^2$ 以下という値は、イメージセンサとして暗電流で飽和しないための必要条件となる。ところで、

50

このとき CuInGaS_2 中で光照射により生成された正孔は、図 5 のように障壁とならないバンド構造とすることで透明電極側に排出できる。例えば、電子障壁層のバレンスバンドの上端が、 CuInGaS_2 のバレンスバンドの上端よりも上方にある。このため、 CuInGaS_2 から透明電極に排出される正孔に対して、電子障壁層が障壁とならない。

【0021】

さらに、図 6 における障壁が 0.6 から 1.3 eV までの間で電流密度が低い領域を拡大したグラフを、図 7 に示す。障壁が 1.0 eV 以上になると、-2 V の電圧印加条件でも電流密度が $J = 1 \times 10^{-11} \text{ A/cm}^2$ 以下となっている。この $1 \times 10^{-11} \text{ A/cm}^2$ 以下という値は、通常のシャッタ時間 1/30 秒で撮影しても、暗電流として蓄積される電子数は数個以下となりイメージセンサにとって十分な条件となる。

10

【0022】

図 6 及び図 7 に示す結果から、0.6 eV 以上の障壁があればイメージセンサとして、透明電極から光電変換部に注入される電子に対して障壁となる。つまり、電子障壁層としての効果がある。さらに望ましくは、1.0 eV 以上の障壁があることでイメージセンサとして十分な効果が期待できる。また、0.5 eV 以下では、障壁としての効果を有していない。このため、正孔に対しての障壁が 0.5 eV 以下の障壁であれば、光電変換部から透明電極への正孔の排出の障害とならない。

【0023】

上記電子障壁層として使用可能な材料としては、例えば表 2 に示す材料が挙げられる。この中でも、NiO は電子親和力が 1.5 eV と小さく、かつバンドギャップも 4.0 eV と広い。従って、透明電極（例えば ITO の仕事関数 4.7 eV）のフェルミレベルに対して、十分な障壁（3.2 eV）になる。

20

【0024】

【表 2】

材料	電子親和力(eV)	バンドギャップ(eV)
NiO	1.5	~4.0
Cu_2O	~3.4	~2.1
ZnRh_2O_4	~2.3	~2.2

30

【0025】

図 5 の構造において、透明電極 101 に ITO、電子障壁層 102 に NiO を使い、かつ -2 V の逆バイアス印加時のバンド構造を図 8 に示す。この結果から、逆バイアスを印加しても NiO が障壁層として働く構造となっていることがわかる。さらに、正孔に対しては、障壁層の ITO 側において障壁となる部分がわずかに存在する。しかし、この部分は十分に小さい（0.5 eV 以下）ため、正孔の排出に対しては障壁とならない。

40

【0026】

さらにトンネル効果を入れて J-V 特性を見積もった結果を図 9 に示す。この結果から、NiO 電子障壁層を 4 nm 以上とすることで、-2 V の電圧印加条件でも電流密度が $J = 1 \times 10^{-7} \text{ A/cm}^2$ 以下となっている。この $1 \times 10^{-7} \text{ A/cm}^2$ 以下という値は、イメージセンサとして通常の使う範囲、たとえば 1/30 秒の露光時間で暗電流によって飽和しないための必要条件となる。

【0027】

さらに、電子障壁層 (NiO) 102 の厚さを 4 nm から 7 nm までの範囲で、電流密度が低い領域を拡大したグラフを図 10 に示す。NiO の厚みが 6 nm 以上になると、-2 V の電圧印加条件でも電流密度が $J = 1 \times 10^{-11} \text{ A/cm}^2$ 以下となっている。こ

50

の $1 \times 10^{-11} \text{ A/cm}^2$ 以下という値は、通常のシャッタ時間 $1/30$ 秒で撮影しても、暗電流の蓄積電子数は数電子以下となりイメージセンサにとって十分な条件となる。

【0028】

次に、図5に示す構造において、電子障壁層102の材料を、 Cu_2O とした例について説明する。この場合にも、透明電極（例えばITOの仕事関数 4.7 eV ）のフェルミレベルに対して、十分に障壁（ 1.3 eV ）になる。

透明電極101にITO、電子障壁層102に Cu_2O を用い、かつ逆バイアス印加時のトンネル効果を入れてJ-V特性を見積もった結果を図11に示す。この結果から電子障壁層（ Cu_2O ）102の厚みを6nm以上にする事で、 -2 V の電圧印加条件でも電流密度が $J = 1 \times 10^{-7} \text{ A/cm}^2$ 以下となる。この $1 \times 10^{-7} \text{ A/cm}^2$ 以下の値はイメージセンサとして通常の使う範囲、例えば $1/30$ 秒の露光時間において暗電流で飽和しない必要条件となる。なお、 Cu_2O をNiOより厚くする必要があるのは、障壁が 1.3 eV とNiOのそれに比べて 1.9 eV ほど低いことから、トンネル電流が増加するためである。

【0029】

さらに、 Cu_2O の厚みを6nmから10nmまで変化させて電流密度が低い領域を拡大したグラフを図12に示す。 Cu_2O の厚みが9nm以上になると、 -2 V の電圧印加条件でも電流密度が $J = 1 \times 10^{-11} \text{ A/cm}^2$ 以下となる。この $1 \times 10^{-11} \text{ A/cm}^2$ 以下の値は、通常のシャッタ時間 $1/30$ 秒で撮影しても、暗電流の蓄積電子数は数電子以下となりイメージセンサにとって十分な条件となる。

【0030】

以上の説明では、電子障壁層として単純に1種類の材料を用いているが、2種類以上を積層させる構造も考えられる。例えば、 Cu_2O と ZnRh_2O_4 を積層して電子障壁層としてもよい。 ZnRh_2O_4 のみで電子障壁層を構成した場合には、図13に示す矢印のように、電子障壁層（ ZnRh_2O_4 ）の価電子帯から、カルコパイライト材料（ p-CuInGaS ）の伝導帯側へのリーク電流が懸念される。従って、図14に示すように、電子障壁層として、 ZnRh_2O_4 に Cu_2O を積層することで、電子の障壁がより効果的になる。この図では、 $\text{p-CuInGaS}_2/\text{Cu}_2\text{O}/\text{ZnRh}_2\text{O}_4/\text{ITO}$ の -2 V 逆バイアス印加となっているが、さらに $\text{p-CuInGaS}_2/\text{Cu}_2\text{O}/\text{ZnRh}_2\text{O}_4/\text{Cu}_2\text{O}/\text{ITO}$ のように3層以上の構造とすることも考えられる。また、積層の順番を $\text{p-CuInGaS}_2/\text{ZnRh}_2\text{O}_4/\text{Cu}_2\text{O}/\text{ITO}$ のようにしても同様な効果が得られる。図14に示すような構成においても、正孔に対しては、電子障壁層を構成するそれぞれの層、例えば、 ZnRh_2O_4 及び Cu_2O の各層の障壁が 0.5 eV 以下であれば、障壁とならない。

【0031】

上述のように、本技術は、カルコパイライト材料からなる光電変換部と、p型の透明電極との間に、p型の透明電極のフェルミ準位から電子の障壁高さが 0.6 eV 以上、かつ光電変換部から透明電極への正孔が障壁とならない 0.5 eV 以下の電子障壁層が設けられた構造とする。この構造によれば、信号読出しのためにカルコパイライト系光電変換部にバイアスを印加しても、電子障壁層により、電子によるリーク電流が抑えられる。さらに、光照射で光電変換部内で生成された正孔は、電子障壁層が障壁とならずに、透明電極に排出できるのでチャージすることがない。結果として、SN比の高く高画質な固体撮像素子を構成することができる。

【0032】

なお、上述のシミュレーションにおいてトンネル効果は、図15に示すようにエネルギー障壁があるときに障壁層の中では電子のシュレディンガー波動関数が指数関数的に減衰するが、障壁層から抜ける時点でのエネルギーを持って障壁層から外に透過する。従って、障壁層が薄いと十分な障壁にならない。また、障壁 V_1 が高くないと障壁にならない。ここでトンネル確率 P は、障壁層の厚み d に対して次式のようになる。

【0033】

10

20

30

40

50

【数 1】

$$P = \frac{4\alpha^2\beta^2}{4\alpha^2\beta^2 + (\alpha^2 + \beta^2)^2 \sinh^2 \beta d}$$

$$\alpha^2 = \frac{2m}{\hbar^2} E$$

$$\beta^2 = \frac{2m}{\hbar^2} (V_1 - E)$$

10

【0034】

また、ペーテのエミッション理論は、トンネル効果を考慮したペーテのエミッション理論による。電極と半導体界面での電流密度は、キャリアの運動エネルギーと界面での障壁高さ ϕ_{ns} で決まる。従って、電圧に対する電流密度は次式のようになる。

【0035】

【数 2】

$$J = A^* T^2 \exp\left(-\frac{\phi_{ns}}{kT}\right) \left[\exp\left(\frac{eV}{kT}\right) - 1 \right]$$

20

【0036】

ここで A^* はリチャードソン定数といい、次式となる。 m^* は電子の実行質量である。

【0037】

【数 3】

$$A^* = \frac{4\pi e m^* k^2}{h^3}$$

30

【0038】

2. 第 1 実施形態 (固体撮像素子)

次に、固体撮像素子の第 1 実施形態について説明する。図 16 に第 1 実施形態の固体撮像素子の概略構成図 (平面図) を示す。

本実施形態は、本技術を、CMOS 型イメージセンサに適用した場合である。

図 16 に示すように、本実施形態の固体撮像素子 1 は、シリコンからなる基板 11 上に配列された複数の画素 2 から構成される画素領域 3 と、垂直駆動回路 4 と、カラム信号処理回路 5 と、水平駆動回路 6 と、出力回路 7 と、制御回路 8 を有して構成される。

【0039】

画素 2 は、フォトダイオードからなる光電変換部と、複数の画素トランジスタとから構成され、基板 11 上に 2 次元アレイ状に規則的に複数配列される。

画素 2 を構成する画素トランジスタとしては、例えば、転送トランジスタ、リセットトランジスタ、選択トランジスタ、増幅トランジスタが挙げられる。

【0040】

画素領域 3 は、2 次元アレイ状に規則的に配列された複数の画素 2 から構成される。画素領域 3 は、入射した光を光電変換して生成した信号電荷を増幅して、カラム信号処理回路 5 に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するための黒基準画素領域 (図示せず) とから構成されている。黒基準画素領域は、通常、有効画素領域の外周部に形成されている。

40

【0041】

50

制御回路 8 は、垂直同期信号、水平同期信号、マスタクロックに基づいて、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6 等の動作の基準となる、クロック信号や制御信号等を生成する。そして、制御回路 8 で生成されたクロック信号や制御信号等は、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6 等に入力される。

【 0 0 4 2 】

垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素領域 3 の各画素 2 を行単位で順次垂直方向に選択走査する。そして、各画素 2 のフォトダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号を、垂直信号線 9 を通してカラム信号処理回路 5 に供給する。

【 0 0 4 3 】

カラム信号処理回路 5 は、例えば、画素 2 の列毎に配置されており、1 行分の画素 2 から出力される信号を画素列毎に黒基準画素領域（図示しないが、有効画素領域の外周部に形成される）からの信号によって、ノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路 5 の出力段には、水平選択スイッチ（図示せず）が水平信号線 10 との間に設けられている。

【 0 0 4 4 】

水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順に選択して、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

【 0 0 4 5 】

出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して供給される信号に対して、信号処理を行って出力する。

【 0 0 4 6 】

[画素構成]

次に、本実施形態の固体撮像素子 1 の各画素 2 の構成について説明する。

本実施形態の固体撮像素子 1 は、半導体基板の表面側を回路形成面として、半導体基板の裏面側を光入射面とした、裏面照射型構造の固体撮像素子である。

本実施形態の固体撮像素子 1 の画素領域 3 における概略断面図を、図 17 に示す。また、本実施形態の固体撮像素子 1 の各画素 2 の等価回路図を、図 18 に示す。なお、図 17 では、各画素 2 を構成する画素トランジスタの一部を回路図で示している。

【 0 0 4 7 】

図 17 に示すように、本実施形態の固体撮像素子 1 は、第 1 電荷蓄積部 52、第 2 電荷蓄積部 25、フローティングディフュージョン部 34、及び複数の画素トランジスタが形成された基板 12 を備える。

また、本実施形態の固体撮像素子 1 は、基板 12 の表面側に図示しない配線層を備えている。さらに、基板 12 の光入射面となる裏面側には、積層して形成された、光電変換部 50、電子障壁層 58、透明電極 57、カラーフィルタ層 23、オンチップレンズ 24 を備える。

【 0 0 4 8 】

基板 12 は、n 型の半導体基板（例えば n 型のシリコン基板）で構成されており、例えば、3 μm ~ 5 μm の厚さに形成されている。

また、各画素 2 を構成する不純物領域が形成される画素領域 3 は、第 2 導電型（本実施形態では p 型）のウェル領域 13 とされている。そして、各画素 2 は、基板 12 に形成された画素分離部 53 により区画されている。画素分離部 53 は、基板 12 の裏面側から所望の深さに形成された、高濃度の p 型半導体層で形成されており、隣り合う画素を電氣的に分離するように設けられている。

【 0 0 4 9 】

そして、p 型のウェル領域 13 内に、各画素 2 を構成する第 1 電荷蓄積部 52 や第 2 電荷蓄積部 25、フローティングディフュージョン部 34、各画素トランジスタを構成するソース・ドレイン領域 29、35 が形成される。

10

20

30

40

50

また、各画素 2 は、第 1 転送トランジスタ $T r 1$ 、第 2 転送トランジスタ $T r 2$ 、第 1 リセットトランジスタ $T r 3$ 、第 2 リセットトランジスタ $T r 4$ 、増幅トランジスタ $T r 5$ 、選択トランジスタ $T r 6$ の 6 つの画素トランジスタを備える。

【0050】

第 1 電荷蓄積部 5 2 は、基板 1 2 の裏面側（光入射側）から所定の深さにまで形成された n 型半導体層で構成されている。第 1 電荷蓄積部 5 2 は、対応する画素毎に形成されており、各画素では、画素分離部 5 3 に区画された単位画素の領域内全域に形成されている。

この第 1 電荷蓄積部 5 2 は、後述する光電変換部 5 0 で生成された信号電荷を蓄積する蓄積部として機能する。

【0051】

また、第 1 電荷蓄積部 5 2 は、n 型の不純物濃度が基板の裏面側から深さ方向に向かって高くなるように、不純物を分布させた構成とすることが好ましい。このような構成とすることにより、第 1 電荷蓄積部 5 2 を、基板 1 2 の深さ方向にポテンシャル電位が高くなるようなポテンシャル勾配とすることができる。これにより、ポテンシャル勾配によって基板内に内部電界が生じて、この内部電界によって、光電変換部 5 0 から移動してきた信号電荷（本実施形態では電子）が、第 1 電荷蓄積部 5 2 内において、基板 1 2 の表面側に自動的に移動する。

【0052】

第 2 電荷蓄積部 2 5 は、基板 1 2 の表面側（光入射側とは反対の側）に形成された n 型半導体層で構成されている。第 2 電荷蓄積部 2 5 は、基板 1 2 の深さ方向（厚さ方向）において、第 1 電荷蓄積部 5 2 と平面位置が重なる位置に配置されている。即ち、第 2 電荷蓄積部 2 5 は、基板 1 2 の深さ方向において、第 1 電荷蓄積部 5 2 の表面側に形成されている。このとき、第 1 電荷蓄積部 5 2 を構成する n 型半導体層と、第 2 電荷蓄積部 2 5 を構成する n 型半導体層とは、p 型のウェル領域 1 3 を介して、それぞれの n 型半導体層同士が電氣的に分離されて配置されている。

また、第 1 電荷蓄積部 5 2 から第 2 電荷蓄積部 2 5 への信号電荷の読み出しをより完全なものとするため（即ち、転送残りを減らすため）、第 2 電荷蓄積部 2 5 の不純物濃度を、第 1 電荷蓄積部 5 2 の不純物濃度よりも高くすることが望ましい。

【0053】

また、第 2 電荷蓄積部 2 5 を構成する n 型半導体層よりも表面側には、第 2 電荷蓄積部 2 5 に接するように、薄い p 型半導体層 2 6 が形成されている。この p 型半導体層 2 6 により、基板 1 2 の表面側に形成される配線層（図示せず）を構成する酸化膜と基板との界面で起こる暗電流の発生を抑制することができる。

【0054】

なお、図 1 7 では、2 つの画素のそれぞれにおいて、画素の右側と画素の左側とに第 2 電荷蓄積部 2 5 及び p 型半導体層 2 6 が形成されている。これらの層 2 5、2 6 は、画素の周辺部全周にわたって形成されており、図 1 7 に示していない位置で、画素の右側と画素の左側にそれぞれ形成された部分が繋がって一体化されている。

【0055】

フローティングディフュージョン部 3 4 は、基板 1 2 の表面側に形成されている。フローティングディフュージョン部 3 4 は、高濃度の n 型半導体層で構成されている。

その他、各画素トランジスタを構成するソース・ドレイン領域が、基板 1 2 の表面側に形成されている。図 1 7 では、第 1 リセットトランジスタ $T r 3$ と第 2 リセットトランジスタ $T r 4$ のそれぞれを構成するドレイン 3 5、2 9 を代表して示している。

【0056】

各画素トランジスタを構成するソース・ドレイン領域についても、フローティングディフュージョン部 3 4 と同様に、高濃度の n 型半導体層で構成されている。フローティングディフュージョン部 3 4 及び各画素トランジスタを構成するソース・ドレイン領域も、基板 1 2 の深さ方向に第 1 電荷蓄積部 5 2 と重なる位置に形成されて、p 型のウェル領域 1

10

20

30

40

50

3を介して、n型半導体層同士が接続しないように形成されている。

【0057】

第1転送トランジスタTr1は、ソースとなる第1電荷蓄積部52と、ドレインとなる第2電荷蓄積部25と、第1転送ゲート電極27とで構成されている。第1転送トランジスタTr1を構成する第1転送ゲート電極27は、基板12の表面側から深さ方向に形成された縦型のゲート電極とされており、第2電荷蓄積部25を貫通して第1電荷蓄積部52に達する深さに形成されている。この第1転送ゲート電極27は、基板12から所望の深さに形成されたトレンチ部内にゲート絶縁膜28を介して電極材料を埋め込むことによって形成されている。

【0058】

なお、図17では示していないが、第1転送ゲート電極27を形成する場合、トレンチの側面及び底面に薄くp型半導体層が形成されていてもよい。トレンチの側面及び底面にp型半導体層を薄く形成することにより、トレンチ部と基板12との界面で発生する暗電流を抑制することができる。

【0059】

そして、第1転送ゲート電極27には、図18に示すように、第1転送パルスTRG1を供給する配線が接続されている。第1転送トランジスタTr1では、第1転送ゲート電極27に所望の第1転送パルスTRG1が印加されることにより、第1電荷蓄積部52に蓄積された信号電荷を第2電荷蓄積部25に読み出すことができる。この場合、第1転送ゲート電極27に沿ってチャンネルが形成され、信号電荷は、第1転送ゲート電極27に沿って第2電荷蓄積部25に移動する。

【0060】

第2転送トランジスタTr2は、ソースとなる第2電荷蓄積部25と、ドレインとなるフローティングディフュージョン部34と、第2転送ゲート電極32とで構成されている。第2転送トランジスタTr2を構成する第2転送ゲート電極32は、ソース・ドレイン間の基板12表面に、例えばシリコン酸化膜からなるゲート絶縁膜28を介して形成されている。

そして、第2転送ゲート電極32には、図18に示すように、第2転送パルスTRG2を供給する配線が接続されている。第2転送トランジスタTr2では、第2転送ゲート電極32に所望の第2転送パルスTRG2が印加されることにより、第2電荷蓄積部25に蓄積された信号電荷をフローティングディフュージョン部34に読み出すことができる。

【0061】

第1リセットトランジスタTr3は、ソースとなるフローティングディフュージョン部34と、電源電圧Vddに接続されているドレイン(リセット部)35と、第1リセットゲート電極33とで構成されている。第1リセットトランジスタTr3を構成する第1リセットゲート電極33は、ソース・ドレイン間の基板12表面に、例えばシリコン酸化膜からなるゲート絶縁膜28を介して形成されている。

そして、第1リセットゲート電極33には、図18に示すように、第1リセットパルスRST1を供給する配線が接続されている。第1リセットトランジスタTr3では、第1リセットゲート電極33に所望の第1リセットパルスRST1が印加されることにより、フローティングディフュージョン部34の電位が電源電圧Vddにリセットされる。

【0062】

第2リセットトランジスタTr4は、ソースとなる第1電荷蓄積部52と、電源電圧Vddに接続されているドレイン(排出部)29と、第2リセットゲート電極30とで構成されている。第2リセットトランジスタTr4を構成する第2リセットゲート電極30は、基板12の表面側から深さ方向に形成された縦型のゲート電極とされており、ドレイン29を貫通して第1電荷蓄積部52に達する深さに形成されている。この第2リセットゲート電極30は、基板12の表面側から所望の深さに形成されたトレンチ部内にゲート絶縁膜28を介して電極材料を埋め込むことによって形成されている。

10

20

30

40

50

【0063】

そして、第2リセットゲート電極30には、図18に示すように、第2リセットパルスRST2を供給する配線が接続されている。第2リセットトランジスタTr4では、第2リセットゲート電極30に所望の第2リセットパルスRST2が印加されることにより、第1電荷蓄積部52の電位が電源電位Vddにリセットされる。この場合、第2リセットゲート電極30に沿ってチャンネルが形成され、信号電荷は第2リセットゲート電極30に沿ってドレイン(排出部)29に排出される。

【0064】

増幅トランジスタTr5は、電源電圧Vddに接続されたドレインと、選択トランジスタTr6のドレインを兼ねるソースと、増幅ゲート電極45とで構成されている。図18に示すように、増幅トランジスタTr5のソース・ドレイン間の増幅ゲート電極45は、フローティングディフュージョン部34に接続されている。

10

この増幅トランジスタTr5は、電源電圧Vddを負荷とするソースフォロア回路を構成しており、フローティングディフュージョン部34の電位変化に応じた画素信号が増幅トランジスタTr5から出力される。

【0065】

選択トランジスタTr6は、増幅トランジスタTr5のソースを兼ねるドレインと、垂直信号線9に接続されているソースと、選択ゲート電極46とで構成されている。図18に示すように、選択トランジスタTr6のソース・ドレイン間の選択ゲート電極46には、選択パルスSELを供給する配線が接続されている。画素毎に選択パルスSELが選択ゲート電極46に供給されることにより、増幅トランジスタTr5で増幅された画素信号が選択トランジスタTr6を介して垂直信号線9に出力される。

20

【0066】

なお、図17に示す断面構成では、増幅トランジスタTr5及び選択トランジスタTr6を回路図で示し、断面構成の図示を省略したが、実際には、基板12の深さ方向において、第1電荷蓄積部52と重なる位置に形成される。また、増幅トランジスタTr5及び選択トランジスタTr6を構成するソース・ドレイン領域も、例えば第1リセットトランジスタTr3を構成するソース・ドレイン領域と同様の構成を有している。

【0067】

基板12の表面側には、図示を省略するが、層間絶縁膜を介して複数層に積層された配線層が形成されている。これらの配線層を介して、各画素トランジスタに所望のパルスが供給され、各画素2の信号電荷が読み出される。

30

【0068】

光電変換部50は、入射した光の量に応じた信号電荷を生成できる光電変換材料で構成されており、基板12の裏面側に積層して形成され、n型半導体層からなる第1電荷蓄積部52の上面を被覆するように、画素領域全体に設けられている。

また、光電変換部50は、遮光膜を兼ねる構成とされている。即ち、光電変換部50に入射した光は、ここにおいて光電変換され、基板12側には入射しない構成とされている。また、光電変換部50においても、画素分離部に絶縁層51が形成されており、光電変換部50が画素毎に区画されている。

40

【0069】

このような光電変換部50を構成する材料としては、p型のカルコパイライト構造の化合物半導体を用いることができる。例えば、n型の基板12に格子整合された銅-ガリウム-インジウム-イオウ(以下、CuGaInSと記す。)系混晶からなるカルコパイライト系化合物半導体が、1000nmの厚みで形成されている。特に、Cu組成比が0.25、In組成比が0.12、Ga組成比が0.13、S組成比が0.5で、それぞれの組成比のバラツキが±10%までに入る化合物半導体であれば、結晶欠陥の少ない格子整合された光電変換部50が形成される。ここで、CuInGaSだけでなく、銅-アルミニウム-ガリウム-インジウム-イオウ-セレン(以下、CuAlGaInSSeと記す。)系混晶からなるカルコパイライト系化合物半導体でもよい。

50

【0070】

様々な半導体材料におけるフォトンエネルギーと光吸収係数との関係を、図19に示す。図19に示すように、 CuInSe_2 の光吸収係数は、他の材料よりも高く、特に、シリコン単結晶(図19では x-Si)と比較して、約2桁高い。このため、 CuInSe_2 からなる光電変換部は、光電変換部としての機能だけではなく、可視光を遮光する機能を好適に果たすことができる。

【0071】

光電変換部50として用いられる材料は、可視光線の吸収係数がシリコンからなる基板12よりも高く、光電変換機能が発現する材料であれば、単結晶、多結晶、アモルファスのいずれの結晶構造であってもよい。

また、光電変換部50を構成するカルコパイライト材料として、 CuGaInS 、 CuAlGaInSSe 、 CuInSe_2 以外の他のカルコパイライト材料を用いてもよい。他のカルコパイライト材料も CuInSe_2 と同様に吸収係数が高いため、他のカルコパイライト材料を用いても、光電変換部と遮光部とを兼ねることができる。例えば、銅-アルミニウム-銀-ガリウム-インジウム-亜鉛-イオウ-セレン(CuAlAgGaInZnSSe)系混晶からなるカルコパイライト系化合物半導体からなる光電変換膜などがある。

このとき、結晶欠陥を減らすために、光電変換部50を基板と格子整合させることが望ましい。

【0072】

カルコパイライト材料について、格子定数とバンドギャップとの関係を、図20及び図21に示す。図20に示すように、様々なカルコパイライト材料がある。

このうち、図21に示すように、 CuAlGaInSSe 系混晶は、その格子定数をシリコンの格子定数 5.43 に格子整合させたヘテロエピタキシーとなるように、組成を制御することができるので、結晶欠損を減少させることができる。

このため、 CuAlGaInSSe 系混晶をシリコンからなる基板12上に単結晶薄膜としてエピタキシャル成長させることが可能であり、ヘテロ界面で発生するミスフィット転移等の結晶欠陥を減少させることができる。

このような結晶欠陥は、バンドギャップ中に深い準位を形成し、この準位に捕獲された電子または正孔等のキャリアが、吐き出されるために、信号に付加される形で暗電流(ノイズ)となる。特に、深い準位では、吐き出されるまでの時定数が長いために、実用上、ノイズ発生が問題となる。

従って、格子整合させたヘテロエピタキシーによって、結晶欠陥を減らすことにより、暗電流の発生を抑制し、ノイズを減少させることができる。

【0073】

また、光電変換部50を構成するカルコパイライト材料は、その導電型がp型である。本実施形態のように、電子を信号電荷として用いる場合には、基板12に向かってポテンシャル電位が高くなるように光電変換部50を構成することで、光電変換部50で生成した信号電荷がポテンシャル勾配に沿って移動し、第1電荷蓄積部52に蓄積される。

【0074】

さらに、光電変換部50は、上述した無機材料の他、有機材料を用いて形成することもできる。有機材料も吸収係数が高く、遮光と光電変換を兼ねる材料と成りうる。

例えば、キナクリドン系色素や、クマリン系色素を含む有機材料、もしくは、その他の有機材料で、吸収係数がシリコンより2桁以上高い有機材料がある。これらの有機材料で光電変換部50を形成することにより、光電変換部と遮光部を兼ねることができる。

【0075】

なお、本実施形態では、光電変換部50の光入射側にカラーフィルタ層23を設けているため、有機材料で光電変換部50を構成する場合には、可視光全域に渡って感度を有する材料を用いても良い。また、各画素において、カラーフィルタ層23が透過する光の波長に対応する波長の光を吸収するように光電変換部50を構成しても良い。

10

20

30

40

50

【0076】

ところで、有機材料は、電子の移動度が低い材料である。このため、有機材料を用いて光電変換部50を構成する場合には、各画素の光電変換部50を分離する絶縁層51を形成せず、光電変換部50を画素領域全面に形成してもよい。また、有機材料を用いて光電変換部50を構成する場合には、有機材料を基板12に塗布することで形成することができる。

【0077】

電子障壁層58は、光電変換部50の透明電極57側に、例えば4nm~100nmの厚さのNiOから形成されている。電子障壁層58は、光電変換部50上に設けられ、光電変換部50と同様に、画素毎に区画されている。この電子障壁層58は、上述の本技術の概要において説明したように、透明電極57から光電変換部50への電子の流入を抑制するためのポテンシャル障壁となる層である。

10

【0078】

ここで、透明電極57から光電変換部50への電子の流入を抑制するためのポテンシャル障壁となるための条件を備えるための、電子障壁層の厚み(nm)と障壁高さ(eV)の関係を図22に示す。図22に示すグラフは、ペーテのエミッション理論によるトンネル効果を考慮した、電流密度-電圧特性(J-V特性)シミュレーションである。図22では、電流密度が $J < 1 \times 10^{-7} \text{ A/cm}^2$ となる条件と、電流密度が $J < 1 \times 10^{-11} \text{ A/cm}^2$ となる条件とについて、それぞれ電子障壁層の厚み(nm)と障壁高さ(eV)との関係を示している。

20

【0079】

図22に示すように、電子障壁層の厚さ(nm)と障壁高さ(eV)とは、反比例の双曲線に近い形状の曲線(x軸厚さ, y軸障壁高さ)によって示される。図22において、例えば $J < 1 \times 10^{-11} \text{ A/cm}^2$ となる条件では、図の曲線より右上領域が、この条件を満たす領域となる。また、 $J < 1 \times 10^{-7} \text{ A/cm}^2$ となる条件の場合も同様に、図の曲線より右上領域が、この条件を満たす領域となる。

このことは、障壁が低くなると障壁層を厚くする必要があり、逆に障壁が高くなると薄くてもよいことを表している。このグラフは無機や有機などの材料系によらず不変的な性質を示している。

30

【0080】

図22から、電子障壁層58としては、電子障壁層の厚さを4nm以上とすることが好ましい。4nm以上とすることにより、障壁高さが3eV以上の材料から電子障壁層58を構成すれば、-2Vの電圧印加条件でも電流密度が $J = 1 \times 10^{-7} \text{ A/cm}^2$ 以下となり、イメージセンサとして暗電流で飽和しない構成となる。つまり、電子障壁層58の厚さが4nm以上あることで、電子に対する障壁となり、透明電極57から光電変換部50への電子の注入を抑制する効果が得られる。

【0081】

また、電子障壁層58を6nm以上とすることにより、障壁高さが3eV以上の材料から電子障壁層58を構成すれば、-2Vの電圧印加条件でも電流密度が $J = 1 \times 10^{-11} \text{ A/cm}^2$ 以下となる。このため、通常のシャッタ時間1/30秒で撮影しても、暗電流として蓄積される電子数は数個以下となり、イメージセンサにとって十分な構成とすることができる。つまり、電子障壁層58の厚さが6nm以上あることが好ましい。電子障壁層58の厚さを6nm以上にすることで、-2Vの電圧印加条件でも電流密度を $J = 1 \times 10^{-7} \text{ A/cm}^2$ 以下とすることができる。このため、イメージセンサとして暗電流で飽和しない構成となる。

40

【0082】

さらに、電子障壁層58は、電子障壁層58の厚さを9nm以上とすることが好ましい。電子障壁層58の厚さを9nm以上にすると、障壁高さが1.5eV以上の材料においても、-2Vの電圧印加条件で電流密度を $J = 1 \times 10^{-11} \text{ A/cm}^2$ 以下とすることができる。このため、通常のシャッタ時間1/30秒で撮影しても、暗電流の蓄積電子数

50

は数電子以下となり、イメージセンサにとって十分な構成とすることができる。

【0083】

また、図22から電子障壁層58としては、透明電極57のフェルミ準位から電子の障壁高さが0.6 eV以上である材料を用いることが好ましい。電子障壁層58の障壁高さが0.6 eV以上になると、-2 Vの電圧印加条件でも電流密度が $J = 1 \times 10^{-7} \text{ A/cm}^2$ 以下となり、イメージセンサとして暗電流で飽和しない構成となる。

【0084】

さらに、電子障壁層58としては、透明電極57のフェルミ準位から電子の障壁高さが1.0 eV以上である材料を用いることが好ましい。障壁が1.0 eV以上になると、-2 Vの電圧印加条件でも電流密度が $J = 1 \times 10^{-11} \text{ A/cm}^2$ 以下となり、通常のシャッタ時間1/30秒で撮影しても、暗電流として蓄積される電子数は数個以下となり、イメージセンサにとって十分な構成とすることができる。

10

【0085】

また、電子障壁層58は、光電変換部で生成される正孔に対して0.5 eV以下の障壁となる材料を用いることが好ましい。障壁高さが0.5 eV以下である材料を用いることにより、光照射によって光電変換部50で生成された正孔の障壁にならず、透明電極57に正孔を排出することができる。

また、電子障壁層58は100 nm以下の厚さで形成することが好ましい。100 nm以下で形成することにより、図8に示すような正孔の障壁となる電子障壁層58のバンド傾斜が十分に小さくなる。このため、光照射によって光電変換部50で生成された正孔の障壁にならず、透明電極57に正孔を排出することができる。さらに、電子障壁層58が100 nm以下であれば、透明電極57から光電変換部50への印加電圧にほとんど影響がない。

20

【0086】

このような電子障壁層58を構成する材料としては、例えば、上述の表2に示すNiO、Cu₂O、ZnRh₂O₄を用いることができる。また、これら材料を積層した多層構造としてもよい。

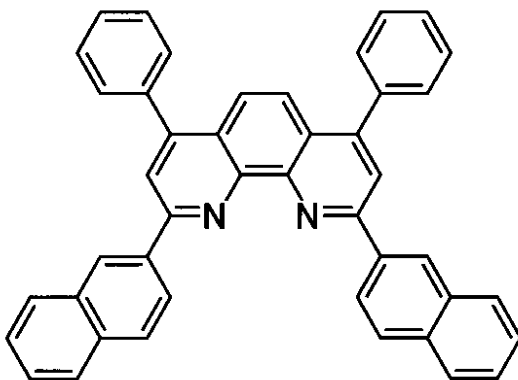
【0087】

また、電子障壁層58を構成する材料としては、上述の無機材料に限らず、下記に一例を示すような有機材料を用いることができる。有機材料としては、例えば、下記化1に示すNBphen(2,9-Bis(naphthalen-2-yl)-4,7-diphenyl-1,10-phenanthroline 分子式：C₁₃H₁₅NO₃)、下記化2に示すBCP(1-[(1,3-Benzodioxol-5-yl)carbonyl]piperidine 分子式：C₁₃H₁₅NO₃)、及び、下記化3に示すCBP(3-Bromo-1-chloro-1-propene 分子式：C₃H₄BrCl)を用いることができる。

30

【0088】

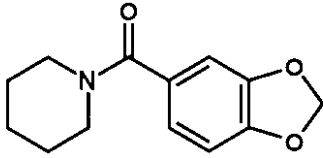
【化1】



40

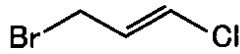
【0089】

【化 2】



【 0 0 9 0 】

【化 3】



【 0 0 9 1 】

上述のように、光電変換部 5 0 の光入射側の面上に、電子障壁層 5 8 が形成されていることにより、逆バイアスを印加して信号を読み出す際の、光電変換部 5 0 への電子の注入を抑制することができる。これにより、リーク電流を抑制して、ノイズ成分となる暗電流を抑制することができる。このため、S/N比が低下することなく、固体撮像素子の画質を向上させることができる。

【 0 0 9 2 】

透明電極 5 7 は、光電変換部 5 0 上部の光入射面側に形成されており、光電変換部 5 0 と同様に、画素毎に区画されている。透明電極 5 7 は、可視光領域の波長に対して光透過性を有する p 型の電極材料で形成され、例えば、酸化インジウム錫 (ITO) 膜、酸化インジウム亜鉛膜、又は、酸化アルミニウム亜鉛 (AZO) 膜、酸化亜鉛膜等の透明導電膜で構成することができる。

この透明電極 5 7 は、グランド電位に接地されており、正孔蓄積によるチャージを防ぐように構成されている。

また、透明電極 5 7 による外部電界によって、光電変換部 5 0 で生成された信号電荷を第 1 電荷蓄積部 5 2 に集めることができる。

【 0 0 9 3 】

このように、本実施形態では、光電変換部 5 0 の下層には、n 型半導体層からなる第 1 電荷蓄積部 5 2 が形成され、光電変換部 5 0 の上層には、グランド電位に接地された透明電極 5 7 が形成されている。これにより、光電変換部 5 0 において、入射した光量に応じて生成された信号電荷 (電子) は、第 1 電荷蓄積部 5 2 側に移動し、信号電荷の生成と共に発生する正孔は、透明電極 5 7 側に移動する。

【 0 0 9 4 】

画素毎に区画された光電変換部 5 0、電子障壁層 5 8 及び透明電極 5 7 の積層構造を覆って、絶縁層 5 1 が形成されている。また、絶縁層 5 1 は、画素領域全面に形成され、上記積層構造の区画部では基板 1 2 に形成された画素分離部 5 3 上に形成されている。絶縁層 5 1 は、透光性を有する材料であり、SiN 等の固体撮像素子に一般的に適用される透光性の絶縁材料を使用することができる。

【 0 0 9 5 】

カラーフィルタ層 2 3 は、光電変換部 5 0 の上部に形成されており、例えば、R (赤色)、G (緑色)、B (青色) の光を選択的に透過するフィルタ層が画素毎に配置されている。また、これらのフィルタ層は、例えばベイヤー配列で画素毎に配置されている。

カラーフィルタ層 2 3 では、所望の波長の光が透過され、透過した光が基板 1 2 上の光電変換部 5 0 に入射する。

なお、本実施形態では、各画素が R, G, B のいずれかの光を透過する構成としたが、これに限定されるものではない。カラーフィルタ層 2 3 を構成する材料としては、その他シアン、黄色、マゼンタ等の光を透過するような有機材料を使用してもよく、仕様により

10

20

30

40

50

種々の選択が可能である。

【0096】

オンチップレンズ24は、カラーフィルタ層23の上部に形成されており、画素毎に形成されている。オンチップレンズ24では、入射した光が集光され、集光された光はカラーフィルタ層23を介して光電変換部50に効率良く入射する。なお、本実施形態では、オンチップレンズ24は、光電変換部50の中心位置に、入射した光を集光させる構成とされている。

【0097】

本実施形態の固体撮像素子1では、特に、第2電荷蓄積部25とフローティングディフュージョン部34が、基板12の表面側において、画素の周辺部に形成されている。

一方、基板12の表面側の画素の中央部には、第1リセットトランジスタTr3のドレイン(リセット部)35及び第2リセットトランジスタTr4のドレイン(排出部)29が形成されている。

【0098】

画素の中央部には、オンチップレンズ24で集光されることにより、入射光のほとんどが集まる。

この画素の中央部にソース・ドレイン領域29及びリセット部35等を配置し、かつ、その周辺部に第2電荷蓄積部(蓄積部)25やフローティングディフュージョン部34や増幅トランジスタTr5や選択トランジスタTr6等を配置する。これにより、グローバルシャッタ動作のときに発生する、スミアノイズの悪影響を小さくすることができる。

即ち、第2電荷蓄積部(蓄積部)25やフローティングディフュージョン部34等に光が入射すると、スミアノイズとなるが、ソース・ドレイン領域29及びリセット部35等に光が入射してもスミアノイズへの影響が小さい。

【0099】

[駆動方法]

次に、本実施形態の固体撮像素子1の駆動方法を説明する。

本実施形態の固体撮像素子1の駆動方法のタイミングチャートを、図23に示す。ここでは、n行目の画素の読み出しのタイミングを例に説明する。

【0100】

まず、全画素同時に第1リセットパルスRST1の供給を開始し、第1リセットトランジスタTr3をオンする。これにより、フローティングディフュージョン部34に蓄積されていた信号電荷が電源電圧Vdd側に排出され、フローティングディフュージョン部34はリセットされる。ここで、フローティングディフュージョン部34に蓄積されていた信号電荷は、前のフレームで読み出された信号電荷である。

その後、全画素同時に第1リセットパルスRST1の供給を停止し、第1リセットトランジスタTr3をオフする。

【0101】

次に、全画素同時に第1転送パルスTRG1の供給を開始し、第1転送トランジスタTr1をオンする。これにより、第1電荷蓄積部52に蓄積されていた信号電荷が第2電荷蓄積部25に転送される。

その後、全画素同時に第1転送パルスTRG1の供給を停止し、第1転送トランジスタTr1をオフする。

本実施形態では、全画素同時に第2電荷蓄積部25に読み出された信号電荷は、各行の読み出し時まで、第2電荷蓄積部25に保持された状態となる。

【0102】

次に、全画素同時に第2リセットパルスRST2の供給を開始し、第2リセットトランジスタTr4をオンする。これにより、第1電荷蓄積部52に残っていた信号電荷や、第1転送トランジスタTr1をオフした時点から第2リセットトランジスタTr4をオンする時点までの期間で蓄積された信号電荷を、電源電圧Vdd側に排出して、リセットする。

10

20

30

40

50

その後、全画素同時に第2リセットパルス RST2の供給を停止し、第2リセットトランジスタTr4をオフすることで、次のフレームの露光を開始する。

【0103】

ここまでの一連の動作は、全画素同時に行われるものである。

本実施形態では、全画素同時に第2リセットトランジスタTr4をオフすることにより、グローバル露光が開始され、全画素同時に第1転送トランジスタTr1をオンすることにより、グローバル露光が終了する。即ち、第2リセットトランジスタTr4をオフした時から、次に第1転送トランジスタTr1をオンするまでの期間が、露光期間とされる。露光期間では、光電変換部50に入射した光量に応じた信号電荷が、光電変換部50で生成される。そして、光電変換部50で生成された信号電荷は、基板12内のポテンシャル電位に沿って移動し、第1電荷蓄積部52に蓄積される。

10

【0104】

次に、行毎に読み出しを開始する。n行の信号電荷の読み出しでは、n行の動作の順番が回ってきたら、第2転送パルス TRG2の供給を開始し、第2転送トランジスタTr2をオンする。これにより、n行の画素において、第2電荷蓄積部25に蓄積されていた信号電荷がフローティングディフュージョン部34に転送される。

その後、第2転送パルス TRG2の供給を停止し、第2転送トランジスタTr2をオフする。

【0105】

次に、選択パルス SELの供給を開始し、選択トランジスタTr6をオンする。これにより、フローティングディフュージョン部34の電位に対応する出力を画素信号としてカラム信号処理回路5(図16参照)に取り込む。カラム信号処理回路5では、先に取得したリセット信号と、この画素信号との差分を取ることで相関二重サンプリングを行う。これにより、カラム信号処理回路5では、kTcノイズが除去された画素信号が得られる。

20

その後、選択パルス SELの供給を停止し、選択トランジスタTr6をオフし、n行の画素の読み出しを終了する。

【0106】

n行目の画素の読み出しが終了した後は、n+1行目の画素の読み出しを行い、全行の画素の読み出しを順に行う。

30

このようにして、本実施形態の固体撮像素子1の駆動を行うことができる。

【0107】

本実施形態の固体撮像素子1では、入射した光Lは光電変換部50において光電変換され、そこで発生した信号電荷(電子)は第1電荷蓄積部52に移動し、第1電荷蓄積部52で主に蓄積される。また、光電変換部50で生成された正孔は透明電極57に移動する。

【0108】

そして、露光期間において、第1電荷蓄積部52で蓄積された信号電荷は、第1転送トランジスタTr1がオンすることで、全画素同時に、第2電荷蓄積部25に転送される。第2電荷蓄積部25に転送された信号電荷は、第2電荷蓄積部25で蓄積される。

40

第2電荷蓄積部25に蓄積された信号電荷は、行毎のタイミングでフローティングディフュージョン部34に転送される。

そして、読み出し時には、フローティングディフュージョン部34の信号電荷の量に対応する画素信号が、選択トランジスタTr6を通じて、垂直信号線9に出力される。

また、電子の排出時には、第2リセットトランジスタTr4がオンすることにより、全画素同時に、第1電荷蓄積部52の信号電荷が、第2リセットトランジスタTr4のドレイン(排出部)29に排出される。

【0109】

3. 第1実施形態(固体撮像素子の製造方法)

次に、本実施形態の固体撮像素子1を製造する方法について説明する。

50

本実施形態の固体撮像素子 1 は、例えば、以下に説明するようにして、製造することができる。

【0110】

まず、n 型の基板 12 に、例えば p 型の不純物をイオン注入することにより、p 型のウェル領域 13 を形成する。

その後、図 24A に示すように、基板 12 の表面側に n 型のドーパントである V 族の P (リン) 等をイオン注入することにより、第 2 電荷蓄積部 25、フローティングディフュージョン部 34、各画素トランジスタのソース・ドレイン領域 29, 35 を形成する。

その後、第 2 電荷蓄積部 25 の表面側には、p 型の不純物を高濃度にイオン注入することにより、薄い p 型半導体層 26 を形成する。

これらの工程は、通常の CMOS 型固体撮像素子の製造プロセスを用いて、実行することができる。

【0111】

次に、基板 12 の表面側にシリコン等からなる支持基板 (図示せず) を貼り合わせ、基板 12 の裏面側が上を向くように、基板 12 を反転させる。

その後、図 24B に示すように、例えば CVD 法を用いて、基板 12 の裏面側に n 型の不純物をドーピングしながら第 1 電荷蓄積部 52 となる n 型半導体層を所望の厚みとなるまでエピタキシャル成長させる。

【0112】

次に、図 24C に示すように、第 1 電荷蓄積部 52 の n 型半導体層の上部に、画素分離部 53 を形成する領域が開口されたレジスト層 55 を形成する。このレジスト層 55 は、通常のフォトリソグラフィ技術を用いて形成することができる。そして、レジスト層 55 を介して p 型の不純物を、例えば p 型のウェル領域 13 を構成する不純物濃度よりも高い濃度となるようにイオン注入することにより、画素分離部 53 を形成する。画素分離部 53 を構成する p 型半導体層は、少なくとも第 1 電荷蓄積部 52 を画素毎に分離できる深さに形成する。

【0113】

続いて、図 25D に示すように、第 1 電荷蓄積部 52 上のレジスト層 55 を除去する。

次に、図 25E に示すように、第 1 電荷蓄積部 52 の上部に、例えばカルコパイライト系の材料をエピタキシャル成長させることにより、光電変換部 50 を形成する。

本実施形態において、カルコパイライト系の化合物半導体をエピタキシャル成長させる方法としては、分子線エピタキシー (MBE) 法、有機金属気相成長 (MOCVD) 法、液相エピタキシー (LPE) 法を用いることができる。なお、エピタキシャル成長する方法であれば、基本的にいかなる成膜方法であってもよい。

【0114】

ところで、基板 12 を構成するシリコンの格子定数は 0.357 nm であり、CuAlGaInSSe 系混晶は、この格子定数に対応した材料を含み、基板 12 と格子整合するように光電変換部 50 を形成することが可能である。このため、例えば、CuGaInS 膜を光電変換部 50 として基板 12 上にエピタキシャル成長させることができる。

【0115】

MOCVD 法を用いて光電変換部 50 を形成する場合には、例えば、図 28 に示す MOCVD 装置を使用することができる。

基板 12 上で光電変換部 50 の結晶を成長させる際には、図 28 に示すように、基板がサセプタ (カーボン製) の上に載せられる。サセプタは、高周波加熱装置 (RF コイル) で加熱され、基板 12 の温度を制御できるように、熱電対とその温度制御機構が設けられている。一般的な基板温度としては、熱分解が可能となる $400 \sim 1000$ の温度範囲であるが、基板温度を下げるために、例えば、水銀ランプ等で基板表面を照射して、原料の熱分解をアシストしても良い。

【0116】

そして、有機金属原料を水素でパブリングすることで、飽和蒸気圧状態とされて、各原

10

20

30

40

50

料分子が反応管まで輸送される。ここでは、マスフローコントローラ(MFC)で各原料に流す水素流量を制御することにより、原料の単位時間当たりに輸送されるモル量比が調整される。これにより、シリコンからなる基板12上では、有機金属原料が熱分解されて結晶に取り込まれることで結晶成長が生じ、光電変換部50を形成することができる。原料のモル量比は、形成される結晶の組成比に相関性があるため、この原料の単位時間当たりに輸送される原料のモル量比を制御することにより、エピタキシャル成長される光電変換部50の組成比を制御することができる。

【0117】

MOCVD法を用いて光電変換部50を形成する場合には、銅の有機金属原料としては、例えばアセチルアセトン銅($\text{Cu}(\text{C}_5\text{H}_7\text{O}_2)_2$)を用いることができる。この他に、シクロペンタジエニル銅トリエチルリン($\text{h}5-(\text{C}_2\text{H}_5)\text{Cu}:\text{P}(\text{C}_2\text{H}_5)_3$)を用いてもよい。また、ガリウム(Ga)の有機金属原料としては、例えば、トリメチルガリウム($\text{Ga}(\text{CH}_3)_3$)を用いることができる。また、アルミニウム(Al)の有機金属原料としては、例えばトリメチルアルミニウム($\text{Al}(\text{CH}_3)_3$)を用いることができる。また、インジウム(In)の有機金属原料には、例えば、トリメチルインジウム($\text{In}(\text{CH}_3)_3$)を用いることができる。また、セレン(Se)の有機金属原料には、例えば、ジメチルセレン($\text{Se}(\text{CH}_3)_2$)を用いることができる。また、イオウ(S)の有機金属原料には、例えば、ジメチルスルフィド($\text{S}(\text{CH}_3)_2$)を用いることができる。また、亜鉛(Zn)の有機金属原料には、例えば、ジメチルジンク($\text{Zn}(\text{CH}_3)_2$)を用いることができる。

10

20

【0118】

なお、シクロペンタジエニル銅トリエチルリン($\text{h}5-(\text{C}_2\text{H}_5)\text{Cu}:\text{P}(\text{C}_2\text{H}_5)_3$)やアセチルアセトン銅($\text{Cu}(\text{C}_5\text{H}_7\text{O}_2)_2$)やトリメチルインジウム($\text{In}(\text{CH}_3)_3$)等の原料は、室温で固相状態である。このような場合には、原料を加熱して液相状態にする、または、固相状態でも単に高温にして蒸気圧を高くした状態で使ってもよい。

【0119】

ここで、有機金属原料を必ずしもこれらの原料に規定する必要はなく、有機金属であれば、同様にMOCVD成長の原料として使用できる。例えば、トリエチルガリウム($\text{Ga}(\text{C}_2\text{H}_5)_3$)、トリエチルアルミニウム($\text{Al}(\text{C}_2\text{H}_5)_3$)、トリエチルインジウム($\text{In}(\text{C}_2\text{H}_5)_3$)、ジエチルセレン($\text{Se}(\text{C}_2\text{H}_5)_2$)、ジエチルスルフィド($\text{S}(\text{C}_2\text{H}_5)_2$)およびジエチルジンク($\text{Zn}(\text{C}_2\text{H}_5)_2$)を原料として用いてもよい。

30

さらに、MOCVD成長の原料は、必ずしも有機金属でなく、ガス系でもよい。例えば、Se原料としてセレン化水素(H_2Se)や、S原料として硫化水素(H_2S)を使ってもよい。

【0120】

MBE法を用いて光電変換部50を形成する場合には、例えば、図29に示すMBE装置を使用することができる。

MBE法を用いて光電変換部50を形成する際には、図29に示すMBE装置内において、光電変換部50を構成するための各単体原料を、超高真空中にある各クヌーセンセル内に入れて、これらの原料を適切な温度に加熱する。これにより、分子線を発生させ、基板12上に照射することで、所望の結晶成長層を形成することができる。クヌーセンセル内に入れる単体原料としては、ガリウム(Ga)、アルミニウム(Al)、インジウム(In)、セレン(Se)、イオウ(S)を用いることができる。このとき、イオウ(S)のような蒸気圧が特に高い原料の場合には、分子線量の安定性が乏しいことがある。この場合、パルブドクラッキングセルを用いて、分子線量を安定化させてもよい。さらに、ガスソースMBEのように、一部の原料をガスソースにしてもよい。この場合には、例えば、Se原料としてセレン化水素(H_2Se)を使用することができ、イオウ(S)原料としては、硫化水素(H_2S)を使用することができる。

40

50

【 0 1 2 1 】

なお、MOCVD法又はMBE法を用いて光電変換部50を形成する場合には、例えば、結晶成長と共にn型のドーパントであるZnの濃度を徐々に下げることで、結晶成長する方向にバンドが傾斜した光電変換部50を形成することができる。このようにして光電変換部50内のバンドを傾斜させることで、光電変換部50で生成された信号電荷の基板12側への移動が容易になる。

必ずしもn型のドーパントをドーピングする必要はなく、例えばIII族原子とI族原子の供給量を制御するだけでも、濃度の変化でバンドの傾斜は可能である。

【 0 1 2 2 】

そして、このような光電変換部50は、基板12上において格子整合するように形成されている。この場合には、ヘテロ界面で発生するミスフィット転位を減少させることができるため、光電変換部50の結晶性が良好となる。よって、結晶欠陥が減少するために、暗電流の発生を抑制することができ、白点による画質の劣化を防止できる。また、高感度化を実現することができるので、暗い撮像環境（例えば夜間）であっても、高画質な撮影が可能となる。

10

【 0 1 2 3 】

ここで、格子不整は $|a/a|$ （ a ：光電変換部の格子定数と基板の定数の差、 a ：基板の格子定数）で表すことができ、格子整合する場合には、 $a/a = 0$ である。なお、本実施形態では、「格子整合」の定義は、結晶成長で形成された光電変換部50の厚みが臨界膜厚以内の条件において格子整合に近い状態を含むものとする。つまり、臨界膜厚以内であれば、完全に格子整合しなくてもミスフィット転位が入らない結晶性の良好な状態が可能となる。

20

また、「臨界膜厚」の定義は、「MatthewとBlakesleeの式」（J.W. Matthews and A.E. Blakeslee, J.Cryst.Growth 27(1974)118-125.）又は「PeopleとBeanの式」（R.People and J.C. Bean, Appl. Phys.Lett.47(1985)322-324.）で規定される。

【 0 1 2 4 】

以上のようにしてエピタキシャル結晶からなる光電変換部50を形成した後、図25Fに示すように、光電変換部50の上部に、電子障壁層58を形成する。電子障壁層58は、上述の各材料から形成する。

【 0 1 2 5 】

次に、図26Gに示すように、電子障壁層58上に透明電極57を形成する。

30

続いて、図26Hに示すように、透明電極57の上部に絶縁層51が形成される領域が開口されたレジスト層56を形成する。そして、そのレジスト層56の開口から露出する透明電極57、電子障壁層58、及び、光電変換部50に、RIE（Reactive Ion Etching）によるエッチング加工を行う。

この工程により、図26Iに示すように、透明電極57、電子障壁層58、及び、光電変換部50を画素毎に分離する。

【 0 1 2 6 】

続いて、図27Jに示すように、光電変換部50上のレジスト層56を除去する。

次に、図27Kに示すように、画素毎に分離された透明電極57、電子障壁層58、及び、光電変換部50を覆うように絶縁層を蒸着形成した後、CVDを用いて表面を平坦化し、絶縁層51を形成する。

40

【 0 1 2 7 】

その後、基板12の表面側に各画素トランジスタを形成し、図27Lに示すように、基板12の裏面側において、絶縁層51上にカラーフィルタ層23、及びオンチップレンズ24を形成する。

このようにして、本実施形態の固体撮像素子を製造することができる。

【 0 1 2 8 】

[エピタキシャル成長：オフ基板]

ところで、本実施形態では、主面が(100)面であるシリコン基板を用い、その主面

50

に化合物半導体をエピタキシャル成長させて光電変換部を形成する場合について説明した。つまり、本実施形態では{100}基板を用いる場合について説明している。しかし、本技術はこれに限定されるものではない。

イオン性がない無極性なシリコン基板上にイオン性元素の材料として上記の化合物半導体をエピタキシャル成長させた場合には、アンチフェーズドメインとよばれる欠陥が発生する場合がある。つまり、局所的にカチオンとアニオンとが逆フェーズになって成長し、アンチフェーズドメインが発生する。

このため、シリコン基板としてオフ基板を用いてもよい。オフ基板上にエピタキシャル成長をさせることにより、アンチフェーズドメインの発生を抑制することができる。例えば、シリコンからなる{100}基板の面方向を<011>方向にオフしたオフ基板を用いることにより、アンチフェーズドメインが生じた領域が結晶成長と共に自己消滅するため結晶性を向上させることができる。オフ基板としては、例えば傾斜角度が1~10度の基板を用いることができる。

【0129】

ここで、オフ基板であるシリコン基板上に、光電変換部を形成した際の原子配列を、図30に示す。

図30では、例えば、I族原子は銅(Cu)原子であり、III族原子は、ガリウム(Ga)原子またはインジウム(In)原子であり、VI族原子は、硫黄(S)原子やセレン(Se)原子などである。図30において、白色の四角形のマークで表示している「I族またはIII族原子列」は、紙面に垂直な方向において、I族原子とIII族原子が交互に並んでいることを示している。

図30は、シリコン基板上において、VI族原子から成長が開始した場合であり、かつ、I族又はIII族のカチオン(プラスイオン性原子)とVI族のアニオン(マイナスイオン性原子)の間のアンチフェーズドメインが、消滅する場合を示している。

【0130】

図30に示すように、例えば、シリコン基板として、{100}基板を<011>方向に傾斜角度(オフ角) θ_1 でオフしたオフ基板を用いる。

オフ基板であるシリコン基板上には、I族又はIII族のカチオン(プラスイオン性原子)とVI族のアニオン(マイナスイオン性原子)が規則的に配列されて、光電変換部50の膜が形成される。

このとき、領域B(一点鎖線で区画する領域)のように、カチオンとアニオンとが局所的に逆位相になって成長し、アンチフェーズドメインが生じる場合がある。

しかしながら、図30に示すように、オフ基板の表面に結晶成長させているので、アンチフェーズドメインが生じた領域Bが三角形状で閉じる。そして、領域Bの上方では、アンチフェーズドメインが生じない領域Aのみとなるように、エピタキシャル成長が進行する。このようにして、アンチフェーズドメインの発生を抑制することが可能である。

なお、図30は、具体的には、傾斜角度(オフ角) θ_1 が6度である場合を示しているが、前述した1~10度の範囲の傾斜角度を有するオフ基板であれば、効果はある。

【0131】

[効果]

上述の本実施形態の固体撮像素子1の構成によれば、光電変換部50と透明電極57との間に、電子障壁層58が設けられていることにより、光電変換部に逆バイアスを印加しても、電子障壁層58により、電子によるリーク電流が抑えられる。

また、電子障壁層58は、光電変換部50から透明電極57へ移動する正孔に対して障壁とならない構成であるため、光電変換部50をチャージさせない構成とすることができる。

従って、逆バイアスの電圧印加時に透明電極57から光電変換部50側に電子が注入される現象を抑制することができる。このため、透明電極57からの電子注入に起因する暗電流の発生を抑制することができ、ノイズ成分の増加及びS/N比の低下を抑制することができるため、固体撮像素子の画質の劣化を抑制することができる。

10

20

30

40

50

【 0 1 3 2 】

また、本実施形態では、画素領域 3 の全面に渡って形成される光電変換部 5 0 が遮光部を兼ねる構成とされているため、基板 1 2 に入射光が到達することがなく、ノイズの発生が抑制される。

【 0 1 3 3 】

そして、本実施形態の固体撮像素子 1 の構成によれば、第 1 電荷蓄積部 5 2 と第 2 電荷蓄積部 2 5 を設けている。これにより、第 1 電荷蓄積部 5 2 で蓄積された信号電荷を、全画素同時に第 2 電荷蓄積部 2 5 に転送して、いったん第 2 電荷蓄積部 2 5 に保持させた後に、行毎にフローティングディフュージョン部 3 4 に転送して、垂直信号線に読み出すことができる。

10

従って、画素の微細化が図られた固体撮像素子 1 において、グローバルシャッタ操作が可能となるため、全画素同時の露光が可能となり、フォーカルプレーン歪みが解消される。

また、遮光膜を設けなくても全画素同時の露光が可能になるため、遮光膜を設けた場合と比較して、開口を広くして、感度の向上と飽和電荷量の向上を図ることができる。

【 0 1 3 4 】

また、本実施形態では、第 1 電荷蓄積部 5 2 に蓄積された信号電荷をリセットする第 2 リセットトランジスタ Tr 4 を別途設けることにより、読み出し期間が終了する前に、次のフレームの露光期間を開始することができる。このような効果は、特に動画撮影に有効となる。

20

【 0 1 3 5 】

さらに、本実施形態の固体撮像素子 1 の構成によれば、第 2 電荷蓄積部 2 5 及びフローティングディフュージョン部 3 4 が画素の周辺部に形成されている。これにより、オンチップレンズ 2 4 による集光領域である画素の中央部から、第 2 電荷蓄積部（蓄積部）2 5 やフローティングディフュージョン部 3 4 が分離されている。これにより、光の入射によって発生する、スミアノイズが低減されるため、高い S/N 比が得られる。

また、集光領域である画素の中央部に、ソース・ドレイン領域 2 9 やリセット部 3 5 が形成されているため、これらによって、スミアノイズとなる電荷を排出することができ、これによってもスミアノイズを低減することができる。

従って、グローバルシャッタ機能を有し、暗電流が小さく、かつ k T C ノイズが小さい固体撮像素子 1 を実現することができる。

30

【 0 1 3 6 】

そして、本実施形態の固体撮像素子 1 の構成によれば、グローバルシャッタ機能を有する従来の CMOS イメージセンサと比較して、画素を微細化することが可能であり、高い解像度を実現できる。また、信号読み出し時に発生する回折光や散乱光が漏れて蓄積部に入ることによるノイズ付加がなく、かつ裏面照射型になっているので、感度や飽和感度が高く、高画質の撮像を提供することが可能になる。

【 0 1 3 7 】

本実施形態によれば、高い感度と高い飽和電荷量を有し、かつ、高解像度で良好な画質を有する画像を提供することが可能な固体撮像素子 1 を実現することが可能になる。

40

【 0 1 3 8 】

4. 第 1 実施形態に対する第 1 変形例

第 1 実施形態では、図 1 7 に示したように、光電変換部 5 0、電子障壁層 5 8 及び透明電極 5 7 の積層構造が、画素毎に区画されている構成である。これに対して、光電変換部 5 0、電子障壁層 5 8 及び透明電極 5 7 の積層構造を画素毎に区画せずに、画素領域全面に形成された構成としてもよい。

以下に、第 1 変形例として、光電変換部 5 0、電子障壁層 5 8 及び透明電極 5 7 の積層構造が、画素領域全面に形成されている構成について説明する。

【 0 1 3 9 】

第 1 実施形態に対する第 1 変形例の固体撮像素子 1 5 の概略構成図（要部の断面図）を

50

、図 3 1 に示す。

図 3 1 において、図 1 7 に対応する部分には、同一符号を付して重複説明を省略する。

【 0 1 4 0 】

この第 1 変形例の固体撮像素子 1 5 では、図 3 1 に示すように、光電変換部 5 0 が隣接する画素にわたって連続して形成され、画素領域全面に形成されている。そして、光電変換部 5 0 上に形成される電子障壁層 5 8 と透明電極 5 7 も画素領域全面に形成されている。

さらに、図 1 7 で光電変換部 5 0、電子障壁層 5 8 及び透明電極 5 7 の積層構造を覆い、画素毎に分離していた絶縁層 5 1 が省略されている。

【 0 1 4 1 】

このように光電変換部 5 0 を画素毎に分離しない場合にも、光電変換部 5 0 を上述のカルコパイライト構造の p 型化合物半導体で構成する。

このとき、基板 1 2 の表面の横方向に、n 型（第 1 電荷蓄積部 5 2）と p 型（p 型の画素分離部 5 3）が交互に形成された構造であり、基板 1 2 内で画素分離がなされている。これにより、エネルギー障壁が形成されるために、その上の CuInGaS 光電変換部にもエネルギー障壁が発生する。

【 0 1 4 2 】

その他の構成は、図 1 7 に示した第 1 実施形態の固体撮像素子 1 と同様であるので、重複説明を省略する。

【 0 1 4 3 】

ここで、上述したエネルギー障壁について、垂直方向及び水平方向の断面バンド構造を参照して説明する。

図 3 1 の基板 1 2 と光電変換部 5 0 の垂直方向の断面バンド構造を、図 3 2 A 及び図 3 2 B に示す。図 3 2 A は、p 型の画素分離部 5 3 の部分（画素の端の部分）の断面バンド構造を示し、図 3 2 B は、第 1 電荷蓄積部 5 2 の部分（画素の中央）の断面バンド構造を示している。

また、図 3 1 の光電変換部 5 0 の水平方向の断面バンド構造を、図 3 3 に示す。

【 0 1 4 4 】

図 3 2 A に示すように、画素の端の部分では、CuInGaS が p 型のシリコンに接しており、フェルミレベル E_F がシリコンの価電子帯上端 E_V 付近にあるために、CuInGaS でも大きなバンドの曲がりが生じない。そのために、伝導帯下端 E_C がフェルミレベル E_F より高エネルギー側に存在する（真空準位に近い側に存在する）。

一方、図 3 2 B に示すように、画素の中央では、CuInGaS が n 型のシリコンに接しており、フェルミレベル E_F がシリコンの伝導帯下端 E_C 付近にある。このため、CuInGaS で大きなバンドの曲がりが生じると共に、CuInGaS の伝導帯下端 E_C がフェルミレベル E_F に近い位置で（低いエネルギー側で）存在する（真空準位から遠い位置に存在する）。ここでは、フェルミレベル E_F のエネルギーを 0 eV としている。

【 0 1 4 5 】

従って、CuInGaS 膜内では、図 3 3 に示すような、水平方向断面バンド構造となる。このとき、光電変換で生成された電子にとって、画素の端の部分はエネルギー障壁となるために、電子は画素の中央に集まることになる。

一方、光電変換で生成された正孔にとって、画素の中央はエネルギー障壁となるために、正孔は画素の端の部分に集まる。

このため、透明電極 5 7 から逆バイアスを印加することにより、電子が n 型のシリコン側に運ばれ、透明電極 5 7 まで正孔が運ばれることになる。

【 0 1 4 6 】

この第 1 変形例の固体撮像素子 1 5 の構成によれば、光電変換部 5 0 の画素分離部が不要になる。これにより、製造工程を簡略化して工程数や製造コストを低減することが可能になる。

【 0 1 4 7 】

10

20

30

40

50

5. 第1実施形態に対する第2変形例

第1実施形態のように、基板12上に光電変換部50を形成する場合、光電変換部50で生成された信号電荷を、光電変換部50側から基板12側に移動させやすくするため、第1電荷蓄積部52と光電変換部50とを、電極プラグ65で接続する構成について説明する。

【0148】

第1実施形態に対する第2変形例の固体撮像素子60の概略構成図(要部の断面図)を、図34に示す。図34において、図17に対応する部分には、同一符号を付して重複説明を省略する。

【0149】

図34に示す固体撮像素子60では、光電変換部50が、隣接する画素にわたって連続して形成されている。そして、基板12と光電変換部50との間に、電極プラグ65が設けられている。電極プラグ65は、画素毎に区画されている。

【0150】

電極プラグ65は、第1下部電極62、第2下部電極63、及び、第1下部電極62と第2下部電極63とを接続するビア64から構成される。

第2下部電極63は、基板12上に形成され、第1電荷蓄積部52のほぼ全面を覆うように形成されている。

第2下部電極63上には、絶縁層61を介して第1下部電極62が形成されている。

第1下部電極62上には光電変換部50が形成され、画素区画内において、光電変換部50のほぼ全面に第1下部電極62が接するように形成されている。第1下部電極62と第2下部電極63とは、絶縁層61を貫通するビア64により接続されている。

【0151】

電極プラグ65は、例えば、Al, Cu, AlCu等から形成される。

また、図示していないが、電極プラグ65と光電変換部50との間にn型半導体層を設けた構成としてもよい。例えば、n型半導体層として、Al:ZnO層や、TiO₂層等が形成されていてもよい。

電極プラグ65及びn型半導体層は、例えば、上記材料を用いて、スパッタやレーザアブレーション等により形成することができる。

【0152】

その他の構成は、図17に示した第1実施形態の固体撮像素子1と同様であるので、重複説明を省略する。

この構成の固体撮像素子60は、光電変換部50で光電変換された光電荷が、電極プラグ65を介して基板12側に電界により移動し、ポテンシャル障壁のところまで止められて第1電荷蓄積部52に蓄積される。

【0153】

なお、図34に示す構成では、第1下部電極62は、画素区画内で光電変換部50のほぼ全面に接続されているが、光電変換部50と第1下部電極62とは一部で接続していればよい。また、第2下部電極63は第1電荷蓄積部52上のほぼ全面を覆うように形成されているが、第2下部電極63と第1電荷蓄積部52とは、少なくとも一部が接続していればよい。

【0154】

この第2変形例の固体撮像素子60の構成によれば、光電変換部50の下部電極として、電極プラグ65を用いていることにより、より高い電圧を光電変換部50に印加することができる。このため、光電変換部50の信号の読み出しを、ほぼ100%で行うことができ、アパランシェ増幅を起こして高感度のイメージセンサを構成することが可能となる。

【0155】

6. 第2実施形態(電子機器)

次に、第2実施形態の電子機器について説明する。

10

20

30

40

50

第2の実施形態の電子機器の概略構成図（ブロック図）を、図35に示す。

【0156】

図35に示すように、本実施形態の電子機器200は、第1実施形態の固体撮像素子1と、光学レンズ210と、シャッタ装置211と、駆動回路212と、信号処理回路213とを有する。

【0157】

光学レンズ210は、被写体からの像光（入射光）を固体撮像素子1の撮像面上に結像させる。これにより、固体撮像素子1内に一定期間信号電荷が蓄積される。

シャッタ装置211は、固体撮像素子1への光照射期間および遮光期間を制御する。

駆動回路212は、固体撮像素子1において、信号電荷の転送動作及びシャッタ装置211のシャッタ動作を制御する駆動信号を供給する。駆動回路212から供給される駆動信号（タイミング信号）により、固体撮像素子1の信号転送を行う。

信号処理回路213は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いは、モニタに出力される。

【0158】

本実施形態の電子機器200では、固体撮像素子1において画素の微細化が図られるため、電子機器200の小型化や高解像度化が図られる。また、固体撮像素子1において全画素同時の露光が可能になり、高いS/N比が得られるため、画質の向上が図られる。

【0159】

固体撮像素子1を適用できる電子機器200としては、デジタルビデオカメラに限られるものではなく、デジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュール等の撮像装置に適用可能である。

【0160】

上述した本実施形態の電子機器では、固体撮像素子として第1実施形態の固体撮像素子1を使用していた。

本技術の電子機器は、第1実施形態の固体撮像素子1を使用する構成に限定されず、本技術の固体撮像素子であれば、任意の固体撮像素子を使用することができる。

また、本技術の電子機器の構成は、図30に示した構成に限定されるものではなく、本技術の固体撮像素子を使用する構成であれば、図30に示した以外の構成とすることも可能である。

【0161】

なお、本開示は以下のような構成も取ることができる。

(1) 基板と、前記基板の光入射側の上に形成され、光量に応じた信号電荷を生成するp型の光電変換部と、前記光電変換部の光入射面側に設けられたp型の透明電極と、前記光電変換部と前記透明電極との間に形成された電子障壁層とを備える固体撮像素子。

(2) 前記電子障壁層が、前記透明電極のフェルミ準位からの電子障壁高さが0.6 eV以上であり、前記光電変換部から前記透明電極への正孔の障壁が0.5 eV以下である(1)に記載の固体撮像素子。

(3) 前記透明電極のフェルミ準位からの電子障壁高さが1.0 eV以上である前記電子障壁層を備える(2)に記載の固体撮像素子。

(4) 前記電子障壁層の厚さが、4 nm以上である(2)又は(3)に記載の固体撮像素子。

(5) 前記電子障壁層が、6 nm以上の厚さのNiOからなる(2)から(4)のいずれかに記載の固体撮像素子。

(6) 前記電子障壁層が、9 nm以上の厚さのCu₂Oからなる(2)から(4)のいずれかに記載の固体撮像素子。

(7) 前記光電変換部は、電子親和力が3.7 eV以上のp型カルコパイライト材料から構成されている(1)から(6)のいずれかに記載の固体撮像素子。

(8) 前記光電変換部が、シリコン基板上に形成されたカルコパイライト構造の化合物半導体のエピタキシャル成長層である(1)から(7)のいずれかに記載の固体撮像素子。

(9) 前記光電変換部は、Cu組成比が0.25、In組成比が0.12、Ga組成比が0.13、S組成比が0.5、及び、各組成比のバラツキが±10%までに入るCuInGaS化合物半導体で形成されている(1)から(8)のいずれかに記載の固体撮像素子。

(10) 前記透明電極が、ITO、AZO、SnO₂、及び、In₂O₃から選ばれる少なくとも1種類以上を含む(1)から(9)のいずれかに記載の固体撮像素子。

(11) 前記基板が、オフ基板である、(1)から(10)のいずれかに記載の固体撮像素子。

(12) (1)から(11)のいずれかに記載の固体撮像素子と、前記固体撮像素子からの出力信号を処理する信号処理回路と、を有する電子機器。

10

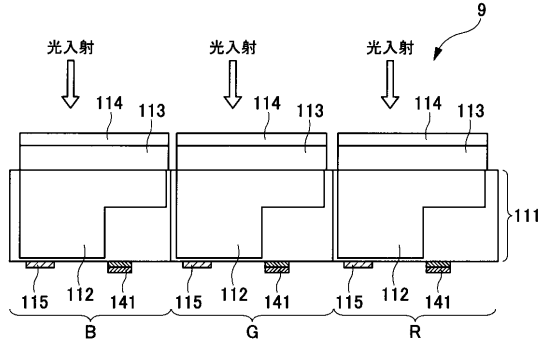
【符号の説明】

【0162】

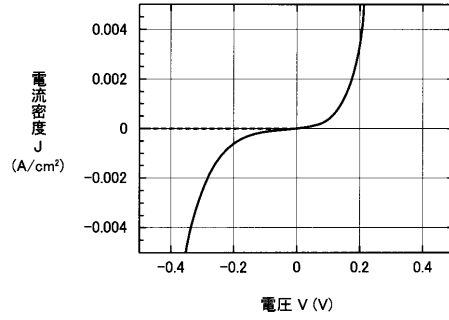
1, 15, 60 固体撮像素子、2 画素、3 画素領域、4 垂直駆動回路、5 カラム信号処理回路、6 水平駆動回路、7 出力回路、8 制御回路、9 垂直信号線、10 水平信号線、11, 12 基板、13 ウェル領域、18, 52 第1電荷蓄積部、23 カラーフィルタ層、24 オンチップレンズ、25 第2電荷蓄積部、26 p型半導体層、27 第1転送ゲート電極、28 ゲート絶縁膜、29 ソース・ドレイン領域、30 第2リセットゲート電極、32 第2転送ゲート電極、33 第1リセットゲート電極、34 フローティングディフュージョン部、35 リセット部、45 増幅ゲート電極、46 選択ゲート電極、50, 113 光電変換部、51, 61 絶縁層、53 画素分離部、55, 56 レジスト層、57, 101, 114 透明電極、58, 102 電子障壁層、62 第1下部電極、63 第2下部電極、64 ビア、65 電極プラグ、111 シリコン基板、112 n型電極層、115 読み出し用電極、141 ゲートMOS、200 電子機器、210 光学レンズ、211 シャッタ装置、212 駆動回路、213 信号処理回路、Tr1 第1転送トランジスタ、Tr2 第2転送トランジスタ、Tr3 第1リセットトランジスタ、Tr4 第2リセットトランジスタ、Tr5 増幅トランジスタ、Tr6 選択トランジスタ

20

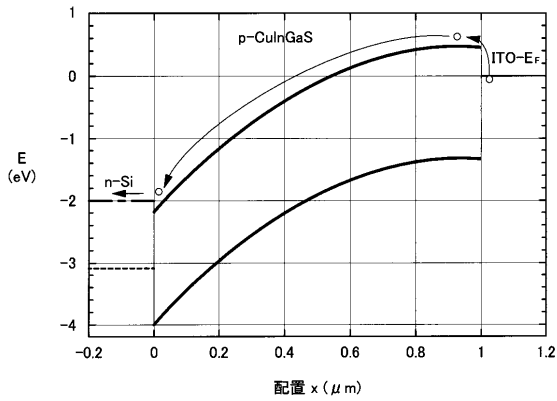
【図1】



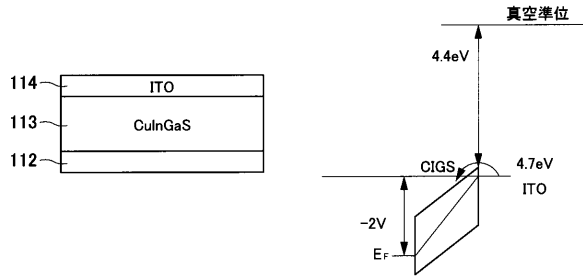
【図3】



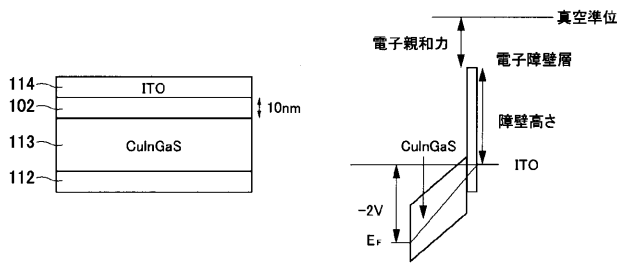
【図2】



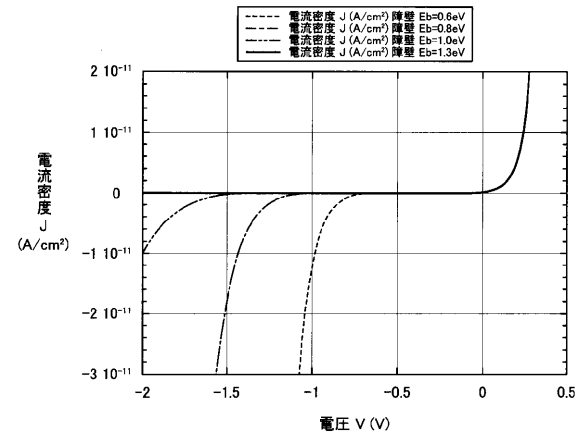
【図4】



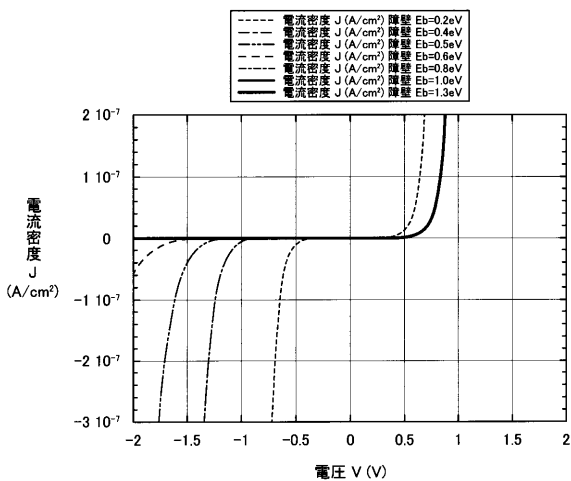
【図5】



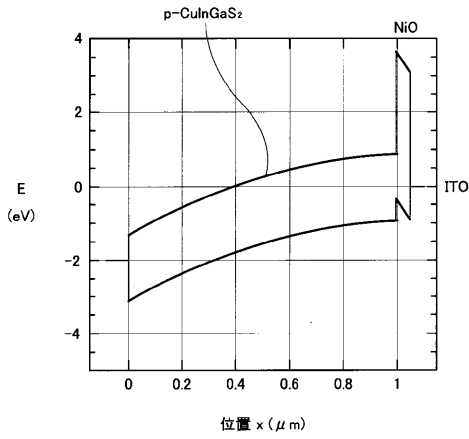
【図7】



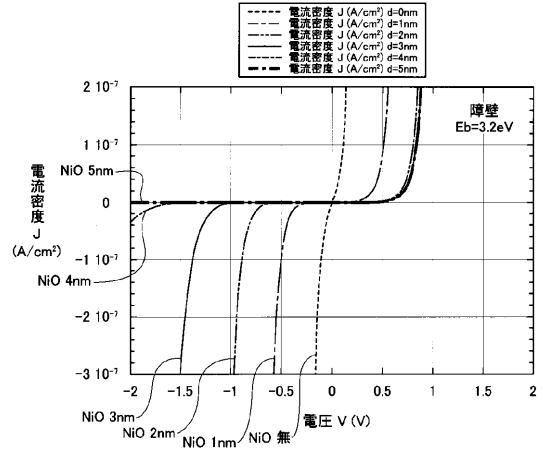
【図6】



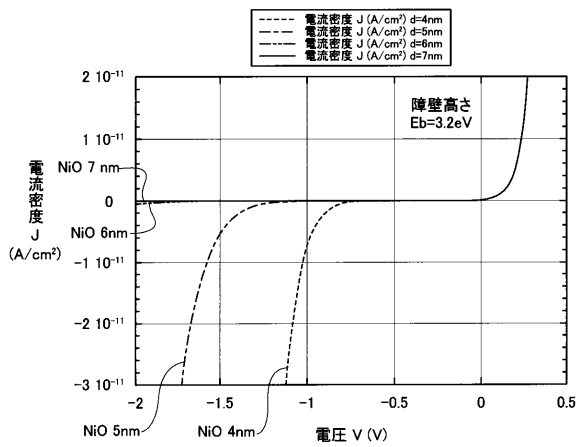
【 図 8 】



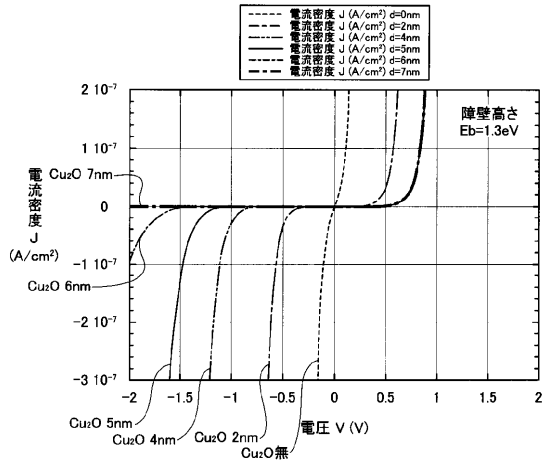
【 図 9 】



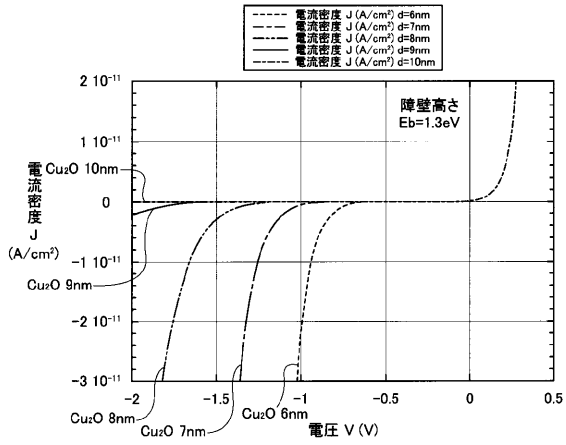
【 図 10 】



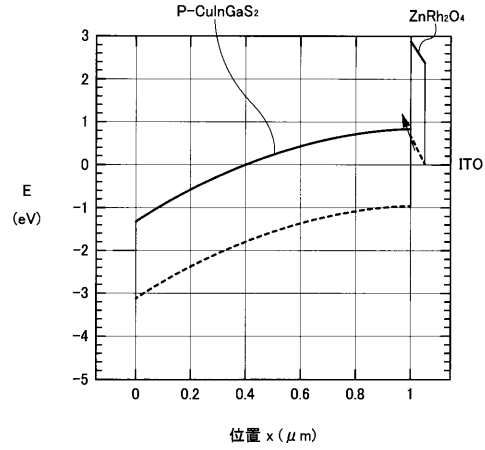
【 図 11 】



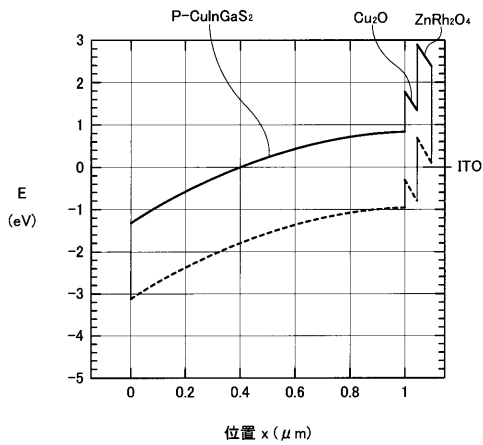
【 図 1 2 】



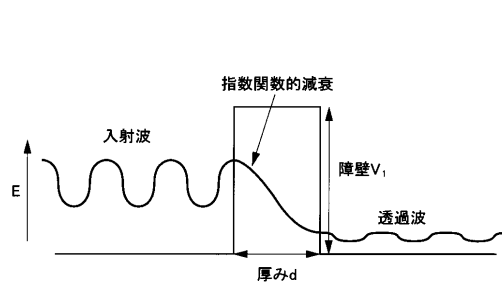
【 図 1 3 】



【 図 1 4 】

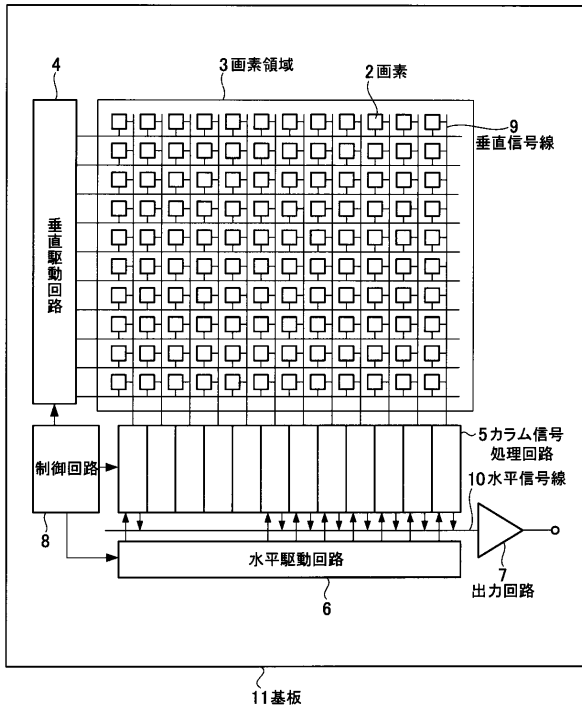


【 図 1 5 】

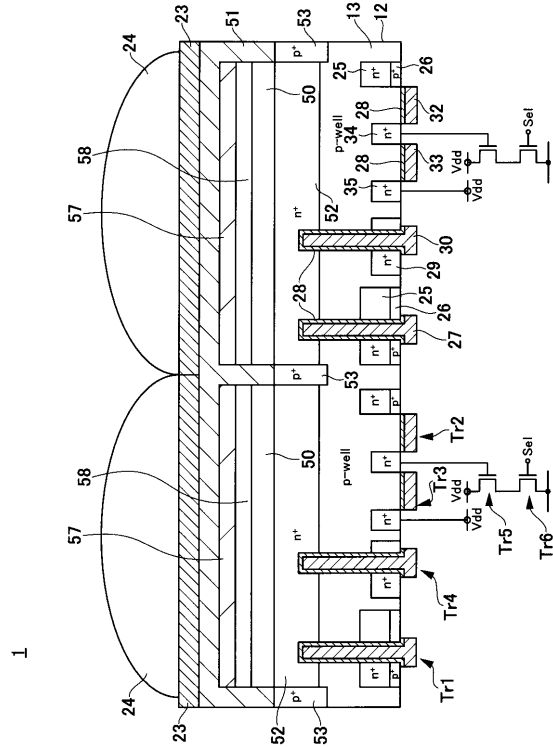


【図16】

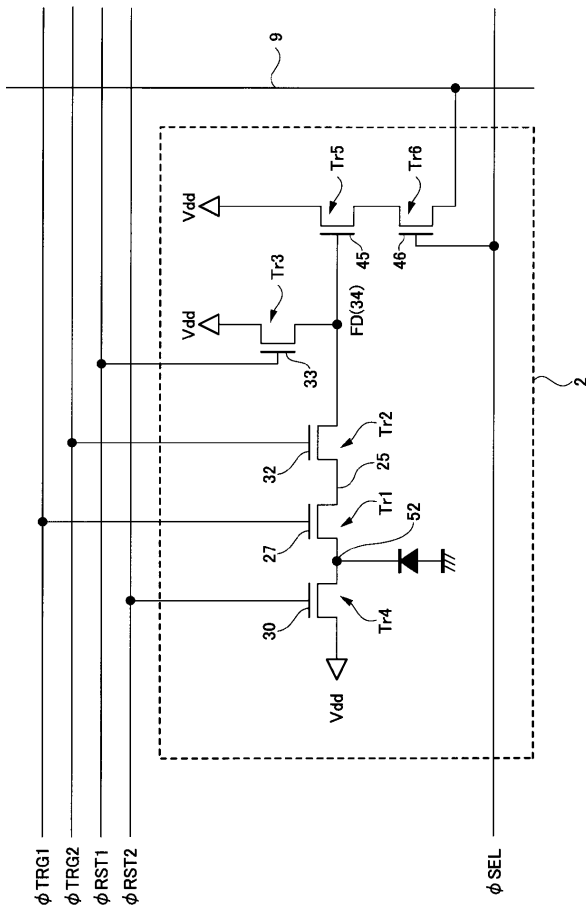
1 固体撮像装置



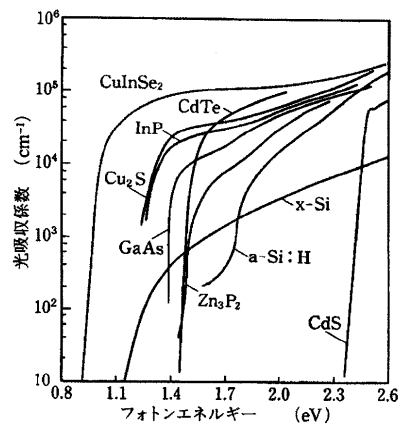
【図17】



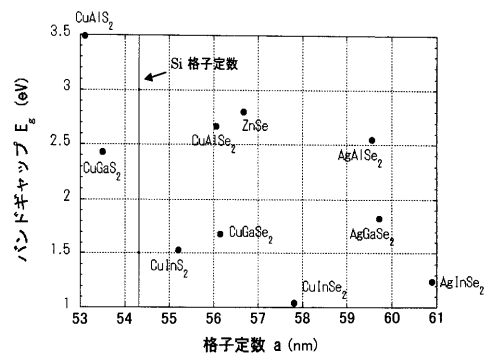
【図18】



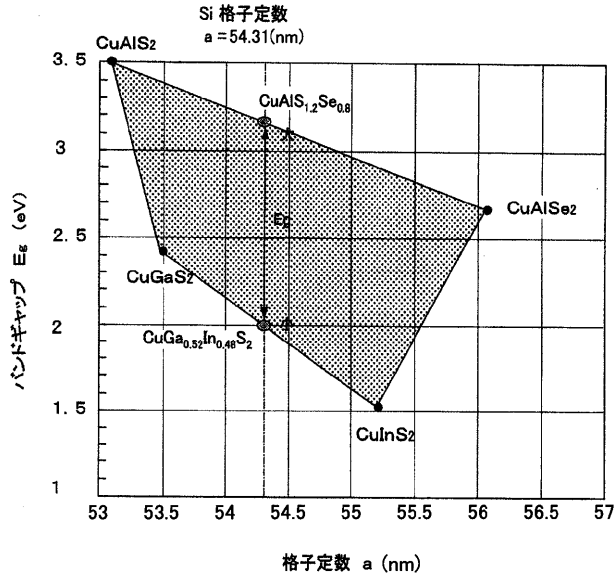
【図19】



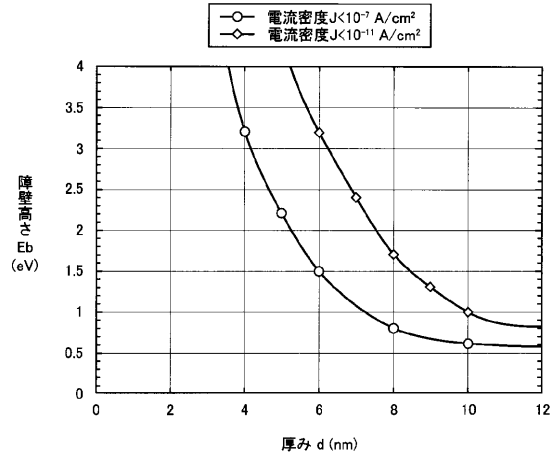
【図20】



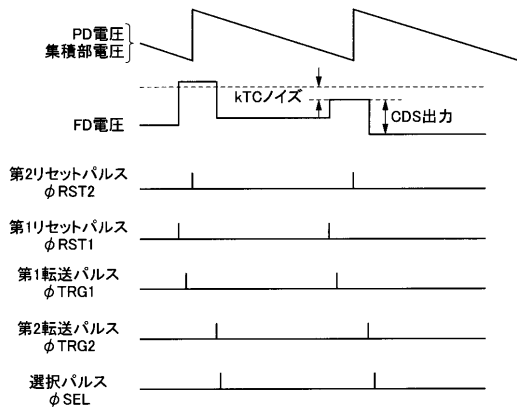
【 図 2 1 】



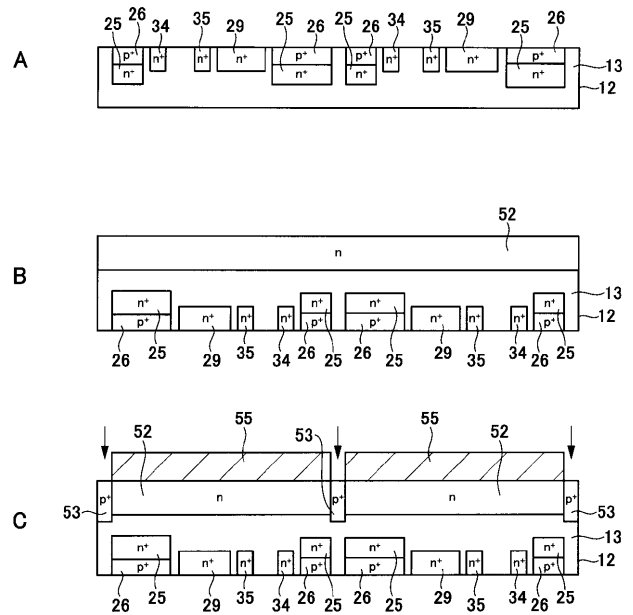
【 図 2 2 】



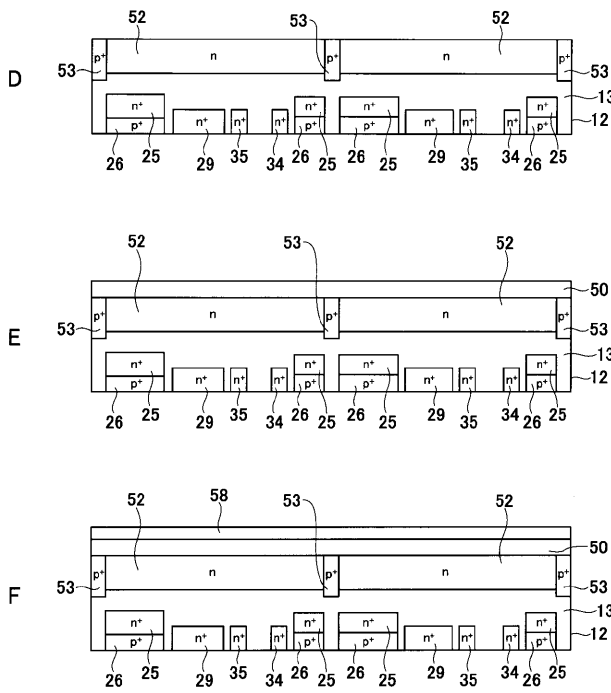
【 図 2 3 】



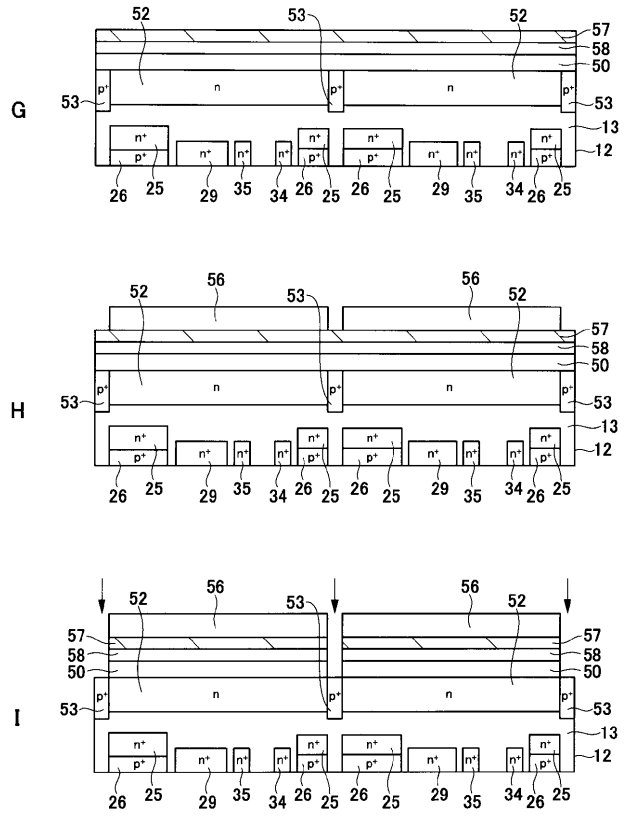
【 図 2 4 】



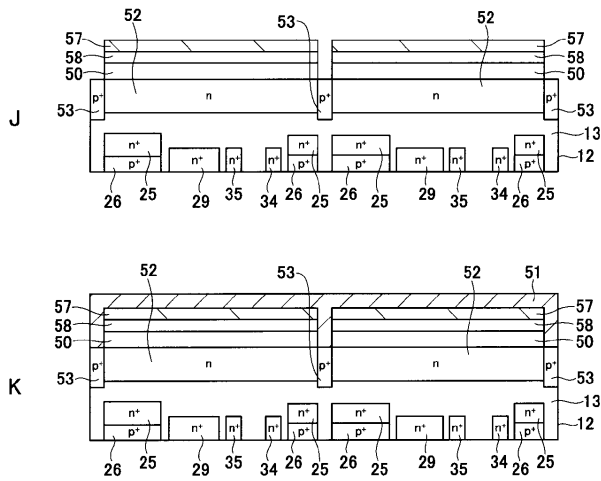
【図 25】



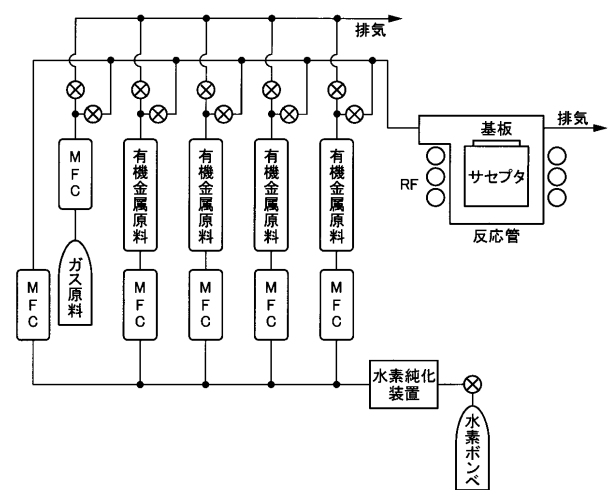
【図 26】



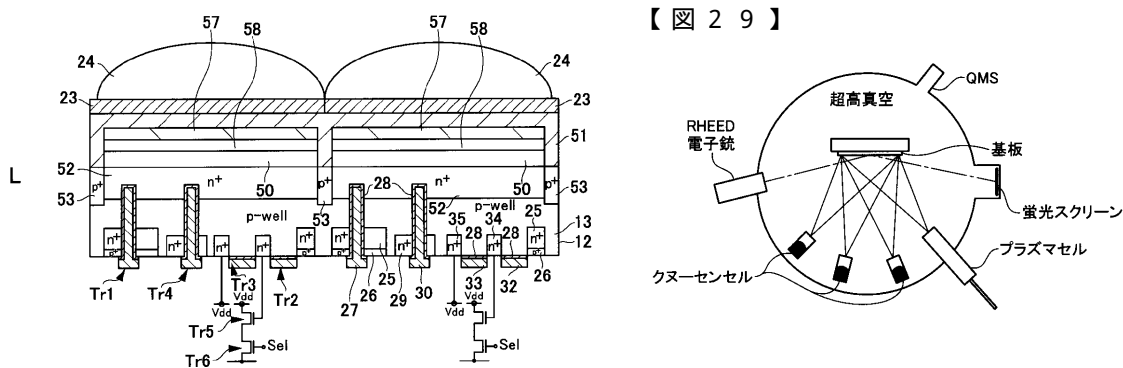
【図 27】



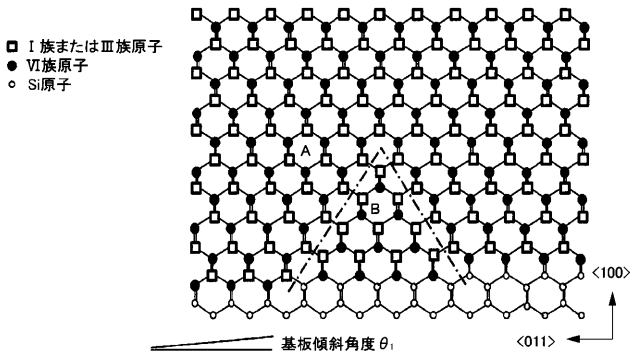
【図 28】



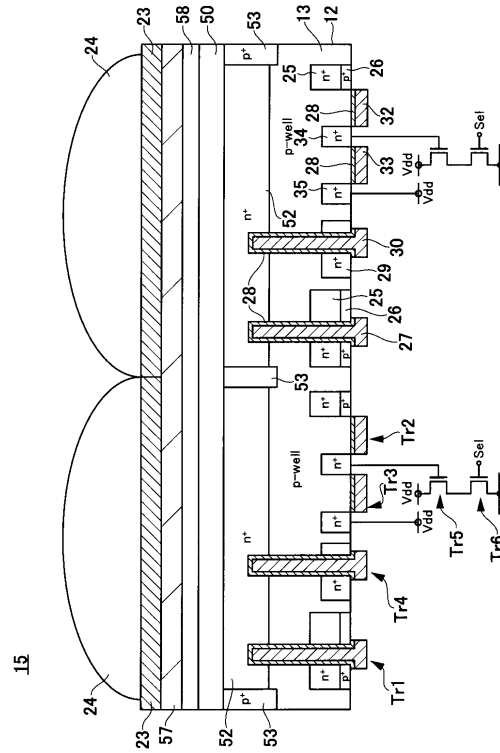
【図 29】



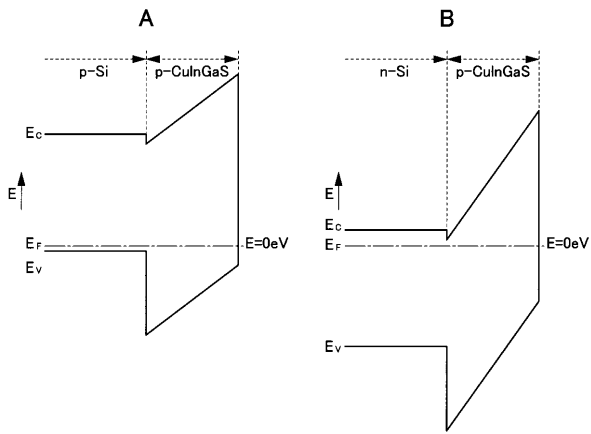
【 図 3 0 】



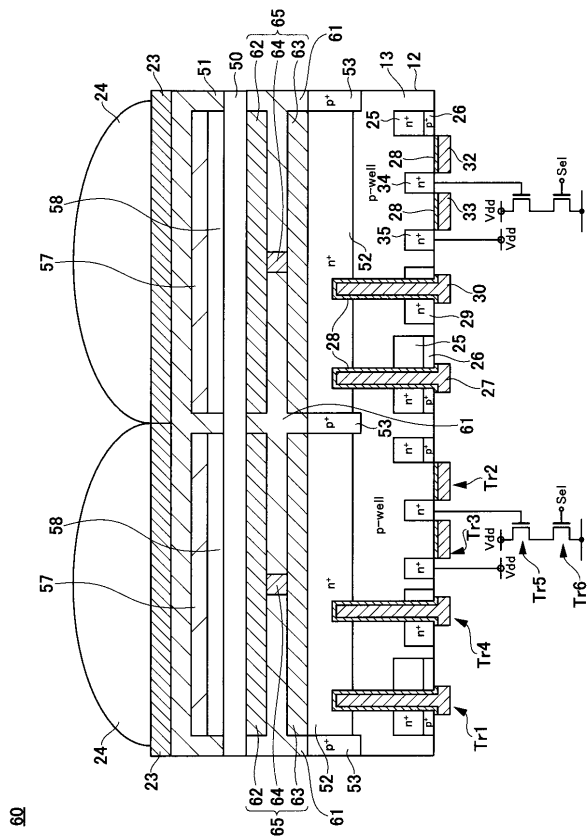
【 図 3 1 】



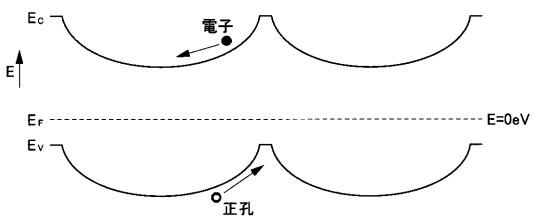
【 図 3 2 】



【 図 3 4 】



【 図 3 3 】



【 図 3 5 】

