

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-105469

(P2016-105469A)

(43) 公開日 平成28年6月9日(2016.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 J	2 H 1 9 2
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C	3 K 1 0 7
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 2 2	5 F 0 4 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 E	5 F 1 1 0
GO 2 F 1/1368 (2006.01)	HO 1 L 27/08 1 0 2 H	

審査請求 未請求 請求項の数 4 O L (全 62 頁) 最終頁に続く

(21) 出願番号 特願2015-225257 (P2015-225257)  
 (22) 出願日 平成27年11月18日 (2015.11.18)  
 (31) 優先権主張番号 特願2014-236313 (P2014-236313)  
 (32) 優先日 平成26年11月21日 (2014.11.21)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 田中 哲弘  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 松林 大介  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 種村 和幸  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 2H192 AA24 BC31 CB02 CB08 CB37  
 CB82 DA12 DA42 EA76

最終頁に続く

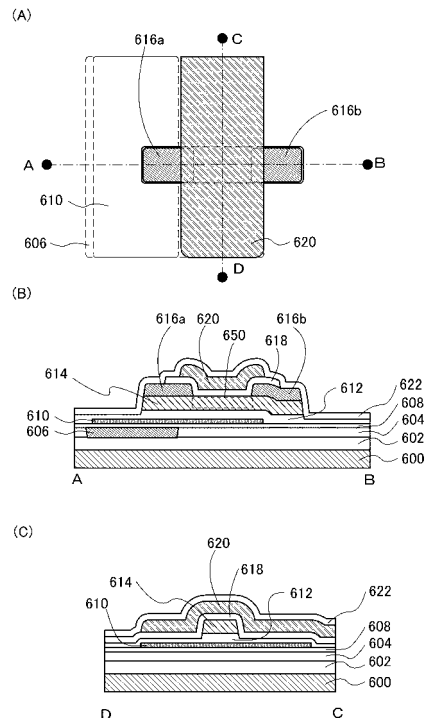
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高信頼性・高速動作に適した半導体装置を提供すること。

【解決手段】 第1の導電体と、第2の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、半導体と、電子捕獲層と、を有し、半導体は、チャネル形成領域を有し、電子捕獲層は、第2の絶縁体を介してチャネル形成領域と互いに重なる領域を有し、第1の導電体は、第1の絶縁体を介してチャネル形成領域と互いに重なる領域を有し、第2の導電体は、第3の絶縁体を介して電子捕獲層と互いに重なる領域を有し、第2の導電体は、チャネル形成領域と重なる領域を有さない半導体装置。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

第 1 の導電体と、第 2 の導電体と、第 1 の絶縁体と、第 2 の絶縁体と、第 3 の絶縁体と、半導体と、電子捕獲層と、を有し、  
 前記半導体は、チャンネル形成領域を有し、  
 前記電子捕獲層は、前記第 2 の絶縁体を介して前記チャンネル形成領域と互いに重なる領域を有し、  
 前記第 1 の導電体は、前記第 1 の絶縁体を介して前記チャンネル形成領域と互いに重なる領域を有し、  
 前記第 2 の導電体は、前記第 3 の絶縁体を介して前記電子捕獲層と互いに重なる領域を有し、  
 前記第 2 の導電体は、前記チャンネル形成領域と重なる領域を有さない半導体装置。

10

## 【請求項 2】

第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 1 の絶縁体と、第 2 の絶縁体と、第 3 の絶縁体と、半導体と、電子捕獲層と、を有し、  
 前記半導体は、前記第 3 の導電体と接する第 1 の領域と、前記第 4 の導電体と接する第 2 の領域と、前記第 1 の領域と前記第 2 の領域との間に配置される第 3 の領域と、を有し、  
 前記電子捕獲層は、前記第 2 の絶縁体を介して前記第 3 の領域と互いに重なる領域を有し、  
 前記第 1 の導電体は、前記第 1 の絶縁体を介して前記第 3 の領域と互いに重なる領域を有し、  
 前記第 2 の導電体は、前記第 3 の絶縁体を介して前記電子捕獲層と互いに重なる領域を有し、  
 前記第 2 の導電体は、前記第 3 の領域と重なる領域を有さない半導体装置。

20

## 【請求項 3】

第 1 の導電体と、第 2 の導電体と、第 3 の導電体と、第 4 の導電体と、第 1 の絶縁体と、第 2 の絶縁体と、第 3 の絶縁体と、半導体と、電子捕獲層と、を有し、  
 前記半導体は、前記第 3 の導電体と接する第 1 の領域と、前記第 4 の導電体と接する第 2 の領域と、前記第 1 の領域と前記第 2 の領域との間に配置される第 3 の領域と、を有し、  
 前記電子捕獲層は、前記第 2 の絶縁体を介して前記第 1 の領域および前記第 3 の領域と互いに重なる領域を有し、  
 前記第 1 の導電体は、前記第 1 の絶縁体を介して前記第 3 の領域と互いに重なる領域を有し、  
 前記第 2 の導電体は、前記第 3 の絶縁体を介して前記電子捕獲層と互いに重なる領域を有し、  
 前記第 2 の導電体は、前記第 1 の領域と重なる領域を有する半導体装置。

30

## 【請求項 4】

請求項 1 乃至 3 において、前記電子捕獲層は、導電体、または半導体を含むことを特徴とする半導体装置。

## 【発明の詳細な説明】

40

## 【技術分野】

## 【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明の一態様は、酸化半導体を有する半導体装置、表示装置、または、発光装置に関する。

## 【0002】

なお、本明細書などにおいて半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機

50

器は、半導体装置を有する場合がある。

【背景技術】

【0003】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタには、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路と、画素部と、を一体形成した高機能の表示装置を構成するトランジスタには、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンを、高温で熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

10

【0004】

近年では、酸化物半導体（代表的にはIn-Ga-Zn酸化物）を用いたトランジスタの開発が活発化している。酸化物半導体を用いたトランジスタは、非晶質シリコンを用いたトランジスタ、および多結晶シリコンを用いたトランジスタとは異なる特徴を有する。例えば、酸化物半導体を用いたトランジスタを適用した表示装置は、消費電力が低いことが知られている。

【0005】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

20

【0006】

パワーゲーティングによる消費電力の低減を行うためには、酸化物半導体を用いたトランジスタがノーマリーオフの電気特性を有することが好ましい。酸化物半導体を用いたトランジスタのしきい値電圧を制御し、ノーマリーオフの電気特性とする方法の一つとして、酸化物半導体と重なる領域にフローティングゲートを配置し、該フローティングゲートに負の固定電荷を注入する方法が開示されている（特許文献2参照。）。

【0007】

酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタに用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路と、画素部と、を一体形成した高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタ、または多結晶シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

30

【0008】

酸化物半導体の歴史は古く、1985年には、結晶In-Ga-Zn酸化物の合成が報告されている（非特許文献1参照。）。また、1995年には、In-Ga-Zn酸化物がホモロガス構造をとり、 $\text{InGaO}_3(\text{ZnO})_m$ （ $m$ は自然数。）という組成式で記述されることが報告されている（非特許文献2参照。）。

【0009】

また、1995年には、酸化物半導体を用いたトランジスタが発明されており、その電気特性が開示されている（特許文献3参照。）。

40

【0010】

また、2014年には、結晶性酸化物半導体を用いたトランジスタについて報告されている（非特許文献3および非特許文献4参照。）。ここでは、量産化が可能であり、かつ優れた電気特性および信頼性を有するCAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）を用いたトランジスタが報告されている。

【先行技術文献】

【特許文献】

50

## 【0011】

【特許文献1】特開2012-257187号公報

【特許文献2】特開2013-247143号公報

【特許文献3】特表平11-505377号公報

【非特許文献】

## 【0012】

【非特許文献1】N. Kimizuka, and T. Mohri: Journal of Solid State Chemistry, 1985, volume 60, p.382-384

【非特許文献2】N. Kimizuka, M. Isobe, and M. Nakamura: Journal of Solid State Chemistry, 1995, volume 116, p.170-178 10

【非特許文献3】S. Yamazaki, T. Hirohashi, M. Takahashi, S. Adachi, M. Tsubuku, J. Koezuka, K. Okazaki, Y. Kanzaki, H. Matsukizono, S. Kaneko, S. Mori, and T. Matsuo: Journal of the Society for Information Display, 2014, volume 22, Issue 1, p.55-p.67

【非特許文献4】S. Yamazaki, T. Atsumi, K. Dairiki, K. Okazaki, and N. Kimizuka: ECS Journal of Solid State Science and Technology, 2014, volume 3, Issue 9, p.Q3012-p.Q3022 20

【発明の概要】

【発明が解決しようとする課題】

## 【0013】

本発明の一態様は、オフ電流の低いトランジスタを有する半導体装置を提供することを課題の一とする。または、本発明の一態様は、消費電力の小さい半導体装置を提供することを課題の一とする。または、本発明の一態様は、微細な半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、書き込み速度の速い半導体装置を提供することを課題の一とする。または、本発明の一態様は、読み出し速度の速い半導体装置を提供することを課題の一とする。または、長期間に渡ってデータを保持することができる半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。または、本発明の一態様は、目に優しい表示装置を提供することを課題の一とする。または、本発明の一態様は、透明な半導体を有する半導体装置を提供することを課題の一とする。 30

## 【0014】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。 40

【課題を解決するための手段】

## 【0015】

(1)本発明の一態様は、トランジスタは、第1の導電体と、第2の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、半導体と、電子捕獲層と、を有し、半導体は、チャンネル形成領域を有し、電子捕獲層は、第2の絶縁体を介してチャンネル形成領域と互いに重なる領域を有し、第1の導電体は、第1の絶縁体を介してチャンネル形成領域と互いに重なる領域を有し、第2の導電体は、第3の絶縁体を介して電子捕獲層と互いに重なる 50

領域を有し、第2の導電体は、チャンネル形成領域と重なる領域を有さない半導体装置である。

(2) または、本発明の一態様は、トランジスタは、第1の導電体と、第2の導電体と、第3の導電体と、第4の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、半導体と、電子捕獲層と、を有し、半導体は、第3の導電体と接する第1の領域と、第4の導電体と接する第2の領域と、第1の領域と第2の領域との間に配置される第3の領域と、を有し、電子捕獲層は、第2の絶縁体を介して第3の領域と互いに重なる領域を有し、第1の導電体は、第1の絶縁体を介して第3の領域と互いに重なる領域を有し、第2の導電体は、第3の絶縁体を介して電子捕獲層と互いに重なる領域を有し、第2の導電体は、第3の領域と重なる領域を有さない半導体装置である。

10

(3) または、本発明の一態様は、トランジスタは、第1の導電体と、第2の導電体と、第3の導電体と、第4の導電体と、第1の絶縁体と、第2の絶縁体と、第3の絶縁体と、半導体と、電子捕獲層と、を有し、半導体は、第3の導電体と接する第1の領域と、第4の導電体と接する第2の領域と、第1の領域と第2の領域との間に配置される第3の領域と、を有し、電子捕獲層は、第2の絶縁体を介して第1の領域および第3の領域と互いに重なる領域を有し、第1の導電体は、第1の絶縁体を介して第3の領域と互いに重なる領域を有し、第2の導電体は、第3の絶縁体を介して電子捕獲層と互いに重なる領域を有し、第2の導電体は、第1の領域と重なる領域を有する半導体装置である。

(4) または、本発明の一態様は、電子捕獲層は、導電体、または半導体を含むことを特徴とする、(1)乃至(3)のいずれかーに記載の半導体装置である。

20

#### 【発明の効果】

##### 【0016】

オフ電流の低いトランジスタを有する半導体装置などを提供することができる。または、消費電力の小さい半導体装置を提供することができる。または、微細な半導体装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。または、書き込み速度の速い半導体装置を提供することができる。長期間に渡ってデータを保持することができる半導体装置を提供することができる。または、読み出し速度の速い半導体装置を提供することができる。または、新規な半導体装置を提供することができる。または、目に優しい表示装置を提供することができる。または、透明な半導体装置を有する半導体装置を提供することができる。

30

##### 【0017】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

#### 【図面の簡単な説明】

##### 【0018】

【図1】実施の形態の半導体装置の例を示す図。

【図2】実施の形態の半導体装置の例を示す図。

【図3】実施の形態の半導体装置のバンド図の例を示す図。

40

【図4】実施の形態の半導体装置の特性を模式的に示す図と半導体装置を応用した回路の例を示す図。

【図5】本発明に係る、トランジスタの上面図及び断面図。

【図6】本発明に係る、トランジスタの上面図及び断面図。

【図7】本発明に係る、トランジスタの断面図。

【図8】本発明に係る、トランジスタの断面図。

【図9】本発明に係る、トランジスタの断面図およびバンド図。

【図10】本発明に係る、トランジスタの断面図。

【図11】本発明に係る、トランジスタの上面図および断面図。

【図12】本発明に係る、トランジスタの上面図および断面図。

50

- 【図13】本発明に係る、トランジスタの上面図および断面図。
- 【図14】本発明に係る、トランジスタの作製方法を説明する図。
- 【図15】本発明に係る、トランジスタの作製方法を説明する図。
- 【図16】C A A C - O S の断面におけるC s 補正高分解能T E M 像、およびC A A C - O S の断面模式図。
- 【図17】C A A C - O S の平面におけるC s 補正高分解能T E M 像。
- 【図18】C A A C - O S および単結晶酸化物半導体のX R D による構造解析を説明する図。
- 【図19】C A A C - O S の電子回折パターンを示す図。
- 【図20】In - Ga - Zn 酸化物の電子照射による結晶部の変化を示す図。 10
- 【図21】本発明に係る、半導体装置の回路図および断面図。
- 【図22】本発明に係る、半導体装置の断面図。
- 【図23】本発明に係る、半導体装置を示す上面図。
- 【図24】本発明に係る、半導体装置を示す上面図およびブロック図。
- 【図25】本発明に係る、半導体装置を示す断面図。
- 【図26】本発明に係る、半導体装置を示す断面図。
- 【図27】本発明に係る、半導体装置を示す断面図。
- 【図28】本発明に係る、半導体装置を示す斜視図および断面図。
- 【図29】本発明に係る、半導体装置を示す回路図、上面図および断面図。
- 【図30】本発明に係る、半導体装置を示す回路図および断面図。 20
- 【図31】本発明に係る、R F タグの構成例。
- 【図32】本発明に係る、半導体装置のブロック図。
- 【図33】本発明に係る、記憶装置を説明する回路図。
- 【図34】本発明に係る、表示装置の上面図および回路図。
- 【図35】本発明に係る、電子機器の例を示す図。
- 【図36】本発明に係る、R F タグの使用例。
- 【発明を実施するための形態】
- 【0019】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。 30
- 【0020】
- なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。
- 【0021】
- なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。 40
- 【0022】
- なお、本明細書等における「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。
- 【0023】
- なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。
- 【0024】 50

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

**【0025】**

なお、「膜」という言葉と、「層」という言葉とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

10

**【0026】**

また、本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧  $V_{gs}$  がしきい値電圧  $V_{th}$  よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧  $V_{gs}$  がしきい値電圧  $V_{th}$  よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧  $V_{gs}$  がしきい値電圧  $V_{th}$  よりも低いときのドレイン電流を言う場合がある。

**【0027】**

トランジスタのオフ電流は、 $V_{gs}$  に依存する場合がある。従って、トランジスタのオフ電流が  $I$  以下である、とは、トランジスタのオフ電流が  $I$  以下となる  $V_{gs}$  の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の  $V_{gs}$  におけるオフ状態、所定の範囲内の  $V_{gs}$  におけるオフ状態、または、十分に低減されたオフ電流が得られる  $V_{gs}$  におけるオフ状態、等におけるオフ電流を指す場合がある。

20

**【0028】**

一例として、しきい値電圧  $V_{th}$  が  $0.5\text{ V}$  であり、 $V_{gs}$  が  $0.5\text{ V}$  におけるドレイン電流が  $1 \times 10^{-9}\text{ A}$  であり、 $V_{gs}$  が  $0.1\text{ V}$  におけるドレイン電流が  $1 \times 10^{-13}\text{ A}$  であり、 $V_{gs}$  が  $-0.5\text{ V}$  におけるドレイン電流が  $1 \times 10^{-19}\text{ A}$  であり、 $V_{gs}$  が  $-0.8\text{ V}$  におけるドレイン電流が  $1 \times 10^{-22}\text{ A}$  であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 $V_{gs}$  が  $-0.5\text{ V}$  において、または、 $V_{gs}$  が  $-0.5\text{ V}$  乃至  $-0.8\text{ V}$  の範囲において、 $1 \times 10^{-19}\text{ A}$  以下であるから、当該トランジスタのオフ電流は  $1 \times 10^{-19}\text{ A}$  以下である、という場合がある。当該トランジスタのドレイン電流が  $1 \times 10^{-22}\text{ A}$  以下となる  $V_{gs}$  が存在するため、当該トランジスタのオフ電流は  $1 \times 10^{-22}\text{ A}$  以下である、という場合がある。

30

**【0029】**

本明細書では、チャネル幅  $W$  を有するトランジスタのオフ電流を、チャネル幅  $W$  あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば  $1\text{ }\mu\text{m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流 / 長さの次元を持つ単位（例えば、 $\text{A} / \mu\text{m}$ ）で表される場合がある。

**【0030】**

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 $60$ 、 $85$ 、 $95$ 、または  $125$  におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 $5$  乃至  $35$  のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流が  $I$  以下である、とは、室温、 $60$ 、 $85$ 、 $95$ 、 $125$ 、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 $5$  乃至  $35$  のいずれか一の温度）、におけるトランジスタのオフ電流が  $I$  以下となる  $V_{gs}$  の値が存在することを指す場合がある。

40

50

## 【0031】

トランジスタのオフ電流は、ドレインとソースの間の電圧 $V_{ds}$ に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 $V_{ds}$ が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される $V_{ds}$ 、または、当該トランジスタが含まれる半導体装置等において使用される $V_{ds}$ におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、 $V_{ds}$ が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、当該トランジスタが含まれる半導体装置の信頼性が保証される $V_{ds}$ 、または、当該トランジスタが含まれる半導体装置等において使用される $V_{ds}$ 、におけるトランジスタのオフ電流がI以下となる $V_{gs}$ の値が存在することを指す場合がある。

10

## 【0032】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

## 【0033】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

## 【0034】

本明細書において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。したがって、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^\circ$ 以上 $30^\circ$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。したがって、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^\circ$ 以上 $120^\circ$ 以下の角度で配置されている状態をいう。

20

## 【0035】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

## 【0036】

(実施の形態1)

本実施の形態では、半導体と電子捕獲層とゲート電極とを有する半導体装置の構成、動作原理およびそれを応用する回路について説明する。図1(A)は、半導体101と電子捕獲層102とゲート電極103とゲート絶縁体104とゲート電極105とを有する半導体装置である。

30

## 【0037】

ここで、電子捕獲層102としては、例えば、図1(B)に示されるような、絶縁体102aと絶縁体102bの積層体でもよい。または、図1(C)に示されるような、絶縁体102a、絶縁体102bと絶縁体102cの積層体でもよい。または、さらに多層の絶縁体の積層体でもよい。また、図2に示されるように、電子捕獲層102は絶縁体102eと、絶縁体102e中の電氣的に絶縁された導電体102dを有してもよい。絶縁体102eは複数の絶縁体より形成されてもよい。

40

## 【0038】

例えば、図1(B)に示す半導体装置の点Aから点Bにかけてのバンド図の例を図3(A)に示す。図中、 $E_c$ は伝導帯下端のエネルギー、 $E_v$ は価電子帯上端のエネルギーを示す。図3(A)では、ゲート電極103の電位はソース電極またはドレイン電極(いずれも図示せず)と同じである。

## 【0039】

この例では、絶縁体102aのエネルギーギャップは、絶縁体102bのエネルギーギャップよりも大きい。また、絶縁体102aの電子親和力は、絶縁体102bの電子親和力よりも小さいものとするが、これに限られない。

## 【0040】

50



絶縁体102aと絶縁体102bとの界面、またはノおよび、絶縁体102bの内部に電子捕獲準位106が存在する。ゲート電極103の電位を、ソース電極またはドレイン電極より高くすると、図3(B)に示すようになる。ここで、ゲート電極103の電位は、ソース電極またはドレイン電極より1V以上高くしてもよい。また、この処理の終了した後にはゲート電極105に印加される最高電位よりも低くてもよい。代表的には、4V未満とするとよい。

【0041】

なお、このとき、ゲート電極105の電位はソース電極またはドレイン電極と同じであるとよい。半導体101に存在する電子107は、より電位の高いゲート電極103の方向に移動しようとする。そして、半導体101からゲート電極103の方向に移動した電子107のいくらかは、電子捕獲準位106に捕獲される。

10

【0042】

電子107が、絶縁体102aの障壁を越えて、絶縁体102bに達するには、いくつかの過程が考えられる。第1は、トンネル効果によるものである。トンネル効果は、絶縁体102aが薄いほど顕著となる。ただし、この場合、電子捕獲準位106に捕獲された電子が、トンネル効果により、再度、流失してしまうことがある。

【0043】

なお、ゲート電極103に適切な大きさの電圧を印加することで、絶縁体102aが比較的厚い場合でも、トンネル効果(Fowler-Nordheimトンネル効果)を発現させることもできる。Fowler-Nordheimトンネル効果の場合には、ゲート電極103と半導体101の間の電場が強くなると急激にトンネル電流が増加する。

20

【0044】

第2は、電子107が、絶縁体102a中の欠陥準位等のエネルギーギャップ中の捕獲準位をホッピングしながら、絶縁体102bに到達するものである。これは、Poole-Frenkel伝導といわれる伝導機構であり、絶対温度が高いほど、捕獲準位が浅いほど、電気伝導性が高まる。

【0045】

第3は、熱的な励起によって、電子107が、絶縁体102aの障壁を越えるものである。半導体101に存在する電子の分布はフェルミ・ディラック分布にしたがい、一般的には、エネルギーの高い電子の比率は、高温であるほど多くなる。例えば、フェルミ準位から3eVだけ高いエネルギーを有する電子の300K(27 )での密度を1としたとき、450K(177 )では、 $6 \times 10^{16}$ 、600K(327 )では、 $1.5 \times 10^{25}$ 、750K(477 )では、 $1.6 \times 10^{30}$ となる。

30

【0046】

電子107が、絶縁体102aの障壁を越えてゲート電極103に向かって移動する過程は、上記の3つの過程とそれらの組み合わせで生じていると考えられる。特に、第2の過程および第3の過程は、温度が高いと指数関数的に電流が増大する。

【0047】

また、第1の過程におけるFowler-Nordheimトンネル効果も、絶縁体102aの障壁層の薄い部分(エネルギーの大きな部分)の電子の濃度が高いほど起こりやすいので、温度が高いほど有利である。

40

【0048】

なお、以上の過程で流れる電流は、特にゲート電極103の電位が低い(5V以下)場合には、きわめて微弱であることが多いが、長時間の処理により、必要とする量の電子を電子捕獲準位106に捕獲せしめることができる。この結果、電子捕獲層102は負に帯電する。

【0049】

すなわち、より高い温度(半導体装置の使用温度または保管温度よりも高い温度、または、125 以上450 以下、代表的には150 以上300 以下)の下で、ゲート電極103の電位をソースやドレインの電位より高い状態を、5ミリ秒間以上、10秒間未

50

満、代表的には3秒間以上維持することで、半導体101からゲート電極103に向かって、必要とする電子が移動し、そのうちのいくらかは電子捕獲準位106に捕獲される。このように電子を捕獲する処理のための温度を、以下、処理温度という。

【0050】

このとき、電子捕獲準位106に捕獲される電子の量はゲート電極103の電位により制御できる。電子捕獲準位106に相応の量の電子が捕獲されると、その電荷のために、ゲート電極103の電場が遮蔽され、半導体101に形成されるチャンネルが消失する。

【0051】

電子捕獲準位106により捕獲される電子の総量は、当初は、線形に増加するが、徐々に増加率が低下し、やがて、一定の値に収斂する。収斂する値は、ゲート電極103の電位に依存し、電位が高いほどより多くの電子が捕獲される傾向にあるが、電子捕獲準位106の総数を上回ることはない。

10

【0052】

電子捕獲準位106に捕獲された電子は、電子捕獲層102から流失しないことが求められる。そのためには、第1には、絶縁体102aおよび絶縁体102bの厚さが、トンネル効果が問題とならない程度の厚さであることが好ましい。例えば、物理的な厚さが1nmより大きいことが好ましい。

【0053】

代表的には、絶縁体102aの厚さは、10nm以上20nm以下、絶縁体102bの、酸化シリコン換算の厚さは、10nm以上25nm以下とする。

20

【0054】

また、半導体装置の使用温度または保管温度を十分に低くすることで、電子捕獲準位106に捕獲された電子が流出することを低減することができる。例えば、処理温度を300とし、半導体装置を120で保管する場合、電子が、3eVの障壁を乗り越える確率は、後者は前者の10万分の1未満である。

【0055】

また、半導体101で、ホールの有効質量が極めて大きい、または、実質的に局在化していることも有効である。この場合には、半導体101から絶縁体102aおよび絶縁体102bへのホールの注入がなく、したがって、電子捕獲準位106に捕獲された電子がホールと結合して消滅することもない。

30

【0056】

また、絶縁体102bが、P o o l e - F r e n k e l 伝導を示す材料であってもよい。P o o l e - F r e n k e l 伝導は、上述のように、材料中の欠陥準位等を電子がホッピング伝導するものであり、欠陥準位の多い、または、欠陥準位の深い材料は十分に電気伝導性が低く、電子捕獲準位106に捕獲させた電子を長期間に渡って保持できる。

【0057】

また、絶縁体102aまたは/および絶縁体102bに捕獲された電子を放出させるような電圧がかからないように回路設計または/および材料選定をおこなってもよい。例えば、In-Ga-Zn系酸化物半導体のように、ホールの有効質量が極めて大きい、または、実質的に局在化しているような材料では、ゲート電極103の電位が、ソース電極またはドレイン電極の電位より高い場合にはチャンネルが形成されるが、低い場合には、絶縁体と同様な特性を示す。この場合には、ゲート電極103と半導体101の間の電場が極めて小さくなり、F o w l e r - N o r d h e i m トンネル効果、または、P o o l e - F r e n k e l 伝導による電子伝導は著しく低下する。

40

【0058】

なお、図1(C)のように、電子捕獲層102を3層の絶縁体で形成し、絶縁体102cの電子親和力を、絶縁体102bの電子親和力よりも小さくし、絶縁体102cのエネルギーギャップを、絶縁体102bのエネルギーギャップよりも大きくすると、絶縁体102bの内部、または、他の絶縁体との界面にある電子捕獲準位に捕獲された電子を保持する上で効果的である。

50

## 【0059】

この場合には、絶縁体102bが薄くても、絶縁体102cが物理的に十分に厚ければ、電子捕獲準位106に捕獲された電子を保持できる。絶縁体102cとしては、絶縁体102aと同様な材料を用いることができる。また、絶縁体102bと同じ構成元素であるが、電子捕獲準位が十分に少ないものも用いることができる。電子捕獲準位の数(密度)は、形成方法によって異なる。

## 【0060】

なお、図2のように、絶縁体102e中に電氣的に絶縁された導電体102dを有する場合も、上記と同様な原理によって、導電体102dに電子が捕獲される。ここでは、電子捕獲層を導電体としたが、半導体を用いてもよい。図3(C)では、ゲート電極103の電位はソース電極またはドレイン電極と同じである。

10

## 【0061】

ゲート電極103の電位を、ソース電極またはドレイン電極より高くすると、図3(D)に示すようになる。半導体101に存在する電子107は、より電位の高いゲート電極103の方向に移動しようとする。そして、半導体101からゲート電極103の方向に移動した電子107のいくらかは、導電体102dに捕獲される。すなわち、図2に示される半導体装置において、導電体102dは、図1(B)の半導体装置における電子捕獲準位106と同等の機能を有する。

## 【0062】

なお、導電体102dの仕事関数が大きいと、絶縁体102eとの間のエネルギー障壁が高くなり、電子捕獲準位106に捕獲された電子が流出することを抑制できる。

20

## 【0063】

上記において、絶縁体102a、絶縁体102b、絶縁体102cは、それぞれ複数の絶縁体より構成されてもよい。また、同じ構成元素からなるが、形成方法の異なる複数の絶縁体から構成されてもよい。

## 【0064】

例えば、絶縁体102aと絶縁体102bとを同じ構成元素からなる絶縁体(例えば、酸化ハフニウム)で構成する場合、絶縁体102aは、CVD法またはALD(Atomic Layer Deposition)法で形成し、絶縁体102bは、スパッタリング法で形成してもよい。

30

## 【0065】

なお、CVD法としても、様々な方法を用いることができる。熱CVD法、光CVD法、プラズマCVD法、MOCVD法、LPCVD法などの方法を用いることができる。よって、ある絶縁体と別の絶縁体とにおいて、異なるCVD法を用いて、絶縁体を形成してもよい。

## 【0066】

一般にスパッタリング法で形成される絶縁体はCVD法またはALD法で形成される絶縁体よりも欠陥を多く含み、電子を捕獲する性質が強い。同様な理由から、絶縁体102bと絶縁体102cを同じ構成元素からなる絶縁体で構成する場合、絶縁体102bは、スパッタリング法で形成し、絶縁体102cは、CVD法またはALD法で形成してもよい。

40

## 【0067】

また、絶縁体102bを同じ構成元素からなる複数の絶縁体で構成する場合、そのうちの1つは、スパッタリング法で形成し、別の1つは、CVD法またはALD法で形成してもよい。

## 【0068】

このように電子捕獲層102が電子を捕獲すると、図4(A)に示すように半導体装置のしきい値電圧が高くなる。特に、半導体101が、エネルギーギャップが大きな材料(ワイドエネルギーギャップ半導体)であると、ゲート電極103およびゲート電極105の電位を0Vとしたときのソースとドレインとの間の電流を大幅に低下させることができる

50

。

## 【0069】

例えば、エネルギーギャップ  $3.2 \text{ eV}$  の  $\text{In-Ga-Zn}$  酸化物半導体であれば、ゲート電極 103 およびゲート電極 105 の電位を  $0 \text{ V}$  としたときのソースとドレインとの間の電流密度（チャンネル幅  $1 \mu\text{m}$  あたりの電流値）は  $1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ) 以下、代表的には、 $1 \text{ yA} / \mu\text{m}$  ( $1 \times 10^{-24} \text{ A} / \mu\text{m}$ ) 以下とできる。

## 【0070】

図 4 (A) は電子捕獲層 102 での電子の捕獲を行う前と、電子の捕獲を行った後での、室温でのソース電極ドレイン電極間のチャンネル幅  $1 \mu\text{m}$  あたりの電流 ( $I_d / \mu\text{m}$ ) のゲート電極 105 の電位 ( $V_g$ ) 依存性を模式的に示したものである。なお、ソース電極とゲート電極 103 の電位を  $0 \text{ V}$ 、ドレイン電極の電位を  $+1 \text{ V}$  とする。 $1 \text{ fA}$  より小さな電流は、直接は測定することが困難であるが、その他の方法で測定した値および  $SS$  値 (Subthreshold Swing value) 等をもとに推定できる。

10

## 【0071】

最初、曲線 108 で示すように、半導体装置のしきい値電圧は  $V_{th1}$  であったが、電子の捕獲をおこなった後では、しきい値電圧が増加し（プラス方向に移動し）、 $V_{th2}$  となる。また、この結果、 $V_g = 0$  での電流密度は、 $1 \text{ aA} / \mu\text{m}$  ( $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ) 以下、例えば、 $1 \text{ yA} / \mu\text{m}$  以上  $1 \text{ zA} / \mu\text{m}$  以下となる。

## 【0072】

例えば、図 4 (B) のように、容量素子 111 に蓄積される電荷をトランジスタ 110 で制御する回路を考える。ここで、容量素子 111 の電極間のリーク電流は無視する。容量素子 111 の容量が  $1 \text{ fF}$  であり、容量素子 111 のトランジスタ 110 側の電位が  $+1 \text{ V}$ 、 $V_d$  の電位が  $0 \text{ V}$  であるとする。

20

## 【0073】

トランジスタ 110 の  $I_d - V_g$  特性が図 4 (A) 中の曲線 108 で示されるもので、チャンネル幅が  $0.1 \mu\text{m}$  であると、ゲート電極 103 およびゲート電極 105 の電位を  $0 \text{ V}$  としたときのソースとドレインとの間の電流密度は約  $1 \text{ fA}$  であり、トランジスタ 110 のこのときの抵抗は約  $1 \times 10^{15}$  である。したがって、トランジスタ 110 と容量素子 111 よりなる回路の時定数は約 1 秒である。すなわち、約 1 秒で、容量素子 111 に蓄積されていた電荷の多くが失われてしまうことを意味する。

30

## 【0074】

トランジスタ 110 の  $I_d - V_g$  特性が図 4 (A) 中の曲線 109 で示されるもので、チャンネル幅が  $0.1 \mu\text{m}$  であると、ゲート電極 103 およびゲート電極 105 の電位を  $0 \text{ V}$  としたときのソースとドレインとの間の電流密度は約  $1 \text{ yA}$  であり、トランジスタ 110 のこのときの抵抗は約  $1 \times 10^{24}$  である。したがって、トランジスタ 110 と容量素子 111 よりなる回路の時定数は約  $1 \times 10^9$  秒 (= 約 31 年) である。すなわち、10 年経過後でも、容量素子 111 に蓄積されていた電荷の  $1/3$  は残っていることを意味する。

## 【0075】

すなわち、トランジスタと容量素子という単純な回路で、10 年間の電荷の保持が可能である。このことは各種記憶装置に用いることができる。

40

## 【0076】

(実施の形態 2)

本実施の形態では、本発明の一態様のトランジスタの構造について図面を用いて説明する。

## 【0077】

図 5 (A) 乃至図 5 (C) は、本発明の一態様のトランジスタの上面図および断面図である。図 5 (A) は上面図であり、図 5 (A) に示す一点鎖線 A - B の断面が図 5 (B)、一点鎖線 C - D の断面が図 5 (C) に相当する。なお、図 5 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線 A - B 方向をチャンネル長

50

方向、一点鎖線 C - D 方向をチャネル幅方向と呼称する場合がある。

【0078】

図5(A)乃至図5(C)に示すトランジスタは、基板600上に絶縁体602と、絶縁体602上に絶縁体604と、絶縁体604に埋め込まれたゲート電極606と、絶縁体604およびゲート電極606上に絶縁体608と、絶縁体608上に電子捕獲層610と、絶縁体608上および電子捕獲層610上に絶縁体612と、絶縁体612上に酸化物半導体614と、酸化物半導体614上にソース電極616aおよびドレイン電極616bと、酸化物半導体614上、ソース電極616a上およびドレイン電極616b上にゲート絶縁体618と、ゲート絶縁体618上で接し、酸化物半導体614の上面および側面に面するゲート電極620と、絶縁体612上、ソース電極616a上、ドレイン電極616b上およびゲート電極620上に絶縁体622と、を有する。

10

【0079】

酸化物半導体614はチャネル形成領域650を有する。チャネル形成領域650は、絶縁体612を介して電子捕獲層610と重なる領域を有する。ゲート電極606は、絶縁体608を介して、電子捕獲層610と互いに重なる領域を有し、ゲート電極606は、チャネル形成領域650と重なる領域を有さない。

【0080】

実施の形態1にて動作原理を説明したように、本トランジスタは、ゲート電極606に電圧を印加して、電子捕獲層610に電子を注入することでトランジスタのしきい値電圧を制御する機能を有しているが、ゲート電極606へ電圧を印加することで、チャネル形成領域650と、チャネル形成領域650と重なるゲート絶縁体618を劣化させない。

20

【0081】

ゲート電極606とチャネル形成領域650とが重なる領域を有すると、ゲート電極606に電圧を印加することで、Fowler-Nordheimトンネル効果を発現させる。Fowler-Nordheimトンネル効果は、ゲート電極606とチャネル形成領域650の間の電場が強くなると急激にトンネル電流が増加する。そのためにチャネル形成領域650中の欠陥が増加し電子トラップが増加する可能性がある。さらにチャネル形成領域650と重なるゲート絶縁体618中も同様に、欠陥増加による電子トラップが増加する可能性があり、トランジスタ特性の不安定性および信頼性の低下を引き起こす可能性がある。

30

【0082】

本発明によれば、図5(B)のように、ゲート電極606と、チャネル形成領域650とが、互いに重ならないような配置とすることで、上述のような不具合を回避することができる。以下に説明する。

【0083】

ゲート電極606と、電子捕獲層610とは、互いに重なる領域を有することで、ゲート電極606へ電圧を印加し、電子捕獲層610への電子注入を行うことができる。電子捕獲層610と、チャネル形成領域650と、は互いに重なる領域を有することで、電子捕獲層610への電子注入量に応じたトランジスタのしきい値電圧制御が可能となる。つまり、ゲート電極606とチャネル形成領域650と互いに重なる領域を有さないようにすることで、上述した不具合を回避して、トランジスタのしきい値電圧を制御することが可能となる。

40

【0084】

本発明では、電子捕獲層610として、電子捕獲層610に捕獲された電子が、電子捕獲層610中乃至電子捕獲層610と絶縁体608との界面を移動することが可能な導電体や半導体などを用いることで、トランジスタのしきい値電圧を制御することができる。導電体としては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。また、酸素を透過し難い機能を有する、窒化タンタル、窒化タングステン、窒化チタンなどと適宜組み合わせると多層膜としてもよい。半導体としては、多結晶シリコン、微結晶シリコン、非結晶シリコン、酸化物半

50

導体などを用いることができる。たとえば、本トランジスタに用いる酸化物半導体 6 1 4 と同じ酸化物半導体を用いてもよい。電子捕獲層 6 1 0 として酸化物半導体を用いれば、絶縁体 6 1 2 に過剰酸素を有している場合、絶縁体 6 1 2 から電子捕獲層 6 1 0 への過剰酸素の拡散を防止することができて好ましい。

【0085】

また、図 6 (A) と (B) に示すように、電子捕獲層 6 1 0 をドレイン電極 6 1 6 b と互いに重なる領域まで延ばして配置してもよい。または、新たに、ゲート電極 6 0 6 b をドレイン電極 6 1 6 b および電子捕獲層 6 1 0 と、互いに重なる領域にも配置してもよいし、図 6 (C) に示すように、ゲート電極 6 0 6 をドレイン電極 6 1 6 b および電子捕獲層 6 1 0 と、互いに重なる領域のみに配置してもよい。

10

【0086】

また、図 7 (A) と、(C) に示すように、ゲート電極 6 0 6 とチャネル形成領域 6 5 0 と、互いに重ならない領域がチャネル形成領域のおよそ半分程度を有していてもよい。

【0087】

また、図 5 では、ゲート電極 6 0 6 と電子捕獲層 6 1 0 は、ソース電極 6 1 6 a と互いに重なる領域を有する一例を示すが、ゲート電極 6 0 6 と電子捕獲層 6 1 0 は、ドレイン電極 6 1 6 b と互いに重なる領域を有しても良い。(図 7 (B) (C) 参照。)

【0088】

また、図 8 (A) と、(B) に示すように、ゲート電極 6 0 6 は、ゲート電極 6 0 6 と、ソース電極 6 1 6 a またはドレイン電極 6 1 6 b と重なる領域を有しなくてもよい。

20

【0089】

つぎに酸化物半導体 6 1 4 が異なる構成を有するトランジスタについて説明する。その他の構成については、上述を参酌する。

【0090】

図 9 (A) は、図 5 (B) に示したトランジスタと同様にチャネル長方向の断面図である。また、図 9 (B) は、図 5 (C) に示したトランジスタと同様に、チャネル幅方向の断面図である。

【0091】

図 9 (A) および図 9 (B) に示すトランジスタの構造では、絶縁体 6 1 2 と、酸化物半導体 6 1 4 との間に、酸化物半導体 6 1 4 a が配置される。また、絶縁体 6 1 2、ソース電極 6 1 6 a、または、ドレイン電極 6 1 6 b、酸化物半導体 6 1 4 a および酸化物半導体 6 1 4 と、ゲート絶縁体 6 1 8 と、の間に酸化物半導体 6 1 4 c が配置される。

30

【0092】

酸化物半導体 6 1 4 は、例えば、インジウムを含む酸化物半導体である。酸化物半導体 6 1 4 は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、酸化物半導体 6 1 4 は、元素 M を含むと好ましい。元素 M は、好ましくは、アルミニウム、ガリウムまたはスズなどとする。そのほかの元素 M に適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステンなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。元素 M は、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素 M は、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体 6 1 4 は、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

40

【0093】

ただし、酸化物半導体 6 1 4 は、インジウムを含む酸化物半導体に限定されない。酸化物半導体 6 1 4 は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

50

## 【0094】

酸化物半導体614は、例えば、エネルギーギャップが大きい酸化物を用いる。酸化物半導体614のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

## 【0095】

例えば、酸化物半導体614aおよび酸化物半導体614cは、酸化物半導体614を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。酸化物半導体614を構成する酸素以外の元素一種以上、または二種以上から酸化物半導体614aおよび酸化物半導体614cが構成されるため、酸化物半導体614aと酸化物半導体614との界面、および酸化物半導体614と酸化物半導体614cとの界面において、欠陥準位が形成されにくい。

10

## 【0096】

酸化物半導体614a、酸化物半導体614および酸化物半導体614cは、少なくともインジウムを含むと好ましい。なお、酸化物半導体614aがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic%としたとき、好ましくはInが50 atomic%未満、Mが50 atomic%より高く、さらに好ましくはInが25 atomic%未満、Mが75 atomic%より高いとする。また、酸化物半導体614がIn-M-Zn酸化物のとき、InおよびMの和を100 atomic%としたとき、好ましくはInが25 atomic%より高く、Mが75 atomic%未満、さらに好ましくはInが34 atomic%より高く、Mが66 atomic%未満とする。また、酸化物半導体614cがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic%としたとき、好ましくはInが50 atomic%未満、Mが50 atomic%より高く、さらに好ましくはInが25 atomic%未満、Mが75 atomic%より高くする。なお、酸化物半導体614cは、酸化物半導体614aと同種の酸化物を用いても構わない。ただし、酸化物半導体614aまたは/および酸化物半導体614cがインジウムを含まなくても構わない場合がある。例えば、酸化物半導体614aまたは/および酸化物半導体614cが酸化ガリウムであっても構わない。なお、酸化物半導体614a、酸化物半導体614および酸化物半導体614cに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。

20

## 【0097】

酸化物半導体614は、酸化物半導体614aおよび酸化物半導体614cよりも電子親和力の大きい酸化物を用いる。例えば、酸化物半導体614として、酸化物半導体614aおよび酸化物半導体614cよりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0.1 eV以上0.7 eV以下、さらに好ましくは0.15 eV以上0.4 eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

30

## 【0098】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、酸化物半導体614cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合  $[Ga / (In + Ga)]$  は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

40

## 【0099】

このとき、ゲート電圧を印加すると、酸化物半導体614a、酸化物半導体614、酸化物半導体614cのうち、電子親和力の大きい酸化物半導体614にチャネルが形成される。

## 【0100】

ここで、酸化物半導体614aと酸化物半導体614の間には、酸化物半導体614aと酸化物半導体614との混合領域を有する場合がある。また、酸化物半導体614と酸化物半導体614cの間には、酸化物半導体614と酸化物半導体614cとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、酸化物半導体

50

614a、酸化物半導体614および酸化物半導体614cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド図となる（図9（C）参照）。なお、酸化物半導体614a、酸化物半導体614および酸化物半導体614cは、それぞれの界面を明確に判別することが困難な場合がある。

【0101】

このとき、電子は、酸化物半導体614a中および酸化物半導体614c中ではなく、酸化物半導体614中を主として移動する。上述したように、酸化物半導体614aおよび酸化物半導体614の界面における欠陥準位密度、酸化物半導体614と酸化物半導体614cとの界面における欠陥準位密度を低くすることによって、酸化物半導体614中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

10

【0102】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャンネル形成領域の物理的な凹凸が大きい場合にも阻害される。

【0103】

トランジスタのオン電流を高くするためには、例えば、酸化物半導体614の上面または下面（被形成面、ここでは酸化物半導体614a）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

20

【0104】

または、例えば、チャンネルの形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

30

【0105】

例えば、酸化物半導体614が酸素欠損（ $V_{\text{O}}$ とも表記。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を $V_{\text{O}}\text{H}$ と表記する場合がある。 $V_{\text{O}}\text{H}$ は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、酸化物半導体614中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。

【0106】

また、チャンネルの形成される領域中の欠陥準位密度が高いと、トランジスタの電気特性を変動させる場合がある。例えば、欠陥準位がキャリア発生源となる場合、トランジスタのしきい値電圧を変動させる場合がある。

40

【0107】

酸化物半導体614の酸素欠損を低減するために、例えば、絶縁体612に含まれる過剰酸素を、酸化物半導体614aを介して酸化物半導体614まで移動させる方法などがある。この場合、酸化物半導体614aは、酸素透過性を有する層（酸素を通過または透過させる層）であることが好ましい。

【0108】

また、トランジスタのオン電流を高くするためには、酸化物半導体614cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3n

50



m以下の領域を有する酸化物半導体614cとすればよい。一方、酸化物半導体614cは、チャンネルの形成される酸化物半導体614へ、隣接する絶縁体を構成する酸素以外の元素(水素、シリコンなど)が入り込まないようにブロックする機能を有する。そのため、酸化物半導体614cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する酸化物半導体614cとすればよい。また、酸化物半導体614cは、絶縁体612などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

【0109】

また、信頼性を高くするためには、酸化物半導体614aは厚く、酸化物半導体614cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する酸化物半導体614aとすればよい。酸化物半導体614aの厚さを、厚くすることで、隣接する絶縁体と酸化物半導体614aとの界面からチャンネルの形成される酸化物半導体614までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する酸化物半導体614aとすればよい。

【0110】

例えば、酸化物半導体614と酸化物半導体614aとの間に、例えば、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)において、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $2 \times 10^{18}$  atoms/cm<sup>3</sup>以下のシリコン濃度となる領域を有する。また、酸化物半導体614と酸化物半導体614cとの間に、SIMSにおいて、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $2 \times 10^{18}$  atoms/cm<sup>3</sup>以下のシリコン濃度となる領域を有する。

【0111】

また、酸化物半導体614の水素濃度を低減するために、酸化物半導体614aおよび酸化物半導体614cの水素濃度を低減すると好ましい。酸化物半導体614aおよび酸化物半導体614cは、SIMSにおいて、 $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $2 \times 10^{20}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{19}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下の水素濃度となる領域を有する。また、酸化物半導体614の窒素濃度を低減するために、酸化物半導体614aおよび酸化物半導体614cの窒素濃度を低減すると好ましい。酸化物半導体614aおよび酸化物半導体614cは、SIMSにおいて、 $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、より好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $1 \times 10^{18}$  atoms/cm<sup>3</sup>以下、さらに好ましくは $1 \times 10^{15}$  atoms/cm<sup>3</sup>以上 $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下の窒素濃度となる領域を有する。

【0112】

上述の3層構造は一例である。例えば、酸化物半導体614および酸化物半導体614aの2層構造や酸化物半導体614および酸化物半導体614cの2層構造としても構わない。または、酸化物半導体614aの上もしくは下、または酸化物半導体614cの上もしくは下に、酸化物半導体614a、酸化物半導体614および酸化物半導体614cとして例示した半導体のいずれか一を有する4層構造としても構わない。または、酸化物半導体614aの上、酸化物半導体614aの下、酸化物半導体614cの上、酸化物半導体

10

20

30

40

50

614cの下いずれか二箇所以上に、酸化物半導体614a、酸化物半導体614および酸化物半導体614cとして例示した半導体のいずれか一を有するn層構造(nは5以上の整数)としても構わない。

【0113】

ここでは、図9(A)(B)に示すトランジスタと異なる構成について、図10(A)(B)を用いて説明する。その他の構成は上述を参酌する。

【0114】

図10(A)(B)に示したように、絶縁体612がエッチングされて薄くなっている領域を有さない点が図9(A)(B)に示すトランジスタと構成が異なる。酸化物半導体614aを酸化物半導体614と重ならない領域にも残有させることによって、絶縁体612の膜減りを防ぐことができる。ゲート電極606へ電圧を印加して、電子捕獲層610に電子を注入するが、絶縁体612の膜厚が薄くなってしまうと、絶縁体612の静電破壊や電子トラップなどの不具合を引き起こす可能性がある。本発明のように絶縁体612の膜減りを防ぐことで、上述の不具合を回避できる。残有した酸化物半導体614aは、図示していないが、ゲート電極620形成後にゲート絶縁体618と、酸化物半導体614cと、ともに不要部分を除去する。これにより、上述の図9(A)(B)に示した、3層の酸化物半導体を用いたトランジスタと同様の特性を得ることができる。

10

【0115】

次に、図5に示したトランジスタと異なる構成について、図11を用いて説明する。その他の構成は上述を参酌する。

20

【0116】

図11(A)は上面図であり、図11(A)に示す一点鎖線A-Bの断面が図11(B)、一点鎖線C-Dの断面が図11(C)に相当する。なお、図11(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線A-B方向をチャンネル長方向、一点鎖線C-D方向をチャンネル幅方向と呼称する場合がある。

【0117】

図11(A)、(B)に示すように、ゲート電極620と、ソース電極616aまたはドレイン電極616bと、互いに重なり合う領域を有さないところが、図5に示すトランジスタの構成と異なるところである。

【0118】

ゲート電極620と、ソース電極616aまたはドレイン電極616bと、互いに重なり合う領域を有さないことで、ゲート電極620と、ソース電極616aまたはドレイン電極616bの両電極間の寄生容量を有さないのが、トランジスタの高速動作に好ましい。また、ゲート電極620と、ソース電極616aまたはドレイン電極616bの両電極間の電流のリークを防ぐことができる。

30

【0119】

つぎに、図11のトランジスタと電子捕獲層610の配置が異なるトランジスタについて図12を用いて説明する。図12(A)は上面図であり、図12(A)に示す一点鎖線A-Bの断面が図12(B)、一点鎖線C-Dの断面が図12(C)に相当する。なお、図12(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線A-B方向をチャンネル長方向、一点鎖線C-D方向をチャンネル幅方向と呼称する場合がある。

40

【0120】

図12(A)、(B)に示すように、電子捕獲層610が、ゲート電極620とお互いに重なる領域を有する点は、図11のトランジスタと同様であるが、ゲート電極620端と、電子捕獲層610端と、の位置が一致する点異なる。

【0121】

図11に示したトランジスタと同様に、ゲート電極620と、ソース電極616aまたはドレイン電極616bと、互いに重なり合う領域を有さないことで、ゲート電極620と、ソース電極616aまたはドレイン電極616bの両電極間の寄生容量を有さないのが

50

、トランジスタの高速動作に好ましい。また、ゲート電極 6 2 0 と、ソース電極 6 1 6 a またはドレイン電極 6 1 6 b の両電極間の電流のリークを防ぐことができる。

【0122】

次に、図 5 に示したトランジスタと異なる構成について、図 1 3 を用いて説明する。図 1 3 ( A ) は上面図であり、図 1 3 ( A ) に示す一点鎖線 A - B の断面が図 1 3 ( B )、一点鎖線 C - D の断面が図 1 3 ( C ) に相当する。なお、図 1 3 ( A ) の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線 A - B 方向をチャネル長方向、一点鎖線 C - D 方向をチャネル幅方向と呼称する場合がある。

【0123】

図 1 3 ( A ) 乃至図 1 3 ( C ) に示すトランジスタは、基板 6 0 0 上に絶縁体 6 0 2 と、絶縁体 6 0 2 上に絶縁体 6 0 4 と、絶縁体 6 0 4 に埋め込まれたゲート電極 6 0 6 と、絶縁体 6 0 4 およびゲート電極 6 0 6 上に絶縁体 6 1 2 と、絶縁体 6 1 2 上に酸化物半導体 6 1 4 と、酸化物半導体 6 1 4 上にソース電極 6 1 6 a およびドレイン電極 6 1 6 b と、絶縁体 6 1 2 上、酸化物半導体 6 1 4 上、ソース電極 6 1 6 a 上およびドレイン電極 6 1 6 b 上にゲート絶縁体 6 1 8 と、ゲート絶縁体 6 1 8 上に電子捕獲層 6 1 0 と、電子捕獲層 6 1 0 上およびゲート絶縁体 6 1 8 上に絶縁体 6 0 8 と、絶縁体 6 0 8 上にゲート電極 6 2 0 と、ゲート電極 6 2 0 上および絶縁体 6 0 8 上に絶縁体 6 2 2 と、を有する。

10

【0124】

酸化物半導体 6 1 4 はチャネル形成領域 6 5 0 を有する。チャネル形成領域 6 5 0 は、ゲート絶縁体 6 1 8 を介して電子捕獲層 6 1 0 と重なる領域を有する。ゲート電極 6 2 0 は、絶縁体 6 0 8 を介して、電子捕獲層 6 1 0 と互いに重なる領域を有し、ゲート電極 6 2 0 は、チャネル形成領域 6 5 0 と重なる領域を有さない。

20

【0125】

図 1 3 に示すトランジスタは、電子捕獲層 6 1 0 に電子を注入するためにゲート電極 6 2 0 に電圧を印加する点が図 5 に示すトランジスタと異なる。ゲート電極 6 2 0 に電圧を印加して、電子捕獲層 6 1 0 に電子を注入することでトランジスタのしきい値電圧を制御する機能を有しているが、ゲート電極 6 2 0 へ電圧を印加することで、チャネル形成領域 6 5 0 と、チャネル形成領域 6 5 0 と重なるゲート絶縁体 6 1 8 を劣化させない。

【0126】

本トランジスタの動作原理については、実施の形態 1 および図 5 のトランジスタの説明を参酌する。

30

【0127】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャネル形成領域が、酸化物半導体を有する場合の例、または、トランジスタが酸化物半導体 6 1 4 などの酸化物半導体を有する場合の例などを示したが、本発明の一態様は、これに限定されない。本発明の一態様における様々なトランジスタは、様々な半導体を有していてもよい。本発明の一態様における様々なトランジスタは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、本発明の一態様における様々なトランジスタは、酸化物半導体を有していなくてもよい。

40

【0128】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0129】

(実施の形態 3)

本実施の形態では、実施の形態 2 で説明した、図 5 のトランジスタの作製方法について、

50

図14と、図15と、を用いて説明する。

【0130】

図5(A)に示す一点鎖線A-Bの断面を図14及び図15の左側に、一点鎖線C-Dの断面を図14及び図15の右側に示す。

【0131】

基板600上に絶縁体602を成膜する。基板600は、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどを材料とした化合物半導体基板などを用いることができる。または、石英、ガラスなどの絶縁体基板も用いることができる。絶縁体602としては、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化ハフニウム膜などを用いることができる。成膜方法は、熱酸化法、CVD法、スパッタ法、ALD法、プラズマ酸化法、プラズマ窒化法などを用いることができる。

10

【0132】

絶縁体602上に絶縁体604を成膜して、絶縁体604の一部に開口部を形成して、ゲート電極606を開口部に埋め込む(図14(A)参照。)。絶縁体604の開口部の形成は、フォトリソグラフィ法により、レジストマスクを形成し、ドライエッチング法により、不要部分の絶縁体を除去して形成する。絶縁体604は、上記の絶縁体602と同様の膜と、同様の成膜方法を用いることができる。ゲート電極606は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法、めっき法などを用いて成膜すればよい。また、ゲート電極606は、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。または、窒化タンタル、窒化タングステン、窒化チタンなどと適宜組み合わせると多層膜としてもよい。ゲート電極606を開口部に埋め込む方法としては、化学的機械研磨(Chemical Mechanical Polishing: CMP)を用いればよい。

20

【0133】

次に、ゲート電極606上および絶縁体604上に、絶縁体608を成膜する。絶縁体608は、上記の絶縁体602と同様の膜と、同様の成膜方法を用いることができる。次に絶縁体608上に、電子捕獲層610となる導電体もしくは半導体を成膜する。次に、フォトリソグラフィ法を用いて、電子捕獲層610となる導電体もしくは半導体上にゲート電極606と互いに重なる領域を有するようにレジストマスクを形成し、ドライエッチング法を用いて導電体もしくは半導体の不要部分を除去して電子捕獲層610を形成する。次に、電子捕獲層610上および絶縁体608上に絶縁体612を成膜する(図14(B)参照。)

30

【0134】

電子捕獲層610としては、導電体や半導体を用いることができる。導電体は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。また、導電体は、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。また、酸素を透過し難い機能を有する、窒化タンタル、窒化タングステン、窒化チタンなどと適宜組み合わせると多層膜としてもよい。半導体は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。また、半導体は、多結晶シリコン、微結晶シリコン、非結晶シリコン、酸化物半導体などを用いることができる。

40

【0135】

絶縁体612は、上記の絶縁体602と同様の膜と、同様の成膜方法を用いることができる。または、過剰酸素を有する絶縁体を用いてもよい。

【0136】

次に、絶縁体612上に酸化物半導体613を成膜し、加熱処理を行う(図14(C)参照。)。酸化物半導体613は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。加熱処理は、250 以上650 以下、好ま

50

しくは300以上500以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。加熱処理によって、酸化物半導体613の結晶性を高めることや、水素や水などの不純物を除去することなどができる。

#### 【0137】

酸化物半導体613上に導電体を成膜し、酸化物半導体613上のチャネル形成領域となる部分をフォトリソグラフィ法でレジストパターンを形成し、ドライエッチング法により導電体を除去し、導電体615を形成する(図15(A)参照。)。導電体615は、10

#### 【0138】

次に、導電体615上と、酸化物半導体613上にフォトリソグラフィ法でレジストパターンを形成し、酸化物半導体613の不要部分をドライエッチング法で除去し、酸化物半導体614をアイランド状に形成する。同時にソース電極616aと、ドレイン電極616bを形成する(図15(B)参照。)

#### 【0139】

次に、絶縁体612上、ソース電極616a上、ドレイン電極616b上および酸化物半導体614上に、ゲート絶縁体618を成膜する。ゲート絶縁体618は、上記の絶縁体602と同様の膜と、同様の成膜方法を用いることができる。20

#### 【0140】

ゲート絶縁体618上に、ゲート電極620を形成する。ゲート電極620は、上記ゲート電極606と同様の膜と、同様の成膜方法を用いることができる。ゲート電極620の形成は、ゲート電極620となる導電体をゲート絶縁体618上に成膜する。該導電体上にフォトリソグラフィ法でレジストマスクを形成して、ドライエッチング法にて不要な該導電体を除去して形成する。次に、ゲート電極620上およびゲート絶縁体618上に、フォトリソグラフィ法でレジストマスクを形成して、ドライエッチング法により、不要なゲート絶縁体618を除去する。または、ゲート絶縁体618を除去しなくてもよい。30

#### 【0141】

次に、絶縁体612上、ソース電極616a上、ドレイン電極616b、ゲート絶縁体618上およびゲート電極620上に、絶縁体622を成膜する(図15(C)参照。)。絶縁体622は、上記の絶縁体602と同様の膜と、同様の成膜方法を用いることができるが、特に、酸素や水素を透過し難い、酸化アルミニウム膜などを用いると好ましい。

#### 【0142】

以上の作製方法により、実施の形態1のトランジスタを作製することができる。

#### 【0143】

(実施の形態4)

本実施の形態では、酸化物半導体の構造について説明する。

#### 【0144】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。40

#### 【0145】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。50

## 【0146】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

## 【0147】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆 (ポイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

10

## 【0148】

まずは、CAAC-OSについて説明する。

## 【0149】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

## 【0150】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像 (高分解能TEM像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することが困難である。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

20

## 【0151】

以下では、TEMによって観察したCAAC-OSについて説明する。図16(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

30

## 【0152】

図16(A)の領域(1)を拡大したCs補正高分解能TEM像を図16(B)に示す。図16(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

## 【0153】

図16(B)に示すように、CAAC-OSは特徴的な原子配列を有する。図16(C)は、特徴的な原子配列を、補助線で示したものである。図16(B)および図16(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶 (nc: nanocrystal) と呼ぶこともできる。また、CAAC-OSを、CAN (C-Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

40

## 【0154】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-OSのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる (図16(D)参照。)。図16(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図16(D)に示す領域5161に相当する。

## 【0155】

50

また、図17(A)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図17(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図17(B)、図17(C)および図17(D)に示す。図17(B)、図17(C)および図17(D)より、ペレットは、金属原子が三角形、四角形または六角形に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

#### 【0156】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-Osについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図18(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

10

#### 【0157】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

20

#### 【0158】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO<sub>4</sub>の結晶の(110)面に帰属される。CAAC-Osの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図18(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO<sub>4</sub>の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、図18(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

30

#### 【0159】

次に、電子回折によって解析したCAAC-Osについて説明する。例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-Osに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図19(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO<sub>4</sub>の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-Osに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図19(B)に示す。図19(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-Osに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図19(B)における第1リングは、InGaZnO<sub>4</sub>の結晶の(010)面および(100)面などに起因すると考えられる。また、図19(B)における第2リングは(110)面などに起因すると考えられる。

40

#### 【0160】

上述したように、CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-Osは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

#### 【0161】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素

50

との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0162】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0163】

不純物および酸素欠損の少ないCAAC-OSSは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0164】

次に、nc-OSSについて説明する。

【0165】

nc-OSSは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することが困難な領域と、を有する。nc-OSSに含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-OSSは、例えば、高分解能TEM像では、結晶粒界を明確に確認することが困難な場合がある。なお、ナノ結晶は、CAAC-OSSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSSの結晶部をペレットと呼ぶ場合がある。

【0166】

nc-OSSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSSに対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-OSSに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSSに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

【0167】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OSSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0168】

nc-OSSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSSは、異なるペレット間で結晶方位に規則性が見られない。そのため

10

20

30

40

50



、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0169】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0170】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することが困難な領域と、を有する。

【0171】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

10

【0172】

電子照射を行う試料として、a-like OS（試料Aと表記する。）、nc-OS（試料Bと表記する。）およびCAAC-OS（試料Cと表記する。）を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0173】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0174】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO<sub>4</sub>の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO<sub>4</sub>の結晶部と見なすことができる。なお、格子縞は、InGaZnO<sub>4</sub>の結晶のa-b面に対応する。

20

【0175】

図20は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図20より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図20中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図20中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

30

【0176】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

40

【0177】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

50

## 【0178】

例えば、 $In : Ga : Zn = 1 : 1 : 1$  [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶  $InGaZnO_4$  の密度は  $6.357 \text{ g/cm}^3$  となる。よって、例えば、 $In : Ga : Zn = 1 : 1 : 1$  [原子数比]を満たす酸化物半導体において、*a-like OS* の密度は  $5.0 \text{ g/cm}^3$  以上  $5.9 \text{ g/cm}^3$  未満となる。また、例えば、 $In : Ga : Zn = 1 : 1 : 1$  [原子数比]を満たす酸化物半導体において、*nc-OS* の密度および *CAAC-OS* の密度は  $5.9 \text{ g/cm}^3$  以上  $6.3 \text{ g/cm}^3$  未満となる。

## 【0179】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

10

## 【0180】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS* のうち、二種以上を有する積層膜であってもよい。

## 【0181】

(実施の形態5)

本実施の形態では、実施の形態1で説明したトランジスタを利用した半導体装置について一例を説明する。

20

## 【0182】

図21(A)に、記憶装置の回路の一例を示し、図21(B)には、断面図を示す。

## 【0183】

基板350は、シリコンや炭化シリコンなどを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどを材料とした化合物半導体基板、*SOI (Silicon On Insulator)* 基板などを使用することもできる。

## 【0184】

基板350上にトランジスタ300を形成する。トランジスタ300は、図21(B)に示したように、サイドウォール355を有するプレーナ型トランジスタを用いることができる。トランジスタは、*STI (Shallow Trench Isolation)* 351を形成して素子分離した。また、トランジスタ300は、*Fin*形トランジスタを用いてもよい。また、トランジスタ300は、*p*チャネル型トランジスタを用いてもよく、*n*チャネル型トランジスタを用いてもよい。または、両方を用いてもよい。

30

## 【0185】

本実施の形態では、トランジスタ300はチャネル形成領域にシリコン単結晶を用いているが、チャネル形成領域に、たとえば、酸化物半導体を用いてもよく、シリコン単結晶に限定されるものではない。また、ゲート絶縁体としての機能を有する絶縁体354としては、例えば、シリコン単結晶を熱酸化した酸化シリコンを用いればよい。ほかにも、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化ハフニウム膜などを用いることができる。成膜方法は、熱酸化法、*CVD*法、スパッタ法、*ALD*法、プラズマ酸化法、プラズマ窒化法などを用いることができる。または、適宜、上述の膜から選択して、積層膜とすることもできる。

40

## 【0186】

トランジスタ300上、*STI* 351上、及び拡散層353上に絶縁体360を成膜し、*CMP*を行い絶縁体360表面の平坦化を行う。絶縁体360としては、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化ハフニウム膜などを用いることができる。成膜方法は、熱酸化法

50

、CVD法、スパッタ法、ALD法、プラズマ酸化法、プラズマ窒化法などを用いることができる。平坦化は、他の処理を用いてもよい。または、CMPと、エッチング（ドライエッチング、ウェットエッチング）やプラズマ処理などを組み合わせてもよい。

【0187】

絶縁体360にトランジスタ300のゲート電極330の上面に達するコンタクトホールと、拡散層353の上面に達するコンタクトホールを形成して、導電体をコンタクトホール内に埋め込み、絶縁体360の上面が露出するまでCMPを行い、プラグ370、プラグ371、プラグ372を形成する。プラグ370、プラグ371、プラグ372は、たとえば、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、上記から適宜複数選択して積層膜を成膜してもよい。成膜方法は、スパッタ法、CVD法、ALD法、メッキ法などを用いることができる。積層膜の成膜は、上記から複数の形成方法を用いてもよい。

10

【0188】

次に絶縁体360上に導電体を成膜して配線層373、配線層374、配線層375を形成する。配線層373、配線層374、配線層375は、上述した、プラグ370、プラグ371、プラグ372と同様の膜と成膜方法を用いることができる。

【0189】

絶縁体360上及び、配線層373、配線層374、配線層375上に絶縁体361を成膜し、CMPを行い絶縁体361表面の平坦化を行う。絶縁体361は、上述した絶縁体360と同様の膜と、成膜方法を用いることができる。

20

【0190】

絶縁体361に、配線層373、配線層374、配線層375のそれぞれの上面に達するコンタクトホールと、溝とを形成して、導電体をコンタクトホールと、溝に埋め込む。次に絶縁体361の上面が露出するまでCMPを行い、プラグと、配線層を兼ねた、配線層376、配線層377、配線層378を形成する。配線層376、配線層377、配線層378は、上述した、プラグ370、プラグ371、プラグ372と同様の膜と成膜方法を用いることができる。

【0191】

次に絶縁体361上と、配線層376、配線層377、配線層378上に絶縁体362を成膜して、上述の絶縁体361と同様の方法で、プラグと、配線層を兼ねた、配線層379、配線層380、配線層381を形成する。絶縁体362は、上述した絶縁体360と同様の膜と、成膜方法を用いることができる。配線層379、配線層380、配線層381は、上述した、プラグ370、プラグ371、プラグ372と同様の膜と成膜方法を用いることができる。このプラグと、配線層を兼ねた、配線層の形成は、必要に応じて、上述の方法を繰り返して形成することができるので、高い集積度の半導体装置を作製できる。

30

【0192】

次に絶縁体362上と、配線層379、配線層380、配線層381上に絶縁体363を成膜する。絶縁体363は、上述した絶縁体360と同様の膜と、成膜方法を用いることができる。絶縁体363は、好ましくは水素を透過しにくい機能を有しているとよい。または、絶縁体363は、成膜しなくてもよい。

40

【0193】

絶縁体363上に絶縁体302を成膜する。絶縁体302は、上述した絶縁体360と同様の膜と、成膜方法を用いることができる。絶縁体302は、好ましくは酸素を透過しにくい機能を有しているとよい。たとえば、酸化アルミニウムなどを用いてもよい。

【0194】

次に、実施の形態3で説明した方法でトランジスタ310を形成する。次に、トランジスタ310上に絶縁体303を成膜する。絶縁体303は、上述した絶縁体360と同様の膜と、成膜方法を用いることができる。絶縁体303は、好ましくは酸素を透過しにくい

50

機能を有しているとよい。たとえば、酸化アルミニウムなどを用いてもよい。

【0195】

トランジスタ300のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ300の信頼性を向上させる効果がある。一方、トランジスタ310などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ310の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体302を設けることが好ましい。絶縁体302より下層に水素を閉じ込めることで、トランジスタ300の信頼性を向上させることができる。さらに、絶縁体302より下層から、絶縁体302より上層に水素が拡散することを抑制できるため、トランジスタ310の信頼性を向上させることができる。また、トランジスタ310上に絶縁体303を設けることにより、酸化物半導体中の酸素の拡散を防ぐことができ好ましい。図21(B)のように、トランジスタ310を、絶縁体302と、絶縁体303と、で包み込む構造とし、さらに絶縁体302と、絶縁体303とを、コンタクトホール304により接続し、封止するとより好ましい。

10

【0196】

次に、絶縁体308を成膜し、プラグ382、プラグ383、プラグ384を形成する。プラグ382上と、プラグ383上と、プラグ384上と、にそれぞれ、配線層385、配線層386、配線層387を形成する。プラグ382、プラグ383、プラグ384、配線層385、配線層386、配線層387は、上述した、プラグ370、プラグ371、プラグ372と同様の膜と成膜方法を用いることができる。好ましくは、プラグ382、プラグ383、プラグ384、配線層385、配線層386、配線層387は、水素を透過しにくい構造とするとよい。たとえば、窒化チタン上にタングステンなどを形成して2層構造としてもよい。

20

【0197】

次に絶縁体308上と、配線層385上と、配線層386上と、配線層387上と、に絶縁体364を成膜し、CMPを行い絶縁体364表面の平坦化を行う。絶縁体364は、上述した絶縁体360と同様の膜と、成膜方法を用いることができる。

【0198】

絶縁体364に、配線層386、配線層387の上面に達するコンタクトホールを形成して、導電体をコンタクトホール内に埋め込み、絶縁体364の上面が露出するまでCMPを行い、プラグ388と、プラグ389を形成する。プラグ388と、プラグ389は、上述した、プラグ370、プラグ371、プラグ372と同様の膜と成膜方法を用いることができる。

30

【0199】

次に絶縁体364上に導電体を成膜して、容量素子315の一方の電極341と、配線層390を形成する。電極341と、配線層390は、上述した、プラグ370、プラグ371、プラグ372と同様の膜と成膜方法を用いることができる。次に、容量素子315は、他方の電極342を一方の電極341上の絶縁体を介して重なるように形成する。次に、絶縁体365を成膜し、CMPを行い絶縁体365表面の平坦化を行う。絶縁体365は、上述した絶縁体360と同様の膜と、成膜方法を用いることができる。

40

【0200】

絶縁体365に容量素子315の他方の電極342の上面に達するコンタクトホールを形成し、一方、配線層390の上面に達するコンタクトホールを形成し、導電体をコンタクトホール内に埋め込み、絶縁体365の上面が露出するまでCMPを行い、プラグ391と、プラグ392を形成する。プラグ391と、プラグ392は、上述した、プラグ370、プラグ371、プラグ372と同様の膜と成膜方法を用いることができる。

【0201】

次に絶縁体365上に導電体を成膜して、配線層393と、配線層394を形成する。配

50

線層 393 と、配線層 394 は、上述した、プラグ 370、プラグ 371、プラグ 372 と同様の膜と成膜方法を用いることができる。

【0202】

また、図 21 (B) に示す、プレーナ型の容量素子 315 を、図 22 に示す、シリンダー型の容量素子 320 のように形成しても良い。シリンダー型の容量素子 320 は、プレーナ型の容量素子 315 よりも、小さな面積で、容量素子を作製できるので、より好ましい。

【0203】

以上の工程により、本発明の一態様の半導体装置を作製することができる。

【0204】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0205】

(実施の形態 6)

<撮像装置>

以下では、本発明の一態様に係る撮像装置について説明する。

【0206】

図 23 (A) は、本発明の一態様に係る撮像装置 200 の例を示す上面図である。撮像装置 200 は、画素部 210 と、画素部 210 を駆動するための周辺回路 260 と、周辺回路 270、周辺回路 280 と、周辺回路 290 と、を有する。画素部 210 は、 $p$  行  $q$  列 ( $p$  および  $q$  は 2 以上の整数) のマトリクス状に配置された複数の画素 211 を有する。周辺回路 260、周辺回路 270、周辺回路 280 および周辺回路 290 は、それぞれ複数の画素 211 に接続し、複数の画素 211 を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路 260、周辺回路 270、周辺回路 280 および周辺回路 290 などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路 260 は周辺回路の一部といえる。

【0207】

また、撮像装置 200 は、光源 291 を有することが好ましい。光源 291 は、検出光 P1 を放射することができる。

【0208】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の 1 つを有する。また、周辺回路は、画素部 210 を形成する基板上に作製してもよい。また、周辺回路の一部または全部に IC 等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路 260、周辺回路 270、周辺回路 280 および周辺回路 290 のいずれか一以上を省略してもよい。

【0209】

また、図 23 (B) に示すように、撮像装置 200 が有する画素部 210 において、画素 211 を傾けて配置してもよい。画素 211 を傾けて配置することにより、行方向および列方向の画素間隔 (ピッチ) を短くすることができる。これにより、撮像装置 200 における撮像の品質をより高めることができる。

【0210】

<画素の構成例 1>

撮像装置 200 が有する 1 つの画素 211 を複数の副画素 212 で構成し、それぞれの副画素 212 に特定の波長帯域の光を透過するフィルタ (カラーフィルタ) を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【0211】

図 24 (A) は、カラー画像を取得するための画素 211 の一例を示す上面図である。図 24 (A) に示す画素 211 は、赤 (R) の波長帯域の光を透過するカラーフィルタが設けられた副画素 212 (以下、「副画素 212 R」ともいう)、緑 (G) の波長帯域の光を透過するカラーフィルタが設けられた副画素 212 (以下、「副画素 212 G」ともい

10

20

30

40

50

う) および青 ( B ) の波長帯域の光を透過するカラーフィルタが設けられた副画素 2 1 2 ( 以下、「副画素 2 1 2 B」ともいう) を有する。副画素 2 1 2 は、フォトセンサとして機能させることができる。

【 0 2 1 2 】

副画素 2 1 2 ( 副画素 2 1 2 R、副画素 2 1 2 G、および副画素 2 1 2 B ) は、配線 2 3 1、配線 2 4 7、配線 2 4 8、配線 2 4 9、配線 2 5 0 と電氣的に接続される。また、副画素 2 1 2 R、副画素 2 1 2 G、および副画素 2 1 2 B は、それぞれが独立した配線 2 5 3 に接続している。また、本明細書等において、例えば n 行目の画素 2 1 1 に接続された配線 2 4 8 および配線 2 4 9 を、それぞれ配線 2 4 8 [ n ] および配線 2 4 9 [ n ] と記載する。また、例えば m 列目の画素 2 1 1 に接続された配線 2 5 3 を、配線 2 5 3 [ m ] と記載する。なお、図 2 4 ( A ) において、m 列目の画素 2 1 1 が有する副画素 2 1 2 R に接続する配線 2 5 3 を配線 2 5 3 [ m ] R、副画素 2 1 2 G に接続する配線 2 5 3 を配線 2 5 3 [ m ] G、および副画素 2 1 2 B に接続する配線 2 5 3 を配線 2 5 3 [ m ] B と記載している。副画素 2 1 2 は、上記配線を介して周辺回路と電氣的に接続される。

10

【 0 2 1 3 】

また、撮像装置 2 0 0 は、隣接する画素 2 1 1 の、同じ波長帯域の光を透過するカラーフィルタが設けられた副画素 2 1 2 同士がスイッチを介して電氣的に接続する構成を有する。図 2 4 ( B ) に、n 行 ( n は 1 以上 p 以下の整数 ) m 列 ( m は 1 以上 q 以下の整数 ) に配置された画素 2 1 1 が有する副画素 2 1 2 と、該画素 2 1 1 に隣接する n + 1 行 m 列に配置された画素 2 1 1 が有する副画素 2 1 2 の接続例を示す。図 2 4 ( B ) において、n 行 m 列に配置された副画素 2 1 2 R と、n + 1 行 m 列に配置された副画素 2 1 2 R がスイッチ 2 0 1 を介して接続されている。また、n 行 m 列に配置された副画素 2 1 2 G と、n + 1 行 m 列に配置された副画素 2 1 2 G がスイッチ 2 0 2 を介して接続されている。また、n 行 m 列に配置された副画素 2 1 2 B と、n + 1 行 m 列に配置された副画素 2 1 2 B がスイッチ 2 0 3 を介して接続されている。

20

【 0 2 1 4 】

なお、副画素 2 1 2 に用いるカラーフィルタは、赤 ( R )、緑 ( G )、青 ( B ) に限定されず、それぞれシアン ( C )、黄 ( Y ) およびマゼンダ ( M ) の光を透過するカラーフィルタを用いてもよい。1 つの画素 2 1 1 に 3 種類の異なる波長帯域の光を検出する副画素 2 1 2 を設けることで、フルカラー画像を取得することができる。

30

【 0 2 1 5 】

または、それぞれ赤 ( R )、緑 ( G ) および青 ( B ) の光を透過するカラーフィルタが設けられた副画素 2 1 2 に加えて、黄 ( Y ) の光を透過するカラーフィルタが設けられた副画素 2 1 2 を有する画素 2 1 1 を用いてもよい。または、それぞれシアン ( C )、黄 ( Y ) およびマゼンダ ( M ) の光を透過するカラーフィルタが設けられた副画素 2 1 2 に加えて、青 ( B ) の光を透過するカラーフィルタが設けられた副画素 2 1 2 を有する画素 2 1 1 を用いてもよい。1 つの画素 2 1 1 に 4 種類の異なる波長帯域の光を検出する副画素 2 1 2 を設けることで、取得した画像の色の再現性をさらに高めることができる。

【 0 2 1 6 】

また、例えば、図 2 4 ( A ) において、赤の波長帯域を検出する副画素 2 1 2、緑の波長帯域を検出する副画素 2 1 2、および青の波長帯域を検出する副画素 2 1 2 の画素数比 ( または受光面積比 ) は、1 : 1 : 1 でなくても構わない。例えば、画素数比 ( 受光面積比 ) を赤 : 緑 : 青 = 1 : 2 : 1 とする Bayer 配列としてもよい。または、画素数比 ( 受光面積比 ) を赤 : 緑 : 青 = 1 : 6 : 1 としてもよい。

40

【 0 2 1 7 】

なお、画素 2 1 1 に設ける副画素 2 1 2 は 1 つでもよいが、2 つ以上が好ましい。例えば、同じ波長帯域を検出する副画素 2 1 2 を 2 つ以上設けることで、冗長性を高め、撮像装置 2 0 0 の信頼性を高めることができる。

【 0 2 1 8 】

また、可視光を吸収または反射して、赤外光を透過する I R ( I R : I n f r a r e d )

50

フィルタを用いることで、赤外光を検出する撮像装置 200 を実現することができる。

【0219】

また、ND (ND: Neutral Density) フィルタ (減光フィルタ) を用いることで、光電変換素子 (受光素子) に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なる ND フィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

【0220】

また、前述したフィルタ以外に、画素 211 にレンズを設けてもよい。ここで、図 25 の断面図を用いて、画素 211、フィルタ 254、レンズ 255 の配置例を説明する。レンズ 255 を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図 25 (A) に示すように、画素 211 に形成したレンズ 255、フィルタ 254 (フィルタ 254 R、フィルタ 254 G およびフィルタ 254 B)、および画素回路 230 等を通して光 256 を光電変換素子 220 に入射させる構造とすることができる。

10

【0221】

ただし、一点鎖線で囲んだ領域に示すように、矢印で示す光 256 の一部が配線 257 の一部によって遮光されてしまうことがある。したがって、図 25 (B) に示すように光電変換素子 220 側にレンズ 255 およびフィルタ 254 を配置して、光電変換素子 220 が光 256 を効率よく受光させる構造が好ましい。光電変換素子 220 側から光 256 を光電変換素子 220 に入射させることで、検出感度の高い撮像装置 200 を提供することができる。

20

【0222】

図 25 に示す光電変換素子 220 として、pn 型接合または pin 型の接合が形成された光電変換素子を用いてもよい。

【0223】

また、光電変換素子 220 を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を有する物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

【0224】

例えば、光電変換素子 220 にセレンを用いると、可視光や、紫外光、赤外光に加えて、X 線や、ガンマ線といった幅広い波長帯域にわたって光吸収係数を有する光電変換素子 220 を実現できる。

30

【0225】

ここで、撮像装置 200 が有する 1 つの画素 211 は、図 25 に示す副画素 212 に加えて、第 1 のフィルタを有する副画素 212 を有してもよい。

【0226】

< 画素の構成例 2 >

以下では、シリコンを用いたトランジスタと、本発明に係る酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【0227】

40

図 26、図 27 は、撮像装置を構成する素子の断面図である。図 26 に示す撮像装置は、シリコン基板 500 に設けられたシリコンを用いたトランジスタ 551 と、トランジスタ 551 上に積層して配置された酸化物半導体を用いたトランジスタ 552 およびトランジスタ 553 と、シリコン基板 500 に設けられたフォトダイオード 560 と、マイクロレンズアレイ層 590、カラーフィルター層 592 および遮光層 594 と、を含む。各トランジスタおよびフォトダイオード 560 のカソード 562 は、種々のプラグ 570 および配線 571 と電気的な接続を有する。また、フォトダイオード 560 のアノード 561 は、低抵抗領域 563 を介してプラグ 570 と電気的に接続を有する。

【0228】

また撮像装置は、シリコン基板 500 に設けられたトランジスタ 551 およびフォトダイ

50

オード560を有する層510と、層510と接して設けられ、配線571を有する層520と、層520と接して設けられ、トランジスタ552およびトランジスタ553を有する層530と、層530と接して設けられ、配線572および配線573を有する層540を備えている。

【0229】

なお図26の断面図の一例では、シリコン基板500において、トランジスタ551が形成された面とは逆側の面にフォトダイオード560の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード560の受光面をトランジスタ551が形成された面と同じとすることもできる。

10

【0230】

なお、酸化物半導体を用いたトランジスタを用いて画素を構成する場合には、層530を、トランジスタを有する層とすればよい。または層510を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【0231】

なお、シリコンを用いたトランジスタを用いて画素を構成する場合には、層530を省略すればよい。層530を省略した断面図の一例を図27に示す。

【0232】

なお、シリコン基板500は、SOI基板であってもよい。また、シリコン基板500に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

20

【0233】

ここで、トランジスタ551およびフォトダイオード560を有する層510と、トランジスタ552およびトランジスタ553を有する層530と、の間には絶縁体580が設けられる。ただし、絶縁体580の位置は限定されない。

【0234】

トランジスタ551のチャネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ551の信頼性を向上させる効果がある。一方、トランジスタ552およびトランジスタ553などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ552およびトランジスタ553などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体580を設けることが好ましい。絶縁体580より下層に水素を閉じ込めることで、トランジスタ551の信頼性を向上させることができる。さらに、絶縁体580より下層から、絶縁体580より上層に水素が拡散することを抑制できるため、トランジスタ552およびトランジスタ553などの信頼性を向上させることができる。また、トランジスタ552およびトランジスタ553上に絶縁体581を設けることにより、酸化物半導体中の酸素の拡散を防ぐことができ好ましい。図26のように、トランジスタ552およびトランジスタ553を、絶縁体580と、絶縁体581とで包み込む構造とし、さらに絶縁体580と、絶縁体581とを、コンタクトホール583により接続し、封止するとより好ましい。

30

40

【0235】

絶縁体580としては、例えば、絶縁体363の記載を参照する。

【0236】

また、図26の断面図において、層510に設けるフォトダイオード560と、層530に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0237】

50



また、図 28 (A1) および図 28 (B1) に示すように、撮像装置の一部または全部を湾曲させてもよい。図 28 (A1) は、撮像装置を同図中の一点鎖線 X1 - X2 の方向に湾曲させた状態を示している。図 28 (A2) は、図 28 (A1) 中の一点鎖線 X1 - X2 で示した部位の断面図である。図 28 (A3) は、図 28 (A1) 中の一点鎖線 Y1 - Y2 で示した部位の断面図である。

【0238】

図 28 (B1) は、撮像装置を同図中の一点鎖線 X3 - X4 の方向に湾曲させ、かつ、同図中の一点鎖線 Y3 - Y4 の方向に湾曲させた状態を示している。図 28 (B2) は、図 28 (B1) 中の一点鎖線 X3 - X4 で示した部位の断面図である。図 28 (B3) は、図 28 (B1) 中の一点鎖線 Y3 - Y4 で示した部位の断面図である。

10

【0239】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

【0240】

(実施の形態 7)

以下では、本発明の一態様に係る表示装置について、図 29 および図 30 を用いて説明する。

20

【0241】

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機 EL (Electroluminescence)、有機 EL などを含む。以下では、表示装置の一例として EL 素子を用いた表示装置（EL 表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

【0242】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC などを実装した状態にあるモジュールとを含む。

30

【0243】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクタ、例えば FPC、TCP が取り付けられたモジュール、TCP の先にプリント配線板を有するモジュールまたは表示素子に COG 方式により IC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0244】

図 29 は、本発明の一態様に係る EL 表示装置の一例である。図 29 (A) に、EL 表示装置の画素の回路図を示す。図 29 (B) は、EL 表示装置全体を示す上面図である。また、図 29 (C) は、図 29 (B) の一点鎖線 M - N の一部に対応する M - N 断面である。

40

【0245】

図 29 (A) は、EL 表示装置に用いられる画素の回路図の一例である。

【0246】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。

50

したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0247】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

10

【0248】

図29(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0249】

なお、図29(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図29(A)の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

20

【0250】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電気的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電気的に接続され、発光素子719の一方の電極と電気的に接続される。トランジスタ741のドレインは電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電気的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

【0251】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または/およびスイッチ素子743としては、例えば、上述したトランジスタを適用することができる。

30

【0252】

図29(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板750と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回路736を囲むように基板700と基板750との間に配置される。なお、駆動回路735または/および駆動回路736をシール材734の外側に配置しても構わない。

40

【0253】

図29(C)は、図29(B)の一点鎖線M-Nの一部に対応するEL表示装置の断面図である。

【0254】

図29(C)には、トランジスタ741として、基板700上の絶縁体708と、絶縁体708に埋め込まれた導電体704aと、を有し、絶縁体708上および導電体704a上の絶縁体712aと、絶縁体712a上の電子捕獲層715と、絶縁体712a上、電子捕獲層715上の絶縁体712bと、絶縁体712b上にあり導電体704aと重なる領域を有する半導体706と、半導体706と接する導電体716aおよび導電体716bと、半導体706上、導電体716a上および導電体716b上の絶縁体718aと、

50

絶縁体 718 a 上の絶縁体 718 b と、絶縁体 718 b 上の絶縁体 718 c と、絶縁体 718 c 上にあり半導体 706 と重なる導電体 714 a と、を有する構造を示す。なお、トランジスタ 741 の構造は一例であり、図 29 (C) に示す構造と異なる構造であっても構わない。

【0255】

したがって、図 29 (C) に示すトランジスタ 741 において、導電体 704 a はゲート電極としての機能を有し、電子捕獲層 715 は、電子を捕獲する機能を有し、絶縁体 712 a および絶縁体 712 b はゲート絶縁体としての機能を有し、導電体 716 a はソース電極としての機能を有し、導電体 716 b はドレイン電極としての機能を有し、絶縁体 718 a、絶縁体 718 b および絶縁体 718 c はゲート絶縁体としての機能を有し、導電体 714 a はゲート電極としての機能を有する。なお、半導体 706 は、光が当たることで電気特性が変動する場合がある。したがって、導電体 704 a、導電体 716 a、導電体 716 b、導電体 714 a のいずれか一以上が遮光性を有すると好ましい。

10

【0256】

なお、絶縁体 718 a および絶縁体 718 b の界面を破線で表したが、これは両者の境界が明確でない場合があることを示す。例えば、絶縁体 718 a および絶縁体 718 b として、同種の絶縁体を用いた場合、観察手法によっては両者の区別が付かない場合がある。

【0257】

図 29 (C) には、容量素子 742 として、基板 700 上の絶縁体 708 と、絶縁体 708 に埋め込まれた導電体 704 b と、絶縁体 708 上および導電体 704 b 上の絶縁体 712 a と、絶縁体 712 a 上の絶縁体 712 b と、絶縁体 712 b 上にあり導電体 704 b と重なる導電体 716 a と、導電体 716 a 上の絶縁体 718 a と、絶縁体 718 a 上の絶縁体 718 b と、絶縁体 718 b 上の絶縁体 718 c と、絶縁体 718 c 上にあり導電体 716 a と重なる導電体 714 b と、を有し、導電体 716 a および導電体 714 b の重なる領域で、絶縁体 718 a および絶縁体 718 b の一部が除去されている構造を示す。

20

【0258】

容量素子 742 において、導電体 704 b および導電体 714 b は一方の電極として機能し、導電体 716 a は他方の電極として機能する。

【0259】

したがって、容量素子 742 は、トランジスタ 741 と共通する膜を用いて作製することができる。また、導電体 704 a および導電体 704 b を同種の導電体とすると好ましい。その場合、導電体 704 a および導電体 704 b は、同一工程を経て形成することができる。また、導電体 714 a および導電体 714 b を同種の導電体とすると好ましい。その場合、導電体 714 a および導電体 714 b は、同一工程を経て形成することができる。

30

【0260】

図 29 (C) に示す容量素子 742 は、占有面積当たりの容量が大きい容量素子である。したがって、図 29 (C) は表示品位の高い EL 表示装置である。なお、図 29 (C) に示す容量素子 742 は、導電体 716 a および導電体 714 b の重なる領域を薄くするため、絶縁体 718 a および絶縁体 718 b の一部が除去された構造を有するが、本発明の一態様に係る容量素子はこれに限定されるものではない。例えば、導電体 716 a および導電体 714 b の重なる領域を薄くするため、絶縁体 718 c の一部が除去された構造を有しても構わない。

40

【0261】

トランジスタ 741 および容量素子 742 上には、絶縁体 720 が配置される。ここで、絶縁体 720 は、トランジスタ 741 のソース電極として機能する導電体 716 a に達する開口部を有してもよい。絶縁体 720 上には、導電体 781 が配置される。導電体 781 は、絶縁体 720 の開口部を介してトランジスタ 741 と電氣的に接続してもよい。

【0262】

50

導電体 781 上には、導電体 781 に達する開口部を有する隔壁 784 が配置される。隔壁 784 上には、隔壁 784 の開口部で導電体 781 と接する発光層 782 が配置される。発光層 782 上には、導電体 783 が配置される。導電体 781、発光層 782 および導電体 783 の重なる領域が、発光素子 719 となる。

【0263】

ここまでは、EL 表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0264】

図 30 (A) は、液晶表示装置の画素の構成例を示す回路図である。図 30 に示す画素は、トランジスタ 751 と、容量素子 752 と、一对の電極間に液晶の充填された素子 (液晶素子) 753 とを有する。

10

【0265】

トランジスタ 751 では、ソース、ドレインの一方が信号線 755 に電氣的に接続され、ゲートが走査線 754 に電氣的に接続されている。

【0266】

容量素子 752 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0267】

液晶素子 753 では、一方の電極がトランジスタ 751 のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子 752 の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子 753 の他方の電極に与えられる共通電位とが異なる電位であってもよい。

20

【0268】

なお、液晶表示装置も、上面図は EL 表示装置と同様として説明する。図 29 (B) の一点鎖線 M - N に対応する液晶表示装置の断面図を図 30 (B) に示す。図 30 (B) において、FPC 732 は、端子 731 を介して配線 733 a と接続される。なお、配線 733 a は、トランジスタ 751 を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

【0269】

トランジスタ 751 は、トランジスタ 741 についての記載を参照する。また、容量素子 752 は、容量素子 742 についての記載を参照する。なお、図 30 (B) には、図 29 (C) の容量素子 742 に対応した容量素子 752 の構造を示したが、これに限定されない。

30

【0270】

なお、トランジスタ 751 の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子 752 に保持された電荷がリークしにくく、長期間に渡って液晶素子 753 に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ 751 をオフ状態とすることで、トランジスタ 751 の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子 752 の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

40

【0271】

トランジスタ 751 および容量素子 752 上には、絶縁体 721 が配置される。ここで、絶縁体 721 は、トランジスタ 751 に達する開口部を有する。絶縁体 721 上には、導電体 791 が配置される。導電体 791 は、絶縁体 721 の開口部を介してトランジスタ 751 と電氣的に接続する。

【0272】

導電体 791 上には、配向膜として機能する絶縁体 792 が配置される。絶縁体 792 上には、液晶層 793 が配置される。液晶層 793 上には、配向膜として機能する絶縁体 794 が配置される。絶縁体 794 上には、スペーサ 795 が配置される。スペーサ 795

50

および絶縁体 794 上には、導電体 796 が配置される。導電体 796 上には、基板 797 が配置される。

【0273】

上述した構造を有することで、占有面積の小さい容量素子を有する表示装置を提供することができる、または、表示品位の高い表示装置を提供することができる。または、高精細の表示装置を提供することができる。

【0274】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子、又は発光装置は、例えば、EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウエティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。

10

20

【0275】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、電子粉流体（登録商標）または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようによればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようによればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

30

【0276】

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体は、スパッタリング法で成膜することも可能である。

40

【0277】

（実施の形態8）

本実施の形態では、上記実施の形態で例示したトランジスタ、または記憶装置を含むRFタグについて、図31を用いて説明する。

【0278】

50

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

#### 【0279】

RFタグの構成について図31を用いて説明する。図31は、RFタグの構成例を示すブロック図である。

#### 【0280】

図31に示すようにRFタグ800は、通信器801（質問器、リーダ/ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。また、RFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一对のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式

10

20

#### 【0281】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

30

#### 【0282】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

#### 【0283】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

#### 【0284】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号（ID）などを格納し、処理に応じて出力を行うための回路である。

40

#### 【0285】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

#### 【0286】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書

50

き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0287】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM 811に適用することもできる。その場合には、生産者がROM 811にデータを書き込むためのコマンドを別途用意し、ユーザーが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

10

【0288】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0289】

（実施の形態9）

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

20

【0290】

図32は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0291】

図32に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic Logic Unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198（Bus I/F）、書き換え可能なROM1199、及びROMインターフェース1189（ROM I/F）を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROMインターフェース1189は、別チップに設けてもよい。もちろん、図32に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図32に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

30

【0292】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

40

【0293】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

50

## 【0294】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

## 【0295】

図32に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

10

## 【0296】

図32に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

20

## 【0297】

図33は、レジスタ1196として用いることのできる記憶回路の回路図の一例である。記憶回路1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶回路1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

## 【0298】

ここで、回路1202には、先の実施の形態で説明した記憶装置を用いることができる。記憶回路1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートには接地電位(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

30

## 【0299】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213のオン状態またはオフ状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1214のオン状態またはオフ状態)が選択される。

40

## 【0300】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうち的一方、及びトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位

50



を供給することのできる配線（例えばGND線）に電氣的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電氣的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。容量素子1208の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうち他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

10

#### 【0301】

なお、容量素子1207及び容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

20

#### 【0302】

トランジスタ1209の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ1203及びスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

#### 【0303】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図33では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

30

#### 【0304】

なお、図33では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206及び回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

40

#### 【0305】

また、図33において、記憶回路1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶回路1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶回路1200は、トランジスタ1209以外

50

にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1 1 9 0 にチャンネルが形成されるトランジスタとすることもできる。

【0306】

図 3 3 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックドインバータ等を用いることができる。

【0307】

本発明の一態様における半導体装置では、記憶回路 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

10

【0308】

また、酸化物半導体にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶回路 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶回路 1 2 0 0 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

20

【0309】

また、スイッチ 1 2 0 3 及びスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶回路であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

【0310】

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ 1 2 1 0 のゲートに入力される。そのため、記憶回路 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号を、トランジスタ 1 2 1 0 の状態（オン状態、またはオフ状態）に変換して、回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

30

【0311】

このような記憶回路 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0312】

本実施の形態では、記憶回路 1 2 0 0 を CPU に用いる例として説明したが、記憶回路 1 2 0 0 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF タグにも応用可能である。

40

【0313】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0314】

(実施の形態 10)

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【0315】

[構成例]

50

図34(A)は、本発明の一態様の表示パネルの上面図であり、図34(B)は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図34(C)は、本発明の一態様の表示パネルの画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0316】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャンネル型とすることが容易なので、駆動回路のうち、nチャンネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

10

【0317】

アクティブマトリクス型表示装置のブロック図の一例を図34(A)に示す。表示装置の基板400上には、画素部401、第1の走査線駆動回路402、第2の走査線駆動回路403、信号線駆動回路404を有する。画素部401には、複数の信号線が信号線駆動回路404から延伸して配置され、複数の走査線が第1の走査線駆動回路402、及び第2の走査線駆動回路403から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板400はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

20

【0318】

図34(A)では、第1の走査線駆動回路402、第2の走査線駆動回路403、信号線駆動回路404は、画素部401と同じ基板400上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板400外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板400上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

【0319】

〔液晶パネル〕

また、画素の回路構成の一例を図34(B)に示す。ここでは、VA型液晶表示パネルの画素に適用することができる画素回路を示す。

30

【0320】

この画素回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

【0321】

トランジスタ416のゲート配線412と、トランジスタ417のゲート配線413には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極またはドレイン電極414は、トランジスタ416とトランジスタ417で共通に用いられている。トランジスタ416とトランジスタ417は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

40

【0322】

トランジスタ416には第1の画素電極が電氣的に接続され、トランジスタ417には、第2の画素電極が電氣的に接続される。第1の画素電極と第2の画素電極とは分離されている。なお、第1の画素電極および第2の画素電極の形状としては、特に限定は無い。例えば、第1の画素電極は、V字状とすればよい。

【0323】

50

トランジスタ 4 1 6 のゲート電極はゲート配線 4 1 2 と接続され、トランジスタ 4 1 7 のゲート電極はゲート配線 4 1 3 と接続されている。ゲート配線 4 1 2 とゲート配線 4 1 3 に異なるゲート信号を与えてトランジスタ 4 1 6 とトランジスタ 4 1 7 の動作タイミングを異ならせ、液晶の配向を制御できる。

【 0 3 2 4 】

また、容量配線 4 1 0 と、誘電体として機能するゲート絶縁体と、第 1 の画素電極または第 2 の画素電極と電氣的に接続する容量電極とで保持容量を形成してもよい。

【 0 3 2 5 】

マルチドメイン構造は、一画素に第 1 の液晶素子 4 1 8 と第 2 の液晶素子 4 1 9 を備える。第 1 の液晶素子 4 1 8 は第 1 の画素電極と対向電極とその間の液晶層とで構成され、第 2 の液晶素子 4 1 9 は第 2 の画素電極と対向電極とその間の液晶層とで構成される。

【 0 3 2 6 】

なお、図 3 4 ( B ) に示す画素回路は、これに限定されない。例えば、図 3 4 ( B ) に示す画素回路に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【 0 3 2 7 】

〔有機 E L パネル〕

画素の回路構成の他の一例を図 3 4 ( C ) に示す。ここでは、有機 E L 素子を用いた表示パネルの画素構造を示す。

【 0 3 2 8 】

有機 E L 素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子及び正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【 0 3 2 9 】

図 3 4 ( C ) は、適用可能な画素回路の一例を示す図である。ここでは n チャネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、n チャネル型のトランジスタのチャンネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【 0 3 3 0 】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【 0 3 3 1 】

画素 4 2 0 は、スイッチング用トランジスタ 4 2 1、駆動用トランジスタ 4 2 2、発光素子 4 2 4 及び容量素子 4 2 3 を有している。スイッチング用トランジスタ 4 2 1 は、ゲート電極が走査線 4 2 6 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 4 2 5 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 4 2 2 のゲート電極に接続されている。駆動用トランジスタ 4 2 2 は、ゲート電極が容量素子 4 2 3 を介して電源線 4 2 7 に接続され、第 1 電極が電源線 4 2 7 に接続され、第 2 電極が発光素子 4 2 4 の第 1 電極（画素電極）に接続されている。発光素子 4 2 4 の第 2 電極は共通電極 4 2 8 に相当する。共通電極 4 2 8 は、同一基板上に形成される共通電位線と電氣的に接続される。

【 0 3 3 2 】

スイッチング用トランジスタ 4 2 1 及び駆動用トランジスタ 4 2 2 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機 E L 表示パネルを提供することができる。

【 0 3 3 3 】

発光素子 4 2 4 の第 2 電極（共通電極 4 2 8）の電位は低電源電位に設定する。なお、低電源電位とは、電源線 4 2 7 に供給される高電源電位より低い電位であり、例えば G N

10

20

30

40

50

D、0Vなどを低電源電位として設定することができる。発光素子424の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子424に印加することにより、発光素子424に電流を流して発光させる。なお、発光素子424の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0334】

なお、容量素子423は駆動用トランジスタ422のゲート容量を代用することにより省略できる。駆動用トランジスタ422のゲート容量については、チャンネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0335】

次に、駆動用トランジスタ422に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ422が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ422に入力する。なお、駆動用トランジスタ422を線形領域で動作させるために、電源線427の電圧よりも高い電圧を駆動用トランジスタ422のゲート電極にかける。また、信号線425には、電源線電圧に駆動用トランジスタ422の閾値電圧 $V_{th}$ を加えた値以上の電圧をかける。

【0336】

アナログ階調駆動を行う場合、駆動用トランジスタ422のゲート電極に発光素子424の順方向電圧に駆動用トランジスタ422の閾値電圧 $V_{th}$ を加えた値以上の電圧をかける。なお、駆動用トランジスタ422が飽和領域で動作するようにビデオ信号を入力し、発光素子424に電流を流す。また、駆動用トランジスタ422を飽和領域で動作させるために、電源線427の電位を、駆動用トランジスタ422のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子424にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0337】

なお、画素回路の構成は、図34(C)に示す画素構成に限定されない。例えば、図34(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

【0338】

図34で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極(第1の電極)、高電位側にドレイン電極(第2の電極)がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0339】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0340】

(実施の形態11)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図35に示す。

【0341】

10

20

30

40

50

図 3 5 ( A ) は携帯型ゲーム機であり、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイクロフォン 9 0 5、スピーカー 9 0 6、操作キー 9 0 7、スタイラス 9 0 8 等を有する。なお、図 3 5 ( A ) に示した携帯型ゲーム機は、2 つの表示部 9 0 3 と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【 0 3 4 2 】

図 3 5 ( B ) は携帯データ端末であり、第 1 筐体 9 1 1、第 2 筐体 9 1 2、第 1 表示部 9 1 3、第 2 表示部 9 1 4、接続部 9 1 5、操作キー 9 1 6 等を有する。第 1 表示部 9 1 3 は第 1 筐体 9 1 1 に設けられており、第 2 表示部 9 1 4 は第 2 筐体 9 1 2 に設けられている。そして、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 とは、接続部 9 1 5 により接続されており、第 1 筐体 9 1 1 と第 2 筐体 9 1 2 の間の角度は、接続部 9 1 5 により変更が可能である。第 1 表示部 9 1 3 における映像を、接続部 9 1 5 における第 1 筐体 9 1 1 と第 2 筐体 9 1 2 との間の角度に従って、切り替える構成としてもよい。また、第 1 表示部 9 1 3 及び第 2 表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【 0 3 4 3 】

図 3 5 ( C ) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

20

【 0 3 4 4 】

図 3 5 ( D ) は電気冷凍冷蔵庫であり、筐体 9 3 1、冷蔵室用扉 9 3 2、冷凍室用扉 9 3 3 等を有する。

【 0 3 4 5 】

図 3 5 ( E ) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 及びレンズ 9 4 5 は第 1 筐体 9 4 1 に設けられており、表示部 9 4 3 は第 2 筐体 9 4 2 に設けられている。そして、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 とは、接続部 9 4 6 により接続されており、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度に従って切り替える構成としてもよい。

30

【 0 3 4 6 】

図 3 5 ( F ) は自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【 0 3 4 7 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 0 3 4 8 】

( 実施の形態 1 2 )

40

本実施の形態では、本発明の一態様に係る R F タグの使用例について図 3 6 を用いながら説明する。R F タグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類 ( 運転免許証や住民票等、図 3 6 ( A ) 参照 )、記録媒体 ( D V D やビデオテープ等、図 3 6 ( B ) 参照 )、包装用容器類 ( 包装紙やボトル等、図 3 6 ( C ) 参照 )、乗り物類 ( 自転車等、図 3 6 ( D ) 参照 )、身の回り品 ( 鞆や眼鏡等 )、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器 ( 液晶表示装置、E L 表示装置、テレビジョン装置、または携帯電話 ) 等の物品、若しくは各物品に取り付ける荷札 ( 図 3 6 ( E )、図 3 6 ( F ) 参照 ) 等に設けて使用することができる。

【 0 3 4 9 】

50

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

#### 【0350】

以上のように、本発明の一態様に係わるRFタグを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

#### 【0351】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

#### 【符号の説明】

#### 【0352】

101	半導体	
102	電子捕獲層	
102a	絶縁体	
102b	絶縁体	
102c	絶縁体	
102d	導電体	
102e	絶縁体	
103	ゲート電極	30
104	ゲート絶縁体	
105	ゲート電極	
106	電子捕獲準位	
107	電子	
108	曲線	
109	曲線	
110	トランジスタ	
111	容量素子	
200	撮像装置	
201	スイッチ	40
202	スイッチ	
203	スイッチ	
210	画素部	
211	画素	
212	副画素	
212B	副画素	
212G	副画素	
212R	副画素	
220	光電変換素子	
230	画素回路	50

2 3 1	配線	
2 4 7	配線	
2 4 8	配線	
2 4 9	配線	
2 5 0	配線	
2 5 3	配線	
2 5 4	フィルタ	
2 5 4 B	フィルタ	
2 5 4 G	フィルタ	
2 5 4 R	フィルタ	10
2 5 5	レンズ	
2 5 6	光	
2 5 7	配線	
2 6 0	周辺回路	
2 7 0	周辺回路	
2 8 0	周辺回路	
2 9 0	周辺回路	
2 9 1	光源	
3 0 0	トランジスタ	
3 0 2	絶縁体	20
3 0 3	絶縁体	
3 0 4	コンタクトホール	
3 0 8	絶縁体	
3 1 0	トランジスタ	
3 1 5	容量素子	
3 2 0	容量素子	
3 3 0	ゲート電極	
3 4 1	電極	
3 4 2	電極	
3 5 0	基板	30
3 5 1	S T I	
3 5 3	拡散層	
3 5 4	絶縁体	
3 5 5	サイドウォール	
3 6 0	絶縁体	
3 6 1	絶縁体	
3 6 2	絶縁体	
3 6 3	絶縁体	
3 6 4	絶縁体	
3 6 5	絶縁体	40
3 7 0	プラグ	
3 7 1	プラグ	
3 7 2	プラグ	
3 7 3	配線層	
3 7 4	配線層	
3 7 5	配線層	
3 7 6	配線層	
3 7 7	配線層	
3 7 8	配線層	
3 7 9	配線層	50



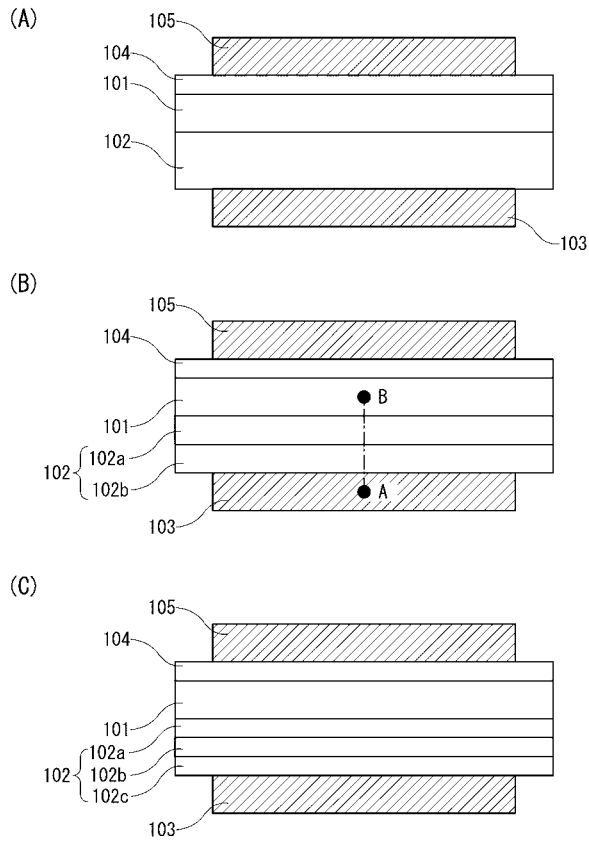
3 8 0	配線層	
3 8 1	配線層	
3 8 2	プラグ	
3 8 3	プラグ	
3 8 4	プラグ	
3 8 5	配線層	
3 8 6	配線層	
3 8 7	配線層	
3 8 8	プラグ	
3 8 9	プラグ	10
3 9 0	配線層	
3 9 1	プラグ	
3 9 2	プラグ	
3 9 3	配線層	
3 9 4	配線層	
4 0 0	基板	
4 0 1	画素部	
4 0 2	走査線駆動回路	
4 0 3	走査線駆動回路	
4 0 4	信号線駆動回路	20
4 1 0	容量配線	
4 1 2	ゲート配線	
4 1 3	ゲート配線	
4 1 4	ドレイン電極	
4 1 6	トランジスタ	
4 1 7	トランジスタ	
4 1 8	液晶素子	
4 1 9	液晶素子	
4 2 0	画素	
4 2 1	スイッチング用トランジスタ	30
4 2 2	駆動用トランジスタ	
4 2 3	容量素子	
4 2 4	発光素子	
4 2 5	信号線	
4 2 6	走査線	
4 2 7	電源線	
4 2 8	共通電極	
5 0 0	シリコン基板	
5 1 0	層	
5 2 0	層	40
5 3 0	層	
5 4 0	層	
5 5 1	トランジスタ	
5 5 2	トランジスタ	
5 5 3	トランジスタ	
5 6 0	フォトダイオード	
5 6 1	アノード	
5 6 2	カソード	
5 6 3	低抵抗領域	
5 7 0	プラグ	50

5 7 1	配線	
5 7 2	配線	
5 7 3	配線	
5 8 0	絶縁体	
5 8 1	絶縁体	
5 8 3	コンタクトホール	
5 9 0	マイクロレンズアレイ層	
5 9 2	カラーフィルター層	
5 9 4	遮光層	
6 0 0	基板	10
6 0 2	絶縁体	
6 0 4	絶縁体	
6 0 6	ゲート電極	
6 0 6 b	ゲート電極	
6 0 8	絶縁体	
6 1 0	電子捕獲層	
6 1 2	絶縁体	
6 1 3	酸化物半導体	
6 1 4	酸化物半導体	
6 1 4 a	酸化物半導体	20
6 1 4 c	酸化物半導体	
6 1 5	導電体	
6 1 6 a	ソース電極	
6 1 6 b	ドレイン電極	
6 1 8	ゲート絶縁体	
6 2 0	ゲート電極	
6 2 2	絶縁体	
6 5 0	チャネル形成領域	
7 0 0	基板	
7 0 4 a	導電体	30
7 0 4 b	導電体	
7 0 6	半導体	
7 0 8	絶縁体	
7 1 2 a	絶縁体	
7 1 2 b	絶縁体	
7 1 4 a	導電体	
7 1 4 b	導電体	
7 1 5	電子捕獲層	
7 1 6 a	導電体	40
7 1 6 b	導電体	
7 1 8 a	絶縁体	
7 1 8 b	絶縁体	
7 1 8 c	絶縁体	
7 1 9	発光素子	
7 2 0	絶縁体	
7 2 1	絶縁体	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	50

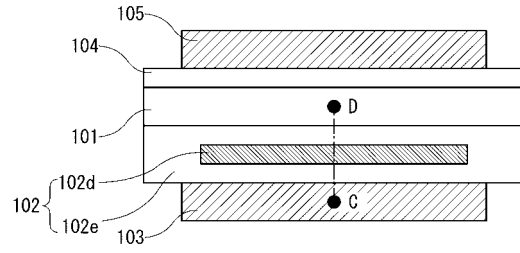
7 3 5	駆動回路	
7 3 6	駆動回路	
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	容量素子	
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	10
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	
7 8 1	導電体	
7 8 2	発光層	
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	20
7 9 4	絶縁体	
7 9 5	スペーサ	
7 9 6	導電体	
7 9 7	基板	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	30
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	40
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	50

9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	10
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	20
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶回路	
1 2 0 1	回路	30
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	40
1 2 2 0	回路	
4 0 0 0	RFタグ	
5 1 0 0	ペレット	
5 1 2 0	基板	
5 1 6 1	領域	

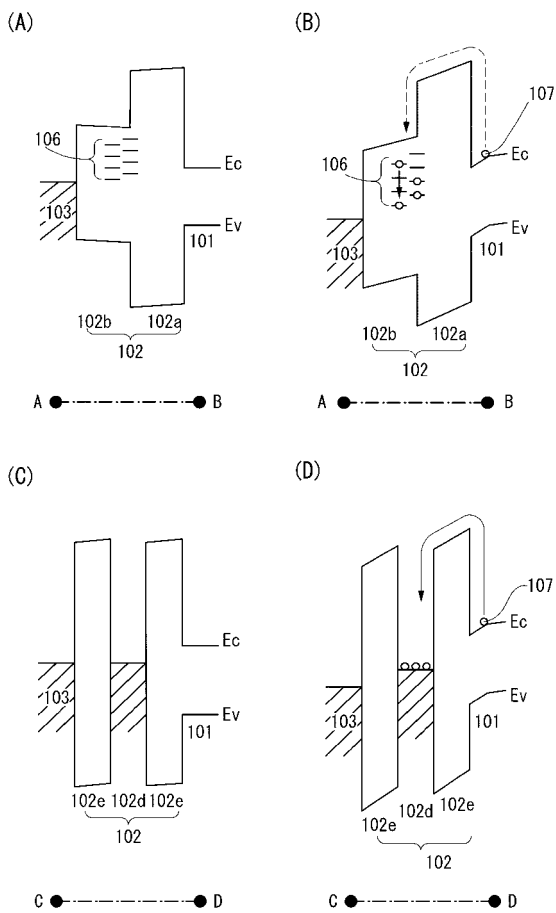
【 図 1 】



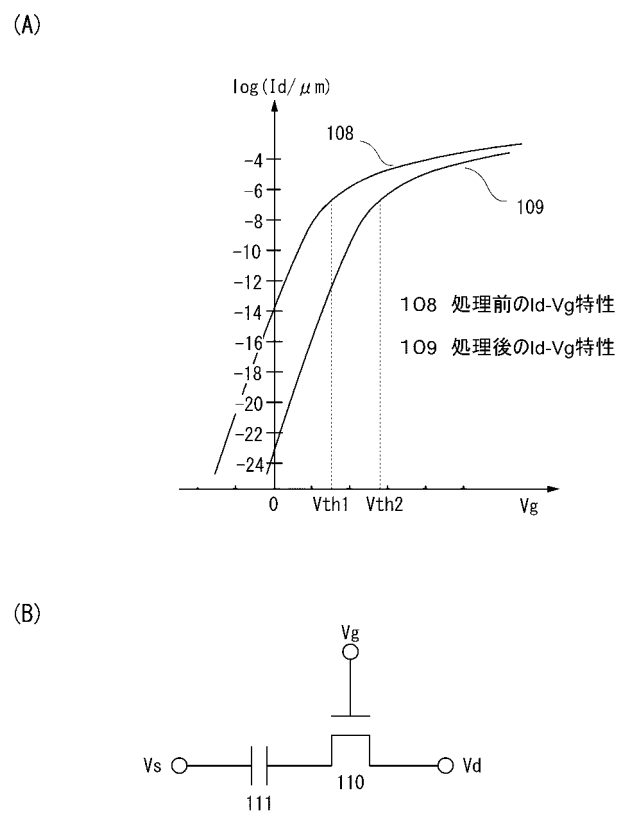
【 図 2 】



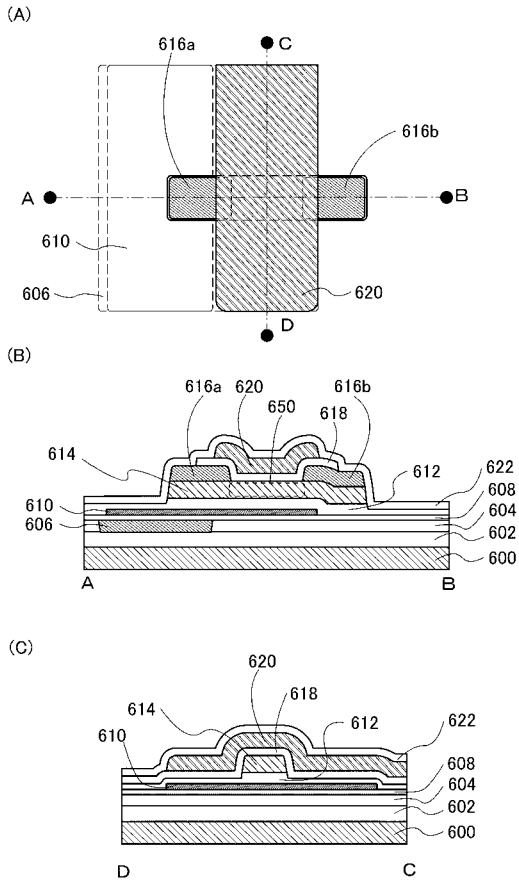
【 図 3 】



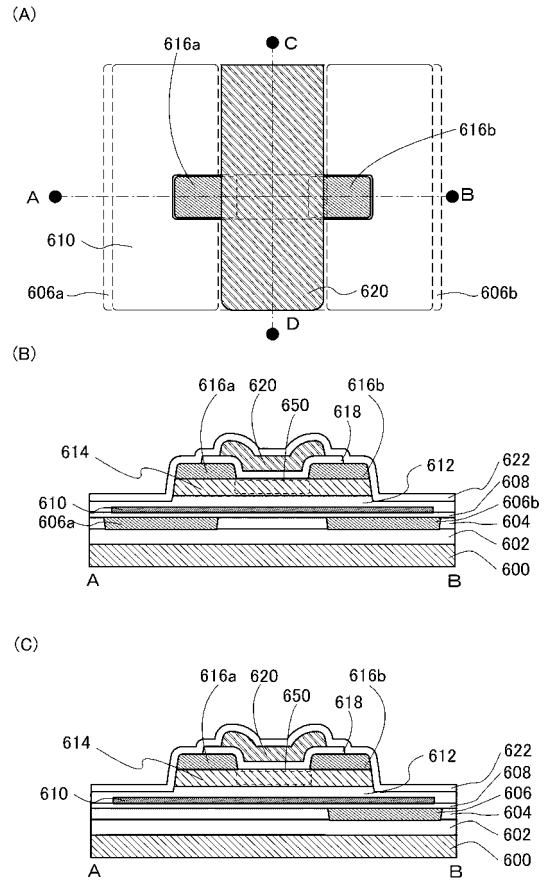
【 図 4 】



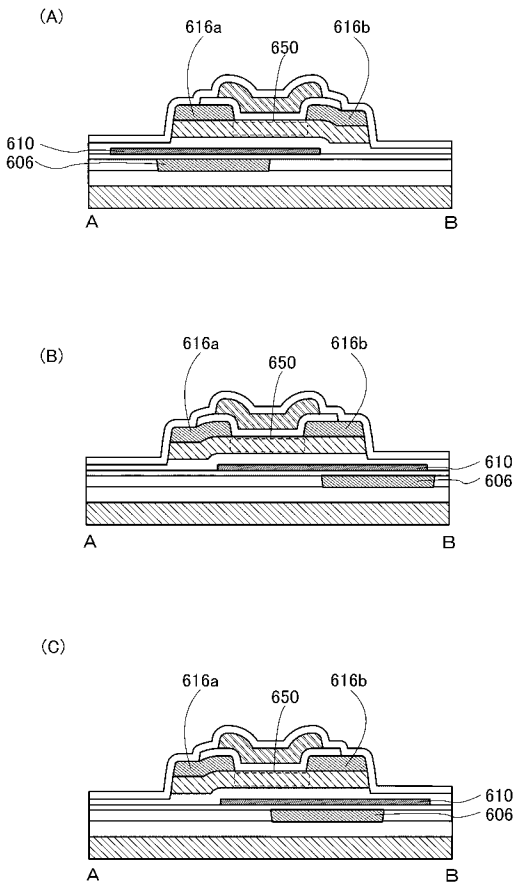
【 図 5 】



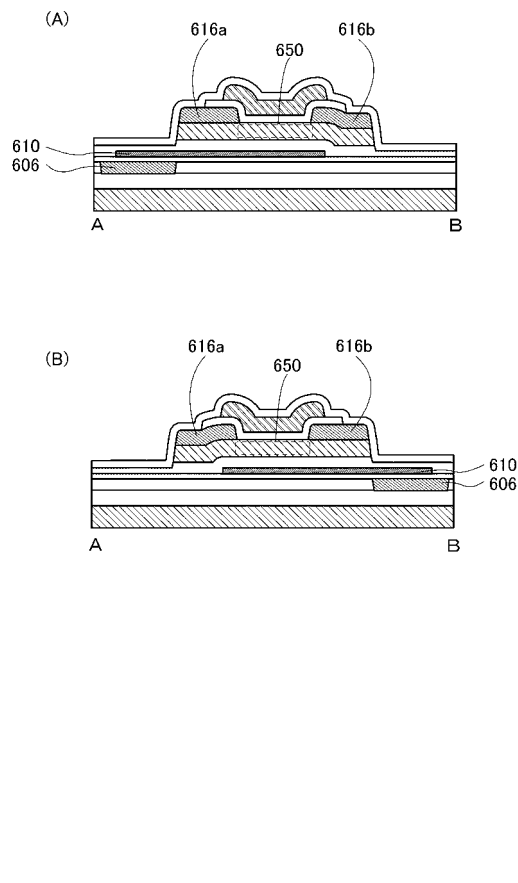
【 図 6 】



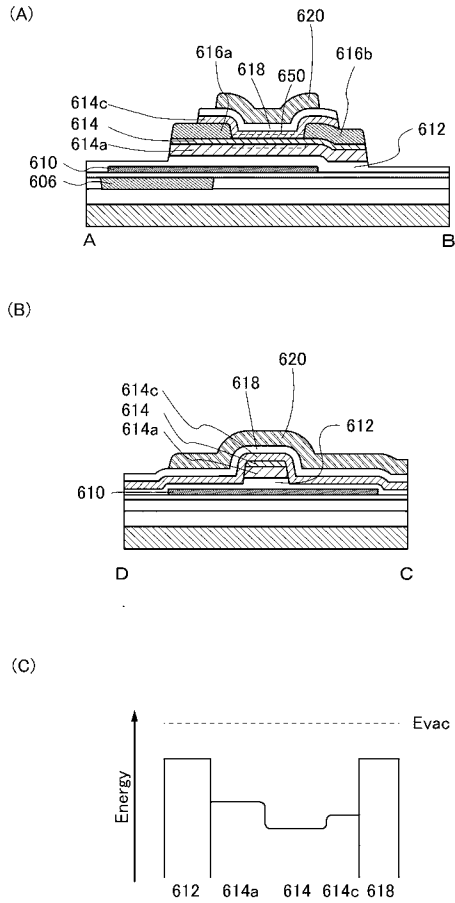
【 図 7 】



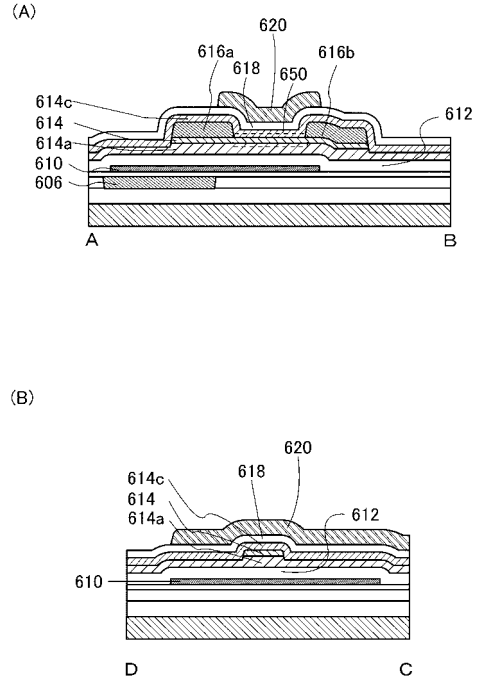
【 図 8 】



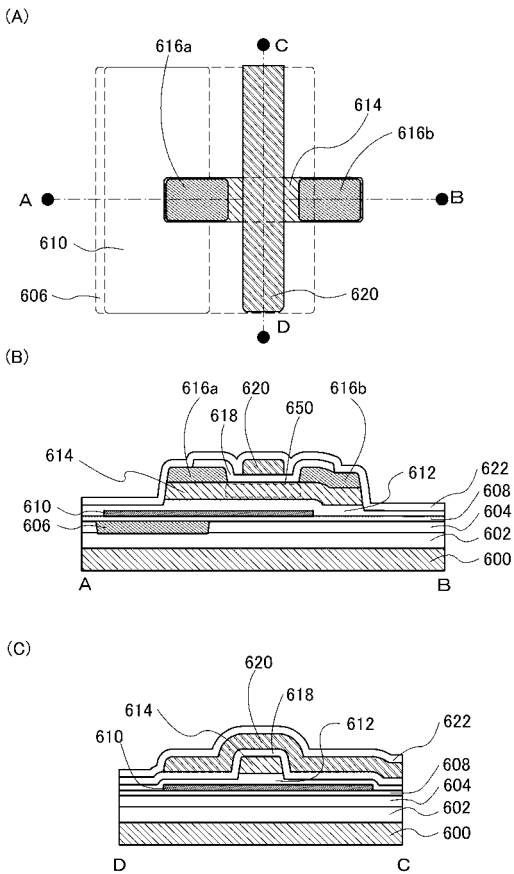
【 図 9 】



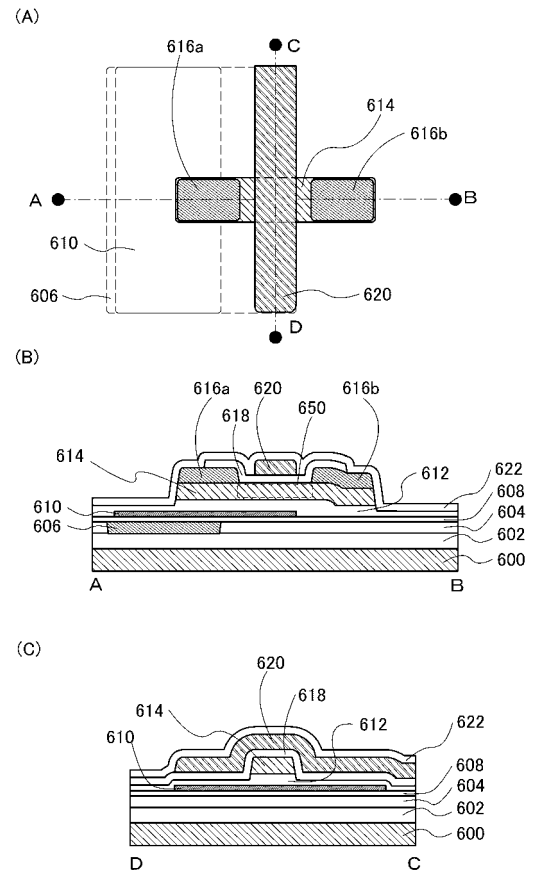
【 図 1 0 】



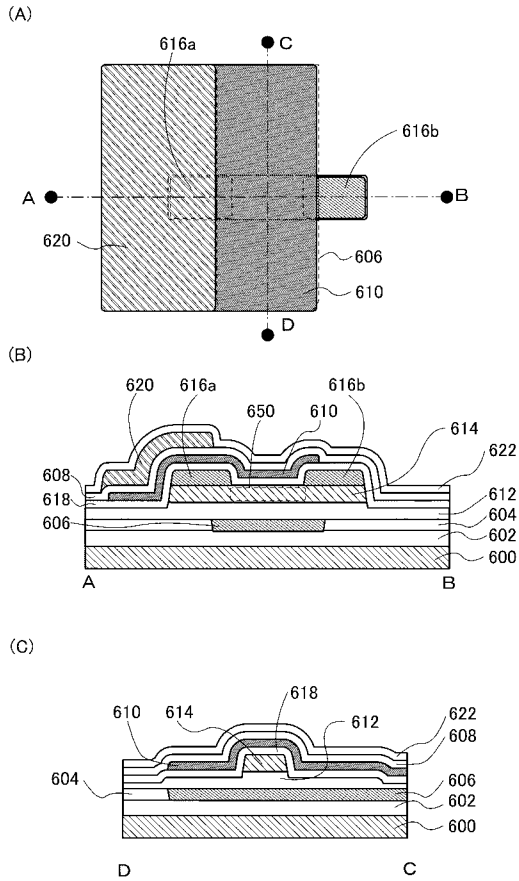
【 図 1 1 】



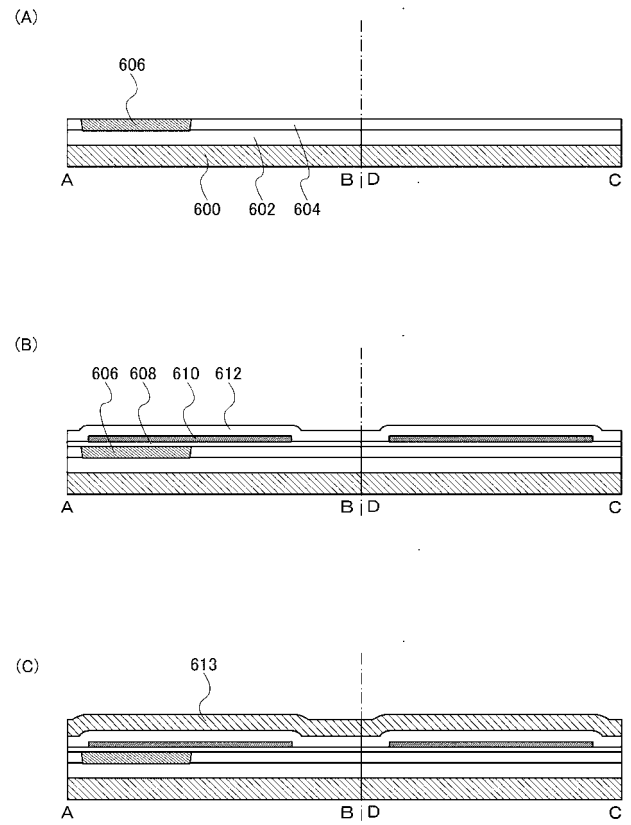
【 図 1 2 】



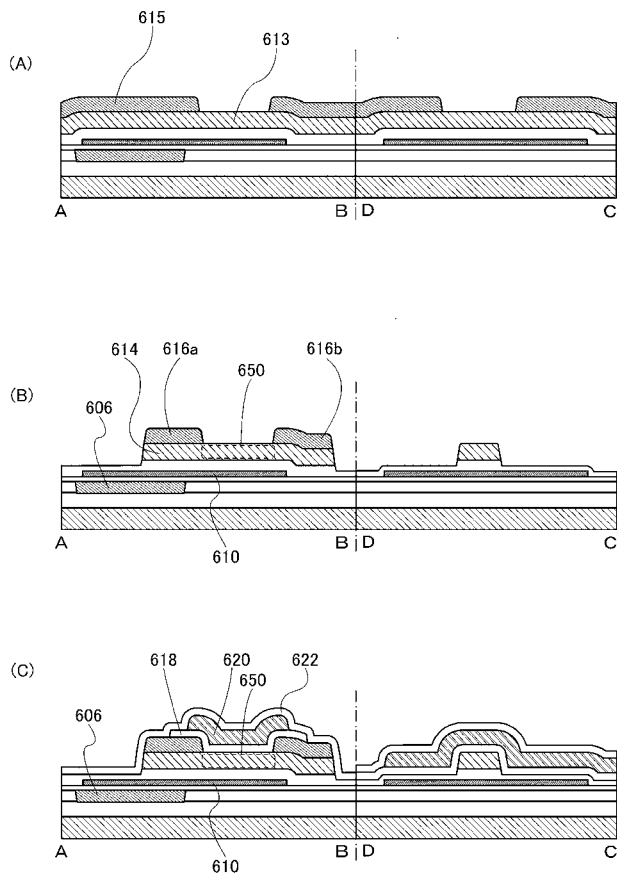
【図 1 3】



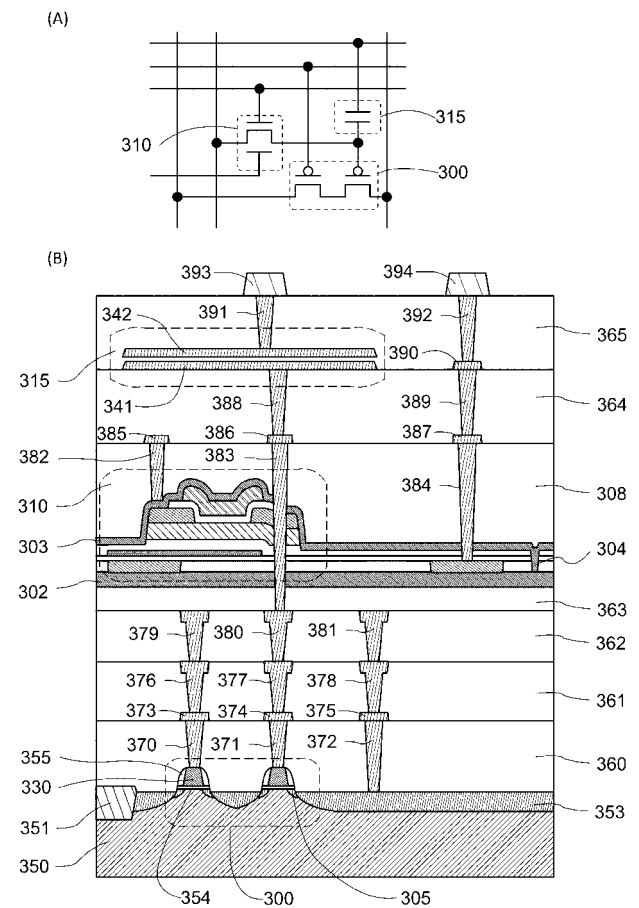
【図 1 4】



【図 1 5】

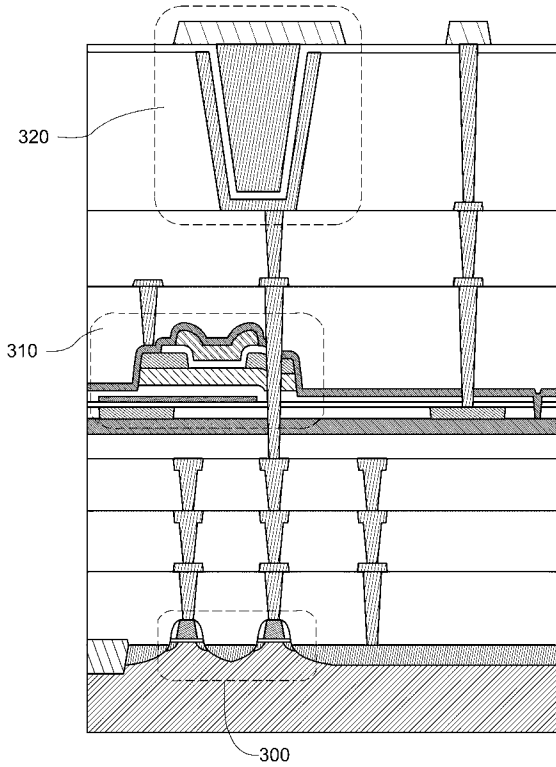


【図 2 1】

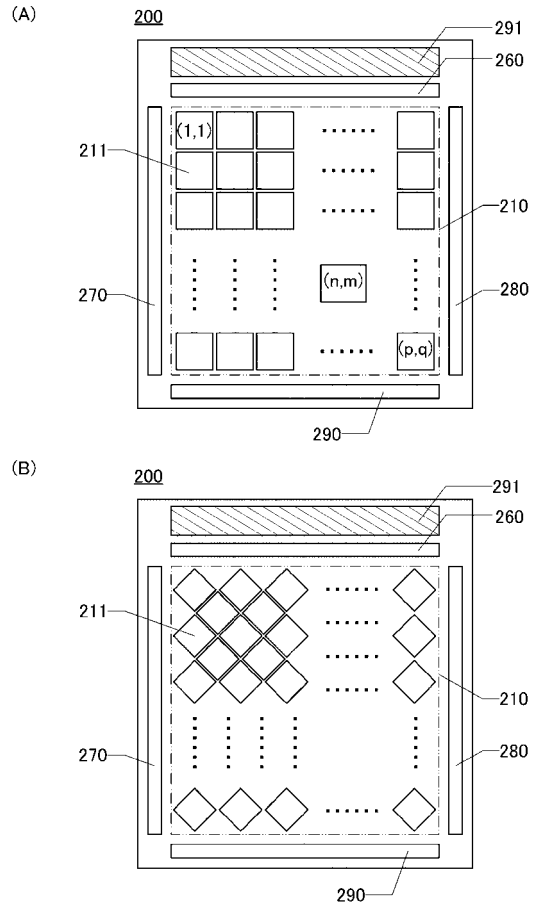




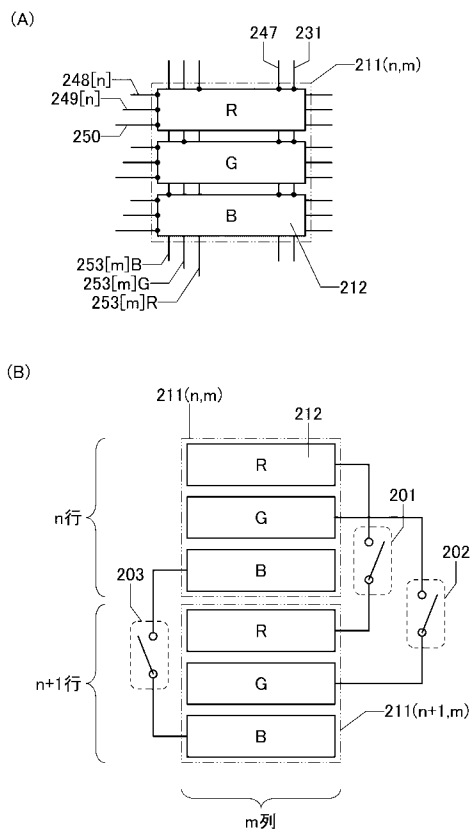
【 図 2 2 】



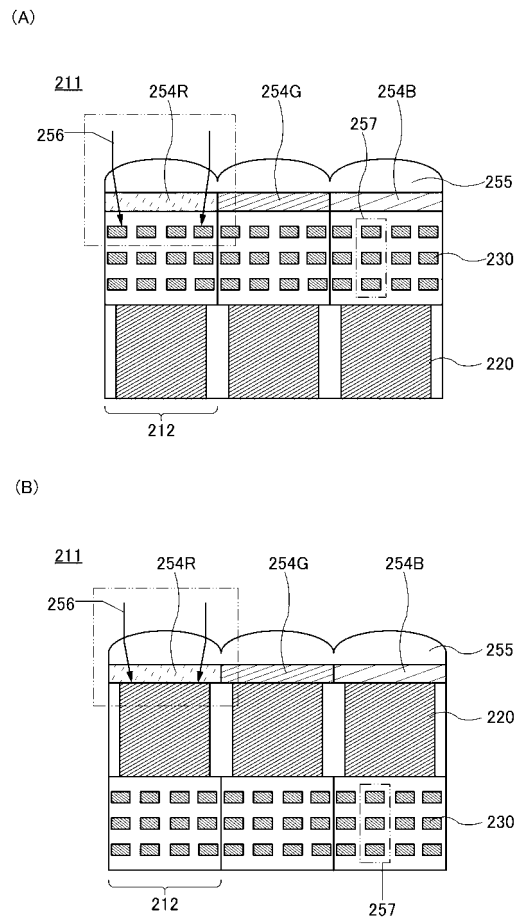
【 図 2 3 】



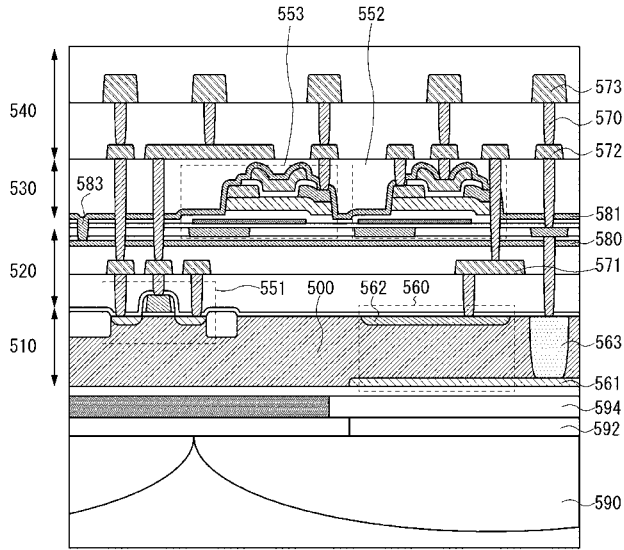
【 図 2 4 】



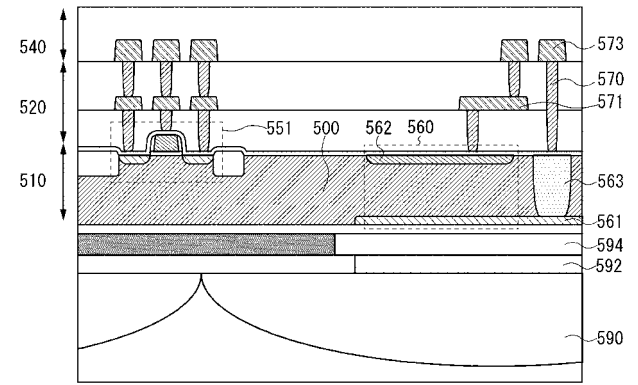
【 図 2 5 】



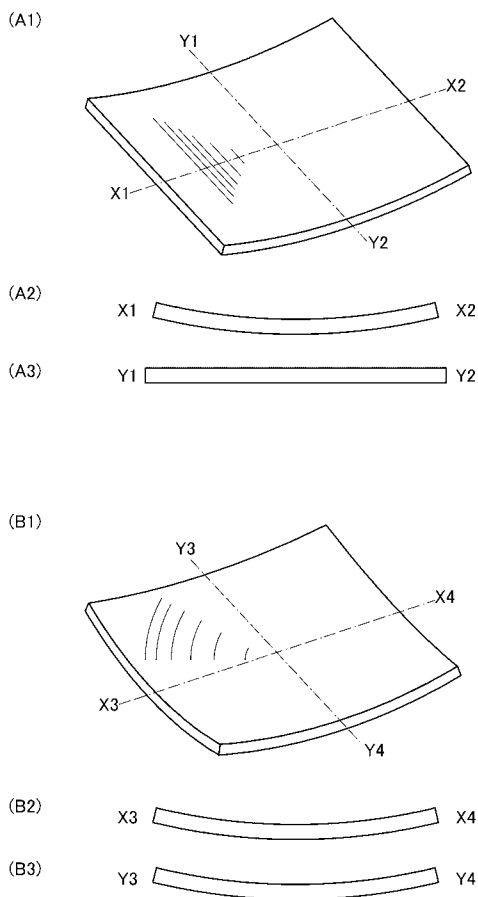
【 図 2 6 】



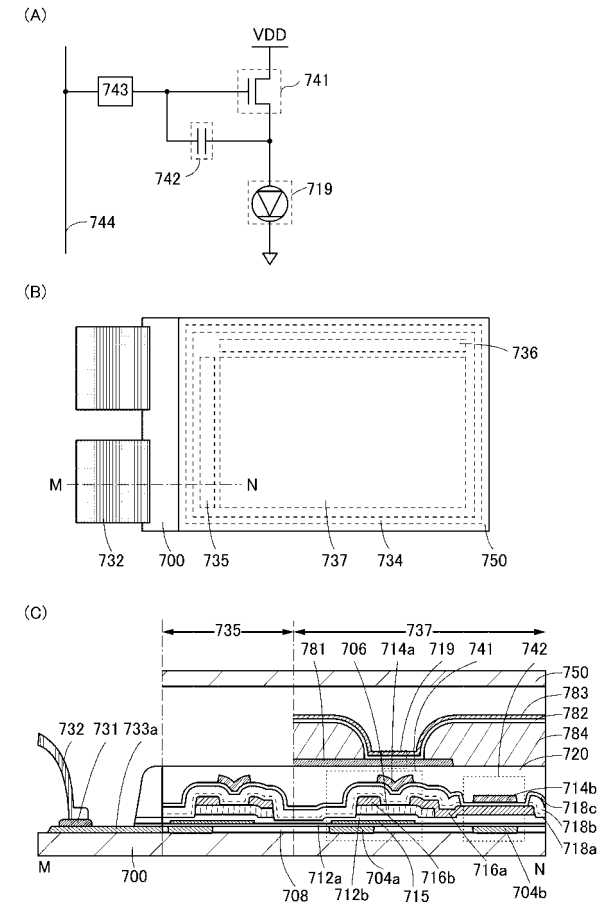
【 図 2 7 】



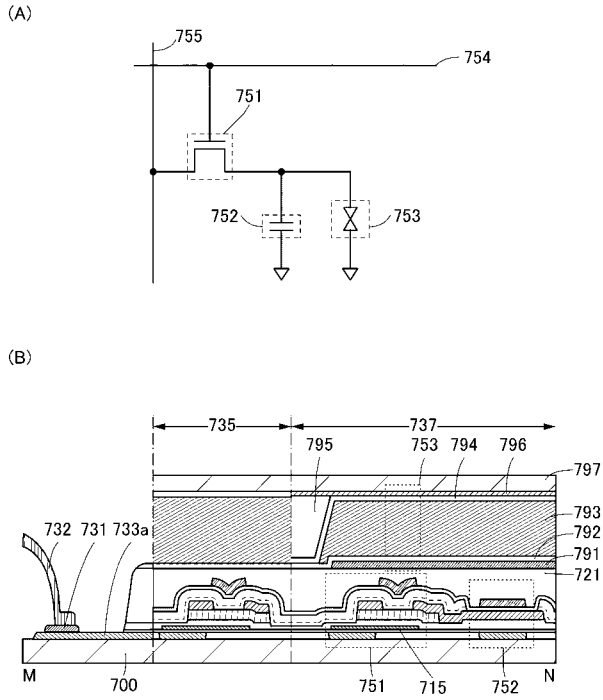
【 図 2 8 】



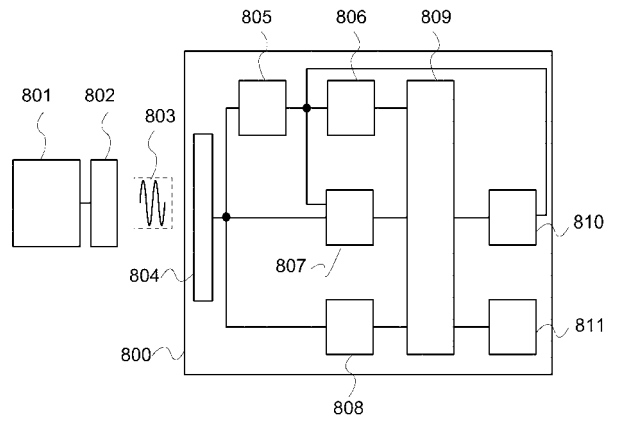
【 図 2 9 】



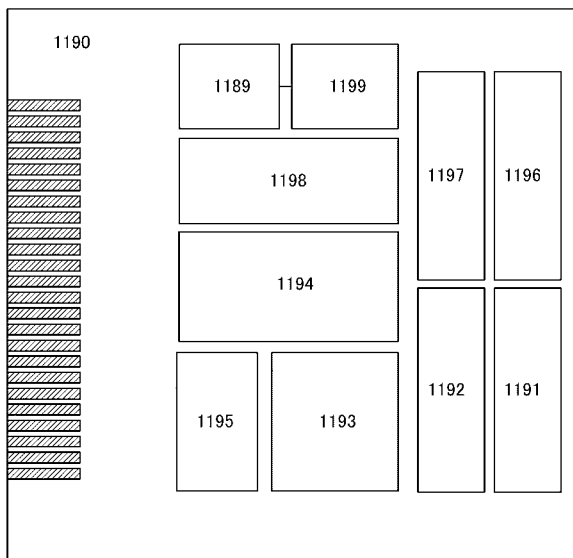
【 図 3 0 】



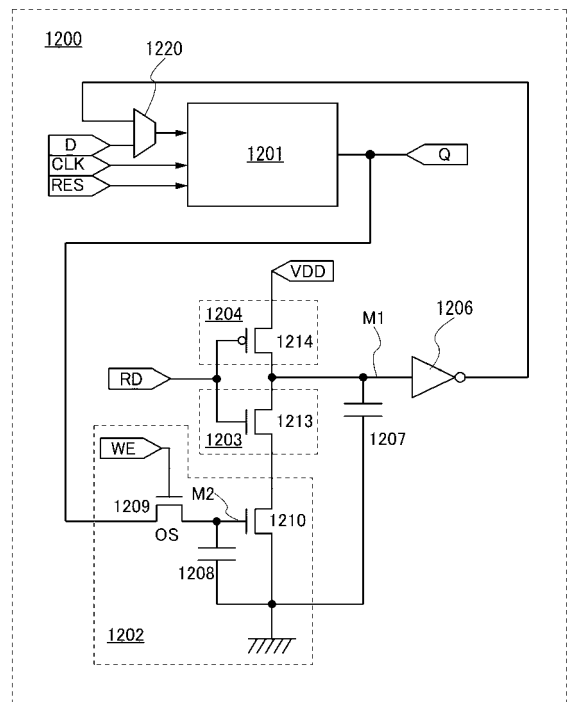
【 図 3 1 】



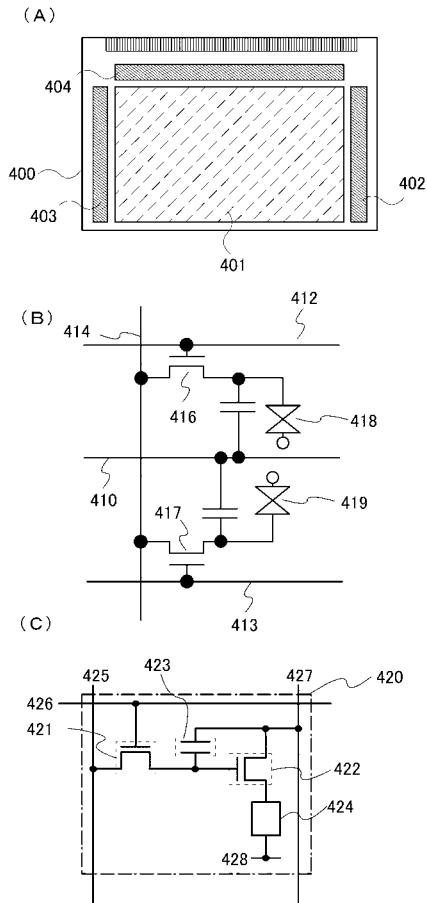
【 図 3 2 】



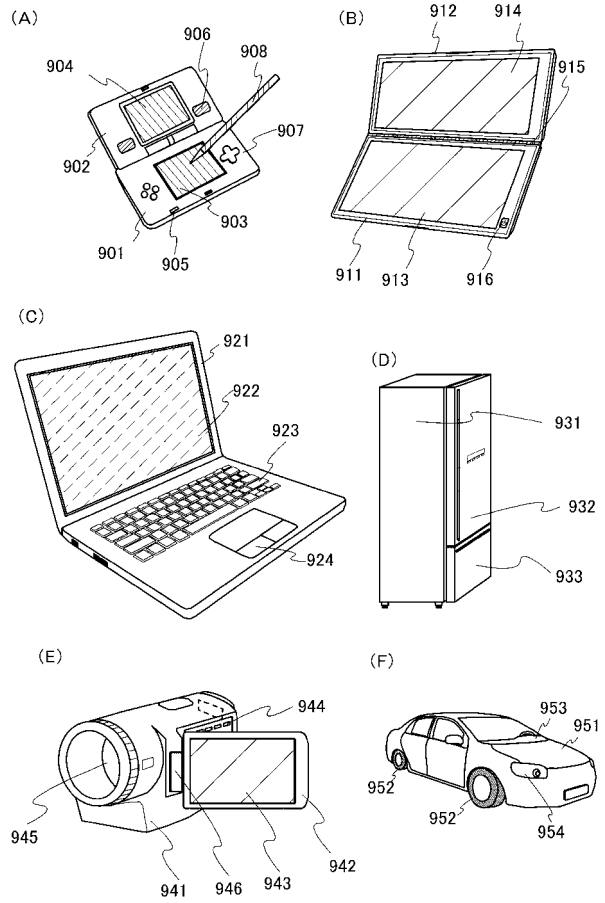
【 図 3 3 】



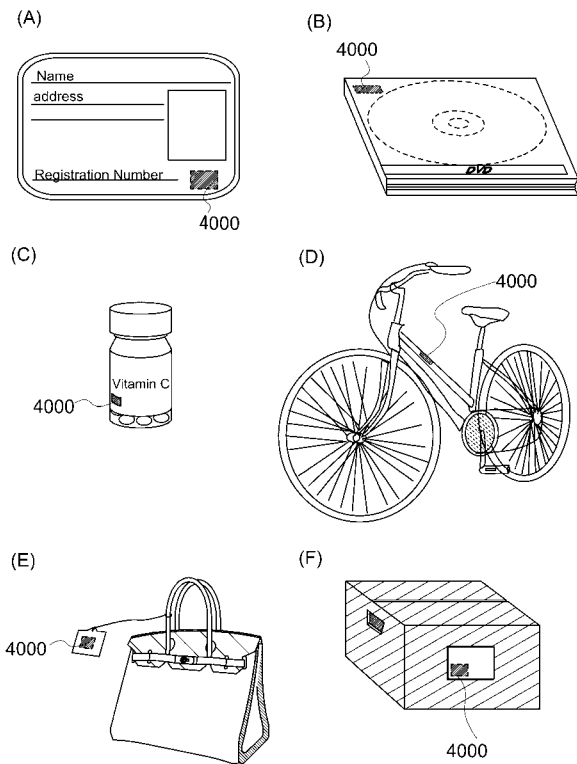
【図34】



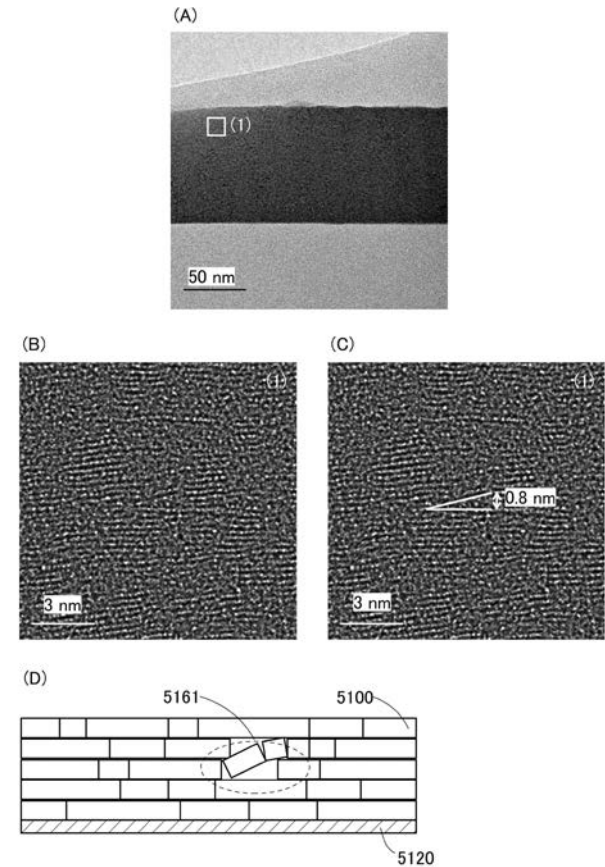
【図35】



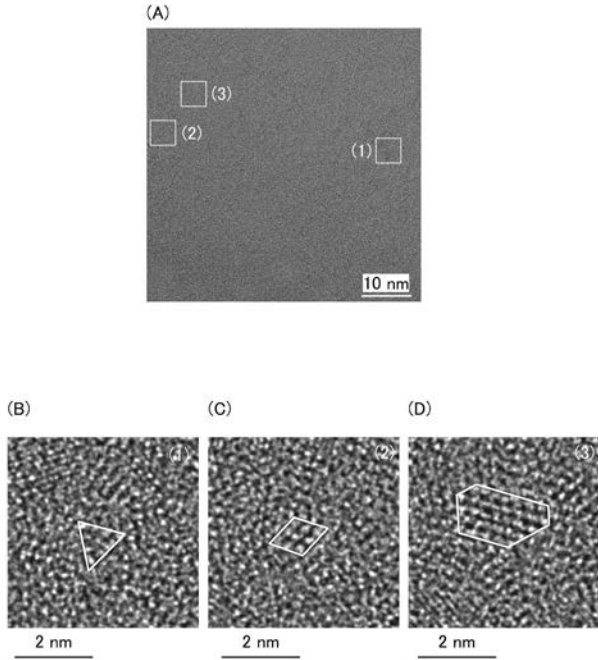
【図36】



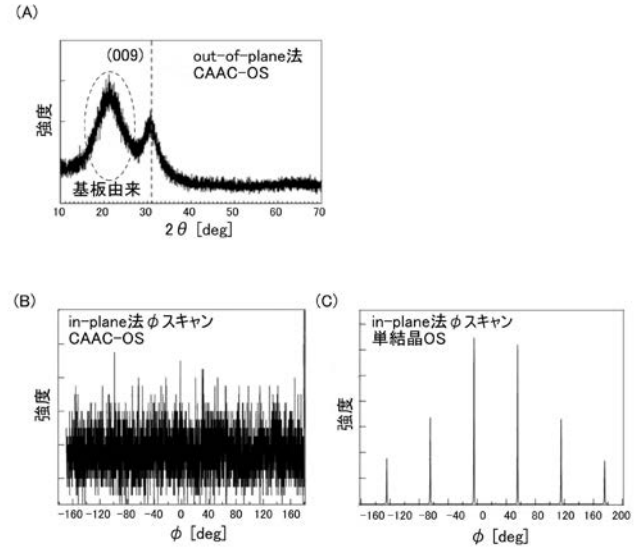
【図16】



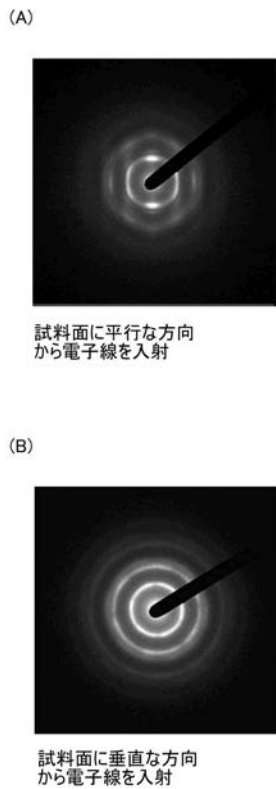
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



【 図 2 0 】

