

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-247548
(P2013-247548A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.			F I			テーマコード (参考)		
HO4N	5/335	(2011.01)	HO4N	5/335			4M118	
HO4N	5/225	(2006.01)	HO4N	5/225	D		5C024	
HO4N	5/232	(2006.01)	HO4N	5/232	H		5C122	
HO4N	5/235	(2006.01)	HO4N	5/235				
HO1L	27/146	(2006.01)	HO1L	27/14	F			

審査請求 未請求 請求項の数 9 O L (全 20 頁)

(21) 出願番号 特願2012-120629 (P2012-120629)
(22) 出願日 平成24年5月28日 (2012.5.28)

(71) 出願人 000000376
オリンパス株式会社
東京都渋谷区幡ヶ谷2丁目43番2号
(74) 代理人 100106909
弁理士 棚井 澄雄
(74) 代理人 100064908
弁理士 志賀 正武
(74) 代理人 100094400
弁理士 鈴木 三義
(74) 代理人 100086379
弁理士 高柴 忠夫
(74) 代理人 100129403
弁理士 増井 裕士
(74) 代理人 100139686
弁理士 鈴木 史朗

最終頁に続く

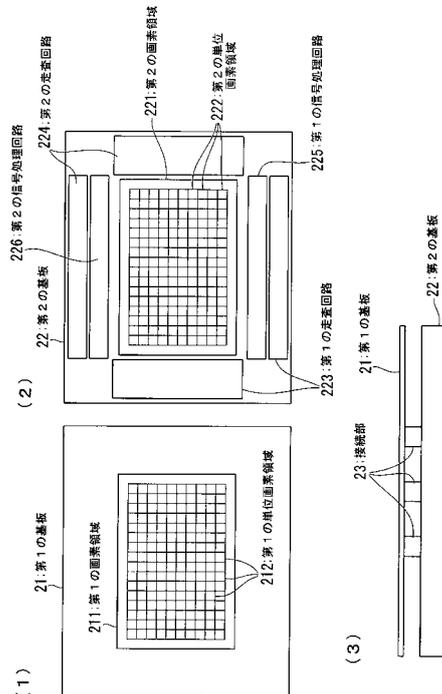
(54) 【発明の名称】 固体撮像素子および固体撮像装置

(57) 【要約】

【課題】 画像の撮像前に、毎回撮像準備処理を行いつつ連写速度を向上させることができる。

【解決手段】 第1の半導体ウエハ上に形成された第1の基板21と、第2の半導体ウエハ上に形成された第2の基板22とを電気的に接続する接続部23を介して貼り合わせた固体撮像装置であって、第1の基板21は入射された光の一部を透過し、2次元状に複数の第1の光電変換素子が配列された第1の画素領域211を有し、第2の基板22は、第1の画素領域211に対応する領域の少なくとも一部の領域に、2次元状に複数の第2の光電変換素子が配列された第2の画素領域221を有し、第1の光電変換素子は撮像信号を生成し、第2の光電変換素子は撮像準備に用いる信号を生成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の半導体ウエハ上に形成された第 1 の基板と、第 2 の半導体ウエハ上に形成された第 2 の基板とを電氣的に接続する接続部を介して貼り合わせた固体撮像装置であって、

前記第 1 の基板は入射された光の一部を透過し、2次元状に複数の第 1 の光電変換素子が配列された第 1 の画素領域を有し、

前記第 2 の基板は、前記第 1 の画素領域と対応する領域の少なくとも一部の領域に、2次元状に複数の第 2 の光電変換素子が配列された第 2 の画素領域を有し、

前記第 1 の光電変換素子は撮像信号を生成し、

前記第 2 の光電変換素子は撮像準備に用いる信号を生成する

ことを特徴とする固体撮像素子。

10

【請求項 2】

前記第 2 の基板は、前記第 1 の光電変換素子が生成した前記撮像信号を保持する複数のメモリ

を有することを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 3】

前記第 1 の光電変換素子を駆動する第 1 の走査回路と、

前記第 2 の光電変換素子を駆動する第 2 の走査回路と、

を有することを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 4】

生成した前記撮像信号を前記メモリに一括転送するように、前記第 1 の光電変換素子を駆動し、前記第 2 の光電変換素子の近い位置に配置されている前記メモリから前記第 2 の光電変換素子から遠い位置に配置されている前記メモリの順に、前記メモリから前記撮像信号を読み出す第 1 の走査回路と、

前記読み出し部が前記撮像信号を読み出す読み出し期間に、前記第 2 の光電変換素子を駆動して前記撮像準備に用いる信号を読み出す第 2 の走査回路と、

を有することを特徴とする請求項 2 に記載の固体撮像素子。

20

【請求項 5】

前記第 2 の走査回路は、前記第 1 の走査回路が前記第 1 の光電変換素子を駆動して当該第 1 の光電変換素子が配列された行毎に前記撮像信号を順次読み出す読み出し期間に、前記第 2 の光電変換素子を駆動して前記撮像準備に用いる信号を読み出す

ことを特徴とする請求項 3 に記載の固体撮像素子。

30

【請求項 6】

前記第 1 の光電変換素子はカラーフィルタを有し、

前記第 2 の光電変換素子は、前記第 1 の光電変換素子のうち最も長い波長の光を透過する前記カラーフィルタを有する前記第 1 の光電変換素子が配置されている領域と対応する領域の少なくとも一部の領域に配置されている

ことを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 7】

請求項 1 から請求項 6 のいずれか 1 項に記載の固体撮像素子を備え、

前記撮像準備に用いる信号を自動合焦処理に用いる

ことを特徴とする固体撮像装置。

40

【請求項 8】

請求項 1 から請求項 6 のいずれか 1 項に記載の固体撮像素子を備え、

前記撮像準備に用いる信号を自動露出処理に用いる

ことを特徴とする固体撮像装置。

【請求項 9】

請求項 1 から請求項 6 のいずれか 1 項に記載の固体撮像素子を撮像部に用いる

ことを特徴とする固体撮像装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、固体撮像素子および固体撮像装置に関する。

【背景技術】

【0002】

撮像素子が取得する撮像信号を用いて行う自動合焦（AF）方式の一つとして、コントラスト方式（山登り方式）が知られている（例えば、特許文献1参照）。コントラスト方式は、レンズを移動（繰り出し、繰り込み）させながら撮像信号を取得し、その高周波成分（コントラスト値）がピークとなる位置を合焦位置と判断し、その位置にレンズを移動させるものである。

10

【0003】

具体的な自動合焦処理の処理手順について図14を参照して説明する。図14は、従来知られているレンズの位置とコントラスト値との関係を示したグラフである。図示するグラフの横軸はレンズの位置を示しており、縦軸はコントラスト値を示している。自動合焦処理を開始すると、まずレンズを任意の方向に駆動してコントラスト値の増減を判断する（Y1；方向判断処理）。続いて、方向判断結果に基づき、コントラスト値が増加する方向にレンズを駆動し、コントラスト値が増加方向から減少方向に移行することでレンズが合焦位置を通過したとの判断をする（Y2；合焦位置越え判断処理）。その後、コントラスト値の最大位置（ピーク位置）、すなわち合焦位置にレンズを戻して（Y3；合焦位置戻し処理）、AF駆動処理が終了する。

20

【0004】

次に、撮像処理と自動合焦処理との処理のタイミングについて説明する。図15は、従来知られている撮像処理と自動合焦処理との処理のタイミングを示したタイミングチャートである。図15（1）は、撮像処理のタイミング、すなわち撮像素子の駆動タイミングを示したタイミングチャートである。図示する例では、撮像処理を行う際には、自動合焦処理が完了した後に撮像素子のリセット動作を行い、続いて露光・蓄積動作を行い、続いて撮像素子から信号を読み出し、その後、自動合焦処理が完了するまで処理を待機している。

【0005】

図15（2）は、自動合焦処理のタイミング、すなわち、コントラスト評価とレンズ駆動処理のタイミングを示したタイミングチャートである。図示する例では、はじめにコントラスト評価を行い、続いてコントラスト評価で得た信号に基づいて合焦位置を算出し、この結果に基づいてレンズ駆動処理を行って被写体に合焦させている。その後、撮像処理が完了した後に自動合焦処理を行っている。

30

【0006】

なお、コントラスト方式を用いた自動合焦処理では、撮像素子が出力する信号を用いて処理を行うため、撮像素子が撮像処理を行っている間はコントラスト評価に必要な信号を取得することができない。そのため、図15に示した通り、撮像処理において撮像素子から撮像信号を読み出す処理が完了してから撮像素子のリセット処理を開始するまでの間に、自動合焦処理（コントラスト評価とレンズ駆動処理）を行う。

40

【0007】

また、自動露出（AE）処理も撮像素子が出力する信号を用いて処理を行うため、自動合焦処理と同様に、撮像素子が撮像処理を行っている間は自動露出処理に必要な信号を取得することができない。そのため、撮像処理において撮像素子から撮像信号を読み出す処理が完了してから撮像素子のリセット処理を開始するまでの間に、自動露出処理（コントラスト評価とレンズ駆動処理）を行う。

【0008】

一般的には、自動合焦処理でのコントラスト評価とレンズ駆動処理には合わせて数十msの時間が必要である。図16は、従来知られている撮像装置が画像を撮像する際の処理のタイミングを示したタイミングチャートである。図示する例では、自動合焦処理に必要

50

な時間が100msであり、撮像素子から信号を読み出す時間が100msである場合での処理のタイミングを示している。この場合、撮影前に毎回自動合焦処理を行うと約5枚/秒の連写速度となる。

【0009】

また、連写速度を向上させるために、自動合焦処理を連写開始直前の一度のみ行う方法が知られている。図17は、従来知られている撮像装置が、画像を撮像する際に自動合焦処理を連写開始直前に一度のみ行う場合の処理のタイミングを示したタイミングチャートである。図示する例では、自動合焦処理に必要な時間が100msであり、撮像素子から信号を読み出す時間が100msである場合での処理のタイミングを示している。この場合、自動合焦処理を連写開始直前に一度のみ行うため、図16に示した場合と比較すると連写速度は向上する。

10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2010-256924号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、連写速度を向上させるために、自動合焦処理を連写開始直前の一度のみ行う方法では、被写体が移動する場合、時間が経過するに従って被写体は合焦位置から離れる。従って、ピントが合っていない画像を撮像する可能性があるという問題がある。

20

【0012】

本発明は上記の問題を解決するためになされたものであり、画像の撮像前に、毎回撮像準備処理を行いつつ連写速度を向上させることができる固体撮像素子および固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明は、第1の半導体ウエハ上に形成された第1の基板と、第2の半導体ウエハ上に形成された第2の基板とを電氣的に接続する接続部を介して貼り合わせた固体撮像装置であって、前記第1の基板は入射された光の一部を透過し、2次元状に複数の第1の光電変換素子が配列された第1の画素領域を有し、前記第2の基板は、前記第1の画素領域と対応する領域の少なくとも一部の領域に、2次元状に複数の第2の光電変換素子が配列された第2の画素領域を有し、前記第1の光電変換素子は撮像信号を生成し、前記第2の光電変換素子は撮像準備に用いる信号を生成することを特徴とする固体撮像素子である。

30

【0014】

また、本発明の固体撮像素子において、前記第2の基板は、前記第1の光電変換素子が生成した前記撮像信号を保持する複数のメモリを有することを特徴とする。

【0015】

また、本発明は、前記第1の光電変換素子を駆動する第1の走査回路と、前記第2の光電変換素子を駆動する第2の走査回路と、を有することを特徴とする固体撮像素子である。

40

【0016】

また、本発明は、生成した前記撮像信号を前記メモリに一括転送するように、前記第1の光電変換素子を駆動し、前記第2の光電変換素子の近い位置に配置されている前記メモリから前記第2の光電変換素子から遠い位置に配置されている前記メモリの順に、前記メモリから前記撮像信号を読み出す第1の走査回路と、前記読出し部が前記撮像信号を読み出す読出し期間に、前記第2の光電変換素子を駆動して前記撮像準備に用いる信号を読み出す第2の走査回路と、を有することを特徴とする固体撮像素子である。

【0017】

また、本発明の固体撮像素子において、前記第2の走査回路は、前記第1の走査回路が

50

前記第1の光電変換素子を駆動して当該第1の光電変換素子が配列された行毎に前記撮像信号を順次読み出す読出し期間に、前記第2の光電変換素子を駆動して前記撮像準備に用いる信号を読み出すことを特徴とする。

【0018】

また、本発明の固体撮像素子において、前記第1の光電変換素子はカラーフィルタを有し、前記第2の光電変換素子は、前記第1の光電変換素子のうち最も長い波長の光を透過する前記カラーフィルタを有する前記第1の光電変換素子が配置されている領域と対応する領域の少なくとも一部の領域に配置されていることを特徴とする。

【0019】

また、本発明は、固体撮像素子を備え、前記撮像準備に用いる信号を自動合焦処理に用いることを特徴とする固体撮像装置である。

10

【0020】

また、本発明は、固体撮像素子を備え、前記撮像準備に用いる信号を自動露出処理に用いることを特徴とする固体撮像装置である。

【0021】

また、本発明は、固体撮像素子を撮像部に用いることを特徴とする固体撮像装置である。

【発明の効果】

【0022】

本発明によれば、第1の半導体ウエハ上に形成された第1の基板は入射された光の一部を透過し、2次元状に複数の画素が配列された第1の画素部を有している。また、第2の半導体ウエハ上に形成された第2の基板は、第1の画素部が配置されている領域と対応する領域の少なくとも一部の領域に、2次元状に複数の画素が配列された第2の画素部を有する。また、第1の画素部に配列された画素は撮像信号を生成する。また、第2の画素部に配列された画素は撮像準備に用いる信号を生成する。

20

【0023】

この構成により、撮像信号を生成している間に撮像準備に用いる信号を生成することができるため、画像の撮像前に、毎回撮像準備処理を行いつつ連写速度を向上させることができる。

【図面の簡単な説明】

30

【0024】

【図1】本発明の第1の実施形態における撮像装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態における撮像部の構成を示した概略図である。

【図3】本発明の第1の実施形態における撮像用画素の回路構成を示した回路図である。

【図4】本発明の第1の実施形態における第1の基板と第2の基板との境界線の例を示した概略図である。

【図5】本発明の第1の実施形態における第1の単位画素領域と第2の単位画素領域との概要を示した概略図である。

【図6】本発明の第1の実施形態における各制御信号の出力タイミングを示したタイミングチャートである。

40

【図7】本発明の第1の実施形態における撮像処理と自動合焦処理との処理のタイミングを示したタイミングチャートである。

【図8】本発明の第1の実施形態において、行順次方式で露光して画像を撮像する際の撮像処理と自動合焦処理との処理のタイミングを示したタイミングチャートである。

【図9】本発明の第2の実施形態における第1の単位画素領域と第2の単位画素領域との概要を示した概略図である。

【図10】本発明の第2の実施形態における撮像部の構成を示した概略図である。

【図11】本発明の第2の実施形態において、アナログメモリから撮像信号を読み出す順序を示した概略図である。

【図12】本発明の第2の実施形態における第1の単位画素領域と第2の単位画素領域と

50

の概要を示した概略図である。

【図 1 3】本発明の第 3 の実施形態における第 1 の画素領域と第 2 の画素領域との概要を示した概略図である。

【図 1 4】従来知られているレンズの位置とコントラスト値との関係を示したグラフである。

【図 1 5】従来知られている撮像処理と自動合焦処理との処理のタイミングを示したタイミングチャートである。

【図 1 6】従来知られている撮像装置が画像を撮像する際の処理のタイミングを示したタイミングチャートである。

【図 1 7】従来知られている撮像装置が、自動合焦処理を連写開始直前に一度のみ行う場合の処理のタイミングを示したタイミングチャートである。

10

【発明を実施するための形態】

【0025】

(第 1 の実施形態)

以下、図面を参照し、本発明の第 1 の実施形態について説明する。図 1 は、本実施形態における撮像装置の構成を示したブロック図である。本発明の一態様に係る撮像装置は、撮像機能を有する電子機器であればよく、デジタルカメラのほか、デジタルビデオカメラ、内視鏡等であってもよい。

【0026】

図 1 に示す撮像装置 100 (固体撮像装置) は、レンズ 1 と、撮像部 2 (固体撮像素子) と、画像処理部 3 と、表示部 4 と、駆動制御部 5 と、レンズ制御部 6 と、カメラ制御部 7 と、カメラ操作部 8 とを備えている。図 1 にはメモリカード 9 も示されているが、このメモリカード 9 を撮像装置 100 に対して着脱可能に構成することによって、メモリカード 9 は撮像装置 100 に固有の構成でなくても構わない。

20

【0027】

レンズ 1 は、撮像部 2 の撮像面に被写体の光学像を結像するための撮影レンズである。撮像部 2 は、複数の画素を備え、レンズ 1 によって結像された被写体の光学像を光電変換によりデジタルの撮像信号に変換して出力する。画像処理部 3 は、撮像部 2 から出力される撮像信号に種々のデジタル的な画像処理を施す。

【0028】

表示部 4 は、画像処理部 3 により表示用に画像処理された撮像信号に基づき画像を表示する。この表示部 4 は、静止画像を再生表示することができると共に、被撮像範囲の画像をリアルタイムに表示する動画 (ライブビュー) 表示を行うことができるようになっている。駆動制御部 5 は、カメラ制御部 7 からの指示に基づいて撮像部 2 の動作を制御する。レンズ制御部 6 は、カメラ制御部 7 からの指示に基づいて、レンズ 1 の絞りや焦点位置を制御する。なお、駆動制御部 5 とレンズ制御部 6 とが、撮像処理や、自動合焦 (AF) 処理や、自動露出 (AE) 処理を行う。

30

【0029】

カメラ制御部 7 は、撮像装置 100 全体を制御する。カメラ制御部 7 の動作は、撮像装置 100 が内蔵する ROM に格納されているプログラムに規定されている。カメラ制御部 7 は、このプログラムを読み出して、プログラムが規定する内容に従って、各種の制御を行う。カメラ操作部 8 は、ユーザが撮像装置 100 に対する各種の操作入力を行うための操作の各種部材を有し、操作入力の結果に基づく信号をカメラ制御部 7 へ出力する。カメラ操作部 8 の具体例として、撮像装置 100 の電源をオン・オフするための電源スイッチ、静止画撮影を指示するためのリリースボタン、静止画撮影モードを単写モードと連写モードの間で切り替えるための静止画撮影モードスイッチなどが挙げられる。メモリカード 9 は、画像処理部 3 により記録用に処理された撮像信号を保存するための記録媒体である。

40

【0030】

次に、撮像部 2 の構成について説明する。図 2 は、本実施形態における撮像部 2 の構成

50

を示した概略図である。図 2 (1) は、撮像部 2 を構成する第 1 の基板 2 1 の正面図である。図 2 (2) は、撮像部 2 を構成する第 2 の基板 2 2 の正面図である。図 2 (3) は、撮像部 2 の断面図である。

【 0 0 3 1 】

本実施形態における撮像部 2 は、第 1 の基板 2 1 と第 2 の基板 2 2 との 2 枚の基板により構成されている。第 1 の基板 2 1 は半導体ウエハ上に形成されている。また、第 2 の基板 2 2 は半導体ウエハ上に形成されている。なお、第 1 の基板 2 1 は裏面照射型の撮像基板であり、基板の厚さは数マイクロメートル程度と薄い。そのため、第 1 の基板 2 1 に入射した光は、第 1 の基板 2 1 を透過して第 2 の基板 2 2 に入射する。例えば、第 2 の基板 2 2 に入射する光量は、第 1 の基板 2 1 に入射した光の十数 % 程度である。本実施形態では、第 2 の基板 2 2 にコントラスト信号を出力する A F 用画素を形成し、第 2 の基板 2 2 に到達した光に基づいて A F 用画素が出力するコントラスト信号をコントラスト A F に用いる。

10

【 0 0 3 2 】

また、撮像部 2 は、撮像用画素と、A F 用画素と、第 1 の走査回路 2 2 3 と、第 2 の走査回路 2 2 4 と、第 1 の信号処理回路 2 2 5 と、第 2 の信号処理回路 2 2 6 とを備える。撮像用画素は撮像用光電変換素子 (第 1 の光電変換素子) などを備え、撮像信号を生成する。A F 用画素は A F 用光電変換素子 (第 2 の光電変換素子) などを備え、コントラスト信号 (撮像準備に用いる信号) を生成する。第 1 の走査回路 2 2 3 は、撮像用画素の駆動を制御する。第 2 の走査回路 2 2 4 は、A F 用画素の駆動を制御する。第 1 の信号処理回路 2 2 5 は、撮像用画素が出力する撮像信号の処理を行う。第 2 の信号処理回路 2 2 6 は、A F 用画素が出力するコントラスト信号の処理を行う。

20

【 0 0 3 3 】

図 2 (3) に示すように、第 1 の基板 2 1 と第 2 の基板 2 2 とは段積み (スタック) されている。また、第 1 の基板 2 1 の 2 つの主面 (側面よりも相対的に表面積が大きい表面) のうち、第 2 の基板 2 2 とは反対側の主面には光が照射される。また、第 1 の基板 2 1 と第 2 の基板 2 2 との間には接続部 2 3 が構成されており、第 1 の基板 2 1 と第 2 の基板 2 2 とは接続部 2 3 によって電気的に接続されている。すなわち、第 1 の基板 2 1 と第 2 の基板 2 2 とを接続部 2 3 を介して張り合わせている。接続部 2 3 は、例えばマイクロバンプを用いた基板間の接合部や、直接接合法によって基板間を接続された接合部である。

30

【 0 0 3 4 】

第 1 の基板 2 1 上には第 1 の画素領域 2 1 1 が形成されている。第 1 の画素領域 2 1 1 は、2 次元状に配列された複数の第 1 の単位画素領域 2 1 2 を有している。第 1 の単位画素領域 2 1 2 には、撮像用画素が有する撮像用光電変換素子などが形成されている。なお、第 1 の単位画素領域 2 1 2 の詳細は後述する。

【 0 0 3 5 】

また、第 2 の基板 2 2 は、第 1 の画素領域 2 1 1 が形成されている領域と対応する領域の少なくとも一部の領域に、第 2 の画素領域 2 2 1 が形成されている。図示する例では、第 2 の基板 2 2 の領域のうち、第 1 の基板 2 1 において第 1 の画素領域 2 1 1 が形成されている領域と対応する領域に、第 2 の画素領域 2 2 1 が形成されている。すなわち、第 1 の基板 2 1 の主面方向から見た場合、第 1 の画素領域 2 1 1 の領域のうち少なくとも一部の領域に、第 2 の単位画素領域 2 2 2 の領域が含まれている。この構成により、第 1 の画素領域 2 1 1 を透過した光は第 2 の画素領域 2 2 1 に入射される。

40

【 0 0 3 6 】

第 2 の画素領域 2 2 1 は、2 次元状に配列された複数の第 2 の単位画素領域 2 2 2 を有している。第 2 の単位画素領域 2 2 2 には、A F 用画素が有する A F 用光電変換素子などが形成されている。なお、第 2 の単位画素領域 2 2 2 の詳細は後述する。また、第 2 の基板 2 2 上には、第 1 の走査回路 2 2 3 と、第 2 の走査回路 2 2 4 と、第 1 の信号処理回路 2 2 5 と、第 2 の信号処理回路 2 2 6 とが形成されている。

【 0 0 3 7 】

50

次に、撮像用画素の構成について説明する。図3は、本実施形態における撮像用画素60の回路構成を示した回路図である。撮像用画素60は、撮像用光電変換素子501（第1の光電変換素子）と、転送トランジスタ502と、FD（フローティングディフュージョン）503と、FDリセットトランジスタ504と、第1増幅トランジスタ505と、負荷トランジスタ506と、クランプ容量507と、サンプルトランジスタ508と、アナログメモリリセットトランジスタ509と、アナログメモリ510（メモリ）と、第2増幅トランジスタ511と、選択トランジスタ512とを有する。図3に示す各回路要素の配置位置は実際の配置位置と必ずしも一致するわけではない。また、図示する例では、1つの撮像用光電変換素子501に対して1つのアナログメモリ510を設けているが、これに限らず、複数の撮像用光電変換素子501で1つのアナログメモリ510を共有するようにしてもよい。

10

20

30

40

50

【0038】

撮像用光電変換素子501の一端は接地されている。転送トランジスタ502のドレイン端子は撮像用光電変換素子501の他端に接続されている。転送トランジスタ502のゲート端子は第1の走査回路223に接続されており、転送パルス TXが供給される。FD503の一端は転送トランジスタ502のソース端子に接続されており、FD503の他端は接地されている。FDリセットトランジスタ504のドレイン端子は電源電圧VDDに接続されており、FDリセットトランジスタ504のソース端子は転送トランジスタ502のソース端子に接続されている。FDリセットトランジスタ504のゲート端子は第1の走査回路223に接続されており、FDリセットパルス RSTが供給される。

【0039】

第1増幅トランジスタ505のドレイン端子は電源電圧VDDに接続されている。第1増幅トランジスタ505の入力部であるゲート端子は転送トランジスタ502のソース端子に接続されている。負荷トランジスタ506のドレイン端子は第1増幅トランジスタ505のソース端子に接続されており、負荷トランジスタ506のソース端子は接地されている。負荷トランジスタ506のゲート端子は第1の走査回路223に接続されており、電流制御パルス Biasが供給される。

【0040】

クランプ容量507の一端は第1増幅トランジスタ505のソース端子および負荷トランジスタ506のドレイン端子に接続されている。サンプルトランジスタ508のドレイン端子はクランプ容量507の他端に接続されている。サンプルトランジスタ508のゲート端子は第1の走査回路223に接続されており、サンプルパルス SHが供給される。

【0041】

アナログメモリリセットトランジスタ509のドレイン端子は電源電圧VDDに接続されており、アナログメモリリセットトランジスタ509のソース端子はサンプルトランジスタ508のソース端子に接続されている。アナログメモリリセットトランジスタ509のゲート端子は第1の走査回路223に接続されており、クランプ&メモリリセットパルス CLが供給される。

【0042】

アナログメモリ510の一端はサンプルトランジスタ508のソース端子に接続されており、アナログメモリ510の他端は接地されている。第2増幅トランジスタ511のドレイン端子は電源電圧VDDに接続されている。第2増幅トランジスタ511の入力部を構成するゲート端子はサンプルトランジスタ508のソース端子に接続されている。選択トランジスタ512のドレイン端子は第2増幅トランジスタ511のソース端子に接続されており、選択トランジスタ512のソース端子は垂直信号線140に接続されている。なお、垂直信号線140は第1の信号処理回路225に接続している。選択トランジスタ512のゲート端子は第1の走査回路223に接続されており、選択パルス SELが供給される。上述した各トランジスタに関しては極性を逆にし、ソース端子とドレイン端子を上記と逆にしてもよい。

【0043】

撮像用光電変換素子501は、例えばフォトダイオードであり、入射した光に基づく信号電荷を生成（発生）し、生成（発生）した信号電荷を保持・蓄積する。転送トランジスタ502は、撮像用光電変換素子501に蓄積された信号電荷をFD503に転送するトランジスタである。転送トランジスタ502のオン/オフは、第1の走査回路223からの転送パルスTXによって制御される。FD503は、撮像用光電変換素子501から転送された信号電荷を一時的に保持・蓄積する容量である。

【0044】

FDリセットトランジスタ504は、FD503をリセットするトランジスタである。FDリセットトランジスタ504のオン/オフは、第1の走査回路223からのFDリセットパルスRSTによって制御される。FDリセットトランジスタ504と転送トランジスタ502を同時にオンにすることによって、撮像用光電変換素子501をリセットすることも可能である。FD503/撮像用光電変換素子501のリセットは、FD503/撮像用光電変換素子501に蓄積されている電荷量を制御してFD503/撮像用光電変換素子501の状態（電位）を基準状態（基準電位、リセットレベル）に設定することである。

10

【0045】

第1増幅トランジスタ505は、ゲート端子に入力される、FD503に蓄積されている信号電荷に基づく信号を増幅した増幅信号をソース端子から出力するトランジスタである。負荷トランジスタ506は、第1増幅トランジスタ505の負荷として機能し、第1増幅トランジスタ505を駆動する電流を第1増幅トランジスタ505に供給するトランジスタである。負荷トランジスタ506のオン/オフは、第1の走査回路223からの電流制御パルスBiasによって制御される。第1増幅トランジスタ505と負荷トランジスタ506はソースフォロワ回路を構成する。

20

【0046】

クランプ容量507は、第1増幅トランジスタ505から出力される増幅信号の電圧レベルをクランプ（固定）する容量である。サンプルトランジスタ508は、クランプ容量507の他端の電圧レベルをサンプルホールドし、アナログメモリ510に蓄積するトランジスタである。サンプルトランジスタ508のオン/オフは、第1の走査回路223からのサンプルパルスSHによって制御される。

30

【0047】

アナログメモリリセットトランジスタ509は、アナログメモリ510をリセットするトランジスタである。アナログメモリ510のリセットは、アナログメモリ510に蓄積されている電荷量を制御してアナログメモリ510の状態（電位）を基準状態（基準電位、リセットレベル）に設定することである。アナログメモリ510は、サンプルトランジスタ508によってサンプルホールドされたアナログ信号を保持・蓄積する。

【0048】

アナログメモリ510の容量は、FD503の容量よりも大きな容量に設定される。アナログメモリ510には、単位面積当たりのリーク電流（暗電流）の少ない容量であるMIM（Metal Insulator Metal）容量やMOS（Metal Oxide Semiconductor）容量を使用することがより望ましい。これによって、ノイズに対する耐性が向上し、高品質な信号が得られる。

40

【0049】

第2増幅トランジスタ511は、ゲート端子に入力される、アナログメモリ510に蓄積されている信号電荷に基づく信号を増幅した増幅信号をソース端子から出力するトランジスタである。第2増幅トランジスタ511と、垂直信号線140に接続された、負荷となる電流源（図示せず）とはソースフォロワ回路を構成する。選択トランジスタ512は、撮像用画素60を選択し、第2増幅トランジスタ511の出力を垂直信号線140に伝えるトランジスタである。選択トランジスタ512のオン/オフは、第1の走査回路223からの選択パルスSELによって制御される。

50

【 0 0 5 0 】

図 3 に示す回路要素のうち、撮像用光電変換素子 5 0 1 は第 1 の基板 2 1 に配置され、アナログメモリ 5 1 0 は第 2 の基板 2 2 に配置され、他の回路要素は第 1 の基板 2 1 と第 2 の基板 2 2 のいずれかに配置される。図 3 の破線 D 1 は第 1 の基板 2 1 と第 2 の基板 2 2 との境界線を示している。図示する例では、第 1 の基板 2 1 には、撮像用光電変換素子 5 0 1 と、転送トランジスタ 5 0 2 と、FD 5 0 3 と、FD リセットトランジスタ 5 0 4 と、第 1 増幅トランジスタ 5 0 5 とが配置されている。第 2 の基板 2 2 には、負荷トランジスタ 5 0 6 と、クランプ容量 5 0 7 と、サンプルトランジスタ 5 0 8 と、アナログメモリリセットトランジスタ 5 0 9 と、アナログメモリ 5 1 0 と、第 2 増幅トランジスタ 5 1 1 と、選択トランジスタ 5 1 2 とが配置されている。

10

【 0 0 5 1 】

第 1 の基板 2 1 の第 1 増幅トランジスタ 5 0 5 から出力された増幅信号は、接続部 2 3 を介して第 2 の基板 2 2 へ出力される。また、電源電圧 VDD は、接続部 2 3 を介して第 1 の基板 2 1 と第 2 の基板 2 2 の間で授受される。

【 0 0 5 2 】

図 3 では、接続部 2 3 が第 1 増幅トランジスタ 5 0 5 のソース端子と、負荷トランジスタ 5 0 6 のドレイン端子およびクランプ容量 5 0 7 の一端との間の経路に配置されているが、これに限らない。接続部 2 3 は、撮像用光電変換素子 5 0 1 からアナログメモリ 5 1 0 までの電氣的に接続された経路上のどこに配置されていてもよい。

【 0 0 5 3 】

図 4 は、本実施形態における第 1 の基板 2 1 と第 2 の基板 2 2 との境界線の例を示した概略図である。破線 D 1 ~ D 5 は、第 1 の基板 2 1 と第 2 の基板 2 2 との境界線として可能な例を示している。第 1 の基板 2 1 と第 2 の基板 2 2 との境界線は、破線 D 1 ~ D 5 のいずれであってもよく、これら以外もあり得る。破線 D 1 については上述した通りである。破線 D 2 が示す例では、撮像用光電変換素子 5 0 1 の他端と転送トランジスタ 5 0 2 のドレイン端子との間の経路に接続部 2 3 が配置される。破線 D 3 が示す例では、転送トランジスタ 5 0 2 のソース端子と、FD 5 0 3 の一端、FD リセットトランジスタ 5 0 4 のソース端子、および第 1 増幅トランジスタ 5 0 5 のゲート端子との間の経路に接続部 2 3 が配置される。

20

【 0 0 5 4 】

破線 D 4 が示す例では、クランプ容量 5 0 7 の他端と、サンプルトランジスタ 5 0 8 のドレイン端子との間の経路に接続部 2 3 が配置される。破線 D 5 が示す例では、サンプルトランジスタ 5 0 8 のソース端子と、アナログメモリリセットトランジスタ 5 0 9 のソース端子、アナログメモリ 5 1 0 の一端、および第 2 増幅トランジスタ 5 1 1 のゲート端子との間の経路に接続部 2 3 が配置される。

30

【 0 0 5 5 】

次に、第 1 の単位画素領域 2 1 2 と第 2 の単位画素領域 2 2 2 との詳細について説明する。図 5 は、本実施形態における第 1 の単位画素領域 2 1 2 と第 2 の単位画素領域 2 2 2 との概要を示した概略図である。図 5 (1) は、第 1 の単位画素領域 2 1 2 の正面図である。図 5 (2) は、第 2 の単位画素領域 2 2 2 の正面図である。図示する例では、第 1 の単位画素領域 2 1 2 には、接続部 2 3 と、撮像用光電変換素子 5 0 1 (第 1 の光電変換素子) と、撮像用画素回路配線領域 6 0 1 と、撮像用画素回路電源配線領域 6 0 2 とが含まれている。また、第 2 の単位画素領域 2 2 2 には、接続部 2 3 と、撮像用画素回路配線領域 6 0 1 と、AF 用光電変換素子 7 0 1 (第 2 の光電変換素子) と、AF 用画素回路配線領域 7 0 2 とが含まれている。

40

【 0 0 5 6 】

接続部 2 3 と撮像用光電変換素子 5 0 1 とは上述したとおりである。撮像用画素回路配線領域 6 0 1 は、撮像用画素 6 0 が備える各部のうち、撮像用光電変換素子 5 0 1 以外の各部と配線とが配置される領域である。なお、本実施形態では、撮像用画素 6 0 が備える各部のうち、撮像用光電変換素子 5 0 1 が生成する撮像信号を蓄積するアナログメモリ 5

50

10 (メモリ)は、第2の単位画素領域222に含まれる撮像用画素回路配線領域601に配置されている。

【0057】

撮像用画素回路電源配線領域602は、撮像用画素60に電源を供給するための配線が配置される領域である。AF用光電変換素子701は、受光した光に応じたコントラスト信号を生成する。AF用画素回路配線領域702は、AF用画素が備える各部のうち、AF用光電変換素子701以外の各部と配線とが配置される領域である。上述したとおり、第1の基板21は入射された光の一部を透過する。従って、AF用光電変換素子701は、第1の基板21を透過した光に基づいたコントラスト信号を生成することができる。

【0058】

次に、図6を参照し、撮像用画素60の動作を説明する。図6は、第1の走査回路223から行毎に撮像用画素60に供給される制御信号を示すと共に、全行の撮像用画素60に一括して(同時に)供給される電流制御パルス *Bias*と、信号を読み出すための読み出しパルスとを示している。以下では、制御信号に対して、行番号を示す添え字を付加して説明を行う。例えば、1行目の撮像用画素60へ出力される転送パルス *TX*を *TX-1*と示す。また、任意の行の制御信号を示す場合、行番号を示す添え字として*i*を付加して説明を行う。例えば、全行の撮像用画素60すなわち全ての撮像用画素60(以下、全画素と記載する)へ出力される転送パルス *TX*を代表して *TX-i*と示す。

【0059】

時刻*t*₁において、全画素へ出力される転送パルス *TX-i*が“L”(Low)レベルから“H”(High)レベルに変化することで、全画素の転送トランジスタ502がオンとなる。同時に、全画素へ出力されるFDリセットパルス *RST-i*が“L”レベルから“H”レベルに変化することで、全画素のFDリセットトランジスタ504がオンとなる。これによって、撮像用光電変換素子501がリセットされる。

【0060】

続いて、時刻*t*₂において、全画素へ出力される転送パルス *TX-i*およびFDリセットパルス *RST-i*が“H”レベルから“L”レベルに変化することで、全画素の転送トランジスタ502およびFDリセットトランジスタ504がオフとなる。これによって、全画素の撮像用光電変換素子501のリセットが終了し、全画素の露光(信号電荷の蓄積)が一括して(同時に)開始される。

【0061】

露光期間内の時刻*t*₃において、全画素へ出力されるFDリセットパルス *RST-i*が“L”レベルから“H”レベルに変化することで、全画素のFDリセットトランジスタ504がオンとなる。これによって、全画素のFD503がリセットされる。同時に、全画素へ出力される電流制御パルス *Bias*が“L”レベルから“H”レベルに変化することで、全画素の負荷トランジスタ506がオンとなる。これによって、第1増幅トランジスタ505に駆動電流が供給され、第1増幅トランジスタ505が増幅動作を開始する。

【0062】

同時に、全画素へ出力されるクランプ&メモリリセットパルス *CL-i*が“L”レベルから“H”レベルに変化することで、全画素のアナログメモリリセットトランジスタ509がオンとなる。これによって、全画素のアナログメモリ510がリセットされる。同時に、全画素へ出力されるサンプルパルス *SH-i*が“L”レベルから“H”レベルに変化することで、全画素のサンプルトランジスタ508がオンとなる。これによって、クランプ容量507の他端の電位が電源電圧*VDD*にリセットされると共に、サンプルトランジスタ508がクランプ容量507の他端の電位のサンプルホールドを開始する。

【0063】

続いて、全画素へ出力されるFDリセットパルス *RST-i*が“H”レベルから“L”レベルに変化することで、全画素のFDリセットトランジスタ504がオフとなる。これによって、全画素のFD503のリセットが終了する。FD503のリセットを行うタ

10

20

30

40

50

イメージは露光期間中であればよいが、露光期間の終了直前のタイミングでFD503のリセットを行うことによって、FD503のリーク電流によるノイズをより低減することができる。

【0064】

続いて、露光期間内の時刻t4において、全画素へ出力されるクランプ&メモリリセットパルスCL-iが“H”レベルから“L”レベルに変化することで、全画素のアナログメモリリセットトランジスタ509がオフとなる。これによって、全画素のアナログメモリ510のリセットが終了する。この時点でクランプ容量507は、第1増幅トランジスタ505から出力される増幅信号(FD503のリセット後の増幅信号)をクランプしている。

10

【0065】

続いて、時刻t5において、全画素へ出力される転送パルスTX-iが“L”レベルから“H”レベルに変化することで、全画素の転送トランジスタ502がオンとなる。これによって、全画素の撮像用光電変換素子501に蓄積されている信号電荷が、転送トランジスタ502を介してFD503に転送され、FD503に蓄積される。図6に示すように、時刻t2から時刻t5までの期間が露光期間である。

【0066】

続いて、時刻t6において、全画素へ出力される転送パルスTX-iが“H”レベルから“L”レベルに変化することで、全画素の転送トランジスタ502がオフとなる。これによって、全画素の露光(信号電荷の蓄積)が一括して(同時に)終了する。

20

【0067】

続いて、時刻t7において、全画素へ出力されるサンプルパルスSH-iが“H”レベルから“L”レベルに変化することで、全画素のサンプルトランジスタ508がオフとなる。これによって、サンプルトランジスタ508がクランプ容量507の他端の電位のサンプルホールドを終了する。同時に、全画素へ出力される電流制御パルスBiasが“H”レベルから“L”レベルに変化することで、全画素の負荷トランジスタ506がオフとなる。これによって、第1増幅トランジスタ505への駆動電流の供給が停止され、第1増幅トランジスタ505が増幅動作を停止する。図6に示すように、時刻t5から時刻t7までの期間が信号伝送期間である。

【0068】

次に、撮像処理と自動合焦処理との処理のタイミングについて説明する。図7は、本実施形態における撮像処理と自動合焦処理との処理のタイミングを示したタイミングチャートである。図7(1)は、撮像処理のタイミング、すなわち撮像用画素60の駆動タイミングを示したタイミングチャートである。図7(2)は、自動合焦処理のタイミング、すなわち、コントラスト評価とレンズ駆動処理のタイミングを示したタイミングチャートである。

30

【0069】

図示する例では、はじめに自動合焦処理を行い、自動合焦処理が完了した後に、撮像用画素60が備える撮像用光電変換素子501の一括リセット動作を行う。続いて露光・蓄積動作を行い、その後アナログメモリ510に撮像信号を一括転送する。続いてアナログメモリ510から撮像信号を読み出す。なお、本実施形態では、アナログメモリ510から信号を読み出している際に、自動合焦処理を行う。そのため、2回目以降の撮像処理を行う際は、自動合焦処理が終了するまで待機する必要がなく、すぐに撮像処理を開始することができる。

40

【0070】

なお、図7に示した例では、一括露光方式で画像を撮像しているが、行順次方式で露光して画像を撮像してもよい。図8は、本実施形態において、行順次方式で露光して画像を撮像する際の撮像処理と自動合焦処理との処理のタイミングを示したタイミングチャートである。図8(1)は、撮像処理のタイミング、すなわち撮像用画素60の駆動タイミングを示したタイミングチャートである。図8(2)は、自動合焦処理のタイミング、すな

50

わち、コントラスト評価とレンズ駆動処理のタイミングを示したタイミングチャートである。

【0071】

図示する例では、はじめに自動合焦処理を行い、自動合焦処理が完了した後に、撮像用画素60が備える撮像用光電変換素子501のリセット動作を行う。続いて露光・蓄積動作を行い、続いて撮像用光電変換素子501から行毎に信号を読み出す。なお、本実施形態では、撮像用光電変換素子501から行毎に信号を読み出している際に、自動合焦処理を開始する。そのため、2回目以降の撮像処理を行う際は、自動合焦処理が終了するまで待機する必要がなく、すぐに撮像処理を開始することができる。

【0072】

上述したとおり、本実施形態によれば、撮像部2（固体撮像素子）は、積層された第1の基板21と第2の基板22とを含み、第1の基板21は入射された光の一部を透過する。また、第1の基板21には、撮像用画素60が備える撮像用光電変換素子501が配置されている。また、第2の基板22には、AF用画素が備えるAF用光電変換素子701が配置されている。この構成により、撮像用光電変換素子501とAF用光電変換素子701とは、それぞれ独立して動作することができ、撮像信号を読み出している間に、コントラスト信号を生成して自動合焦処理を完了することができる。従って、画像の撮像前に毎回自動合焦処理を行いつつ連写速度を向上させることができる。

【0073】

また、本実施形態によれば、第1の基板21と第2の基板22とは積層されているため、撮像用光電変換素子501とAF用光電変換素子701とを備えた場合においても、撮像部2の表面積を小さくすることができる。

【0074】

なお、上述した例では、撮像準備に用いる信号として、自動合焦処理に用いるコントラスト信号を例に説明したが、これに限らず、どのような信号でもよい。例えば、AF用画素の代わりにAE用画素を第2の基板22に形成し、撮像準備に用いる信号として、自動露光(AE)処理に用いる信号を出力するようにしてもよい。この構成により、上述した自動合焦処理と同様に、撮像信号を読み出している間に自動露光処理に用いる信号を取得して自動露光処理を行うことができる。従って、画像の撮像前に毎回自動露光処理を行いつつ連写速度を向上させることができる。

【0075】

（第2の実施形態）

次に、第2の実施形態について説明する。第2の実施形態における撮像装置100の構成は第1の実施形態における撮像装置100の構成と同様である。本実施形態と第1の実施形態とで異なる点は、第2の単位画素領域222のうち、一部の第2の単位画素領域222のみにAF用光電変換素子701を設け、AF用光電変換素子701を設けていない第2の単位画素領域222には遮光部を設けている点である。すなわち、本実施形態では、自動合焦処理に用いる信号を取得する位置にのみAF用光電変換素子701を設けている。

【0076】

次に、第1の単位画素領域212と第2の単位画素領域222-1, 222-2との詳細について説明する。図9は、本実施形態における第1の単位画素領域212と第2の単位画素領域222-1, 222-2との概要を示した概略図である。図9(1)は、第1の単位画素領域212の正面図である。図9(2)は、第2の単位画素領域222-1, 222-2の正面図である。図示する例では、第1の単位画素領域212の構成は、第1の実施形態における第1の単位画素領域212の構成と同様である。第2の単位画素領域222-1の構成は、第1の実施形態における第2の単位画素領域222の構成と同様である。また、第2の単位画素領域222-2には、接続部23と、撮像用画素回路配線領域601と、AF用画素回路配線領域702とが含まれている。本実施形態では、縦に並んで配置されている1つの第2の単位画素領域222-1と2つの第2の単位画素領域2

10

20

30

40

50

22-2との組を1組の単位画素領域とする。すなわち、3行1列分の第2の単位画素領域222-1, 222-2で1つのコントラスト信号を出力する。

【0077】

また、本実施形態では、AF用光電変換素子701が配置されていない第2の単位画素領域222-2に光が入射しないように、第2の単位画素領域222-2には遮光部901が配置されている。

【0078】

次に、撮像部2の構成について説明する。図10は、本実施形態における撮像部2の構成を示した概略図である。図10(1)は、撮像部2を構成する第1の基板21の正面図である。図10(2)は、撮像部2を構成する第2の基板22の正面図である。第1の基板21および第2の基板22に形成されている各部は第1の実施形態と同様である。本実施形態と第1の実施形態とで異なる点は、図10(2)に示すように、第2の単位画素領域222-2に遮光部901が形成されている点である。

10

【0079】

次に、第2の基板22に構成されるアナログメモリ510から撮像信号を読み出す順序について説明する。図11は、本実施形態において、アナログメモリ510から撮像信号を読み出す順序を示した概略図である。まず、第1の走査回路223は、AF用光電変換素子701が配置されている第2の単位画素領域222-1に配置されているアナログメモリ510から撮像信号を読み出す(1)~(4)。続いて、第1の走査回路223は、AF用光電変換素子701が配置されていない第2の単位画素領域222-2に配置されているアナログメモリ510から撮像信号を読み出す(5)~(9)。これにより、遮光されていない第2の単位画素領域222-1に配置されているアナログメモリ510から先に撮像信号を読み出すことができる。

20

【0080】

本実施形態では、全ての撮像用光電変換素子501を同時に露光する方式を用いており、第1の走査回路223は、露光終了後に一括してアナログメモリ510に撮像信号を転送した後に、アナログメモリ510から順次撮像信号を読み出す。例えば、メカシャッタなどの遮光手段によって撮像部2が遮光されていない場合、アナログメモリ510から撮像信号を読み出している間、AF用光電変換素子701は常に露光されている状態となる。そのため、撮像部2に高輝度の光を照射した場合、AF用光電変換素子701に蓄積された電荷が飽和状態となる。また、飽和状態となった場合、電荷がAF用光電変換素子701から溢れて漏洩電荷となってアナログメモリ510が保持する撮像信号にノイズとして加わる可能性がある。また、アナログメモリ510に直接光が当たって電荷が発生し、保持している撮像信号にノイズとして加わる可能性がある。

30

【0081】

しかしながら、本実施形態では、AF用光電変換素子701が配置されている第2の単位画素領域222-1に配置されているアナログメモリ510から先に撮像信号を読み出すため、上述したノイズを抑制することができる。

【0082】

なお、上述した例では、縦に並んで配置されている1つの第2の単位画素領域222-1と2つの第2の単位画素領域222-2とを1組の単位画素領域としているが、これに限らず、任意の数の第2の単位画素領域222-1, 222-2を1組の単位画素領域としてもよい。図12は、本実施形態において、1つの第2の単位画素領域222-1と3つの第2の単位画素領域222-2とを1組の単位画素領域とした場合における第1の単位画素領域212と第2の単位画素領域222-1, 222-2との概要を示した概略図である。

40

【0083】

図12(1)は、第1の単位画素領域212の正面図である。図12(2)は、第2の単位画素領域222-1, 222-2の正面図である。図示する例では、第1の単位画素領域212の構成および第2の単位画素領域222-1の構成は、図10に示した構成と

50

同様の構成である。なお、第2の単位画素領域222-2の構成は、図10に示した構成と同様の構成でもよく、接続部23と撮像用画素回路配線領域601のみを含むようにしてもよい。図示する例では、縦および横に隣接する1つの第2の単位画素領域222-1と3つの第2の単位画素領域222-2との組を1組の単位画素領域とする。すなわち、2行2列分の第2の単位画素領域222-1, 222-2で1つのコントラスト信号を出力する。このように、任意の数の第2の単位画素領域222-1, 222-2の組を1組の単位画素領域としてもよい。

【0084】

(第3の実施形態)

次に、第3の実施形態について説明する。第3の実施形態における撮像装置100の構成は第1の実施形態における撮像装置100の構成と同様である。本実施形態と第1の実施形態で異なる点は、第2の単位画素領域222のうち、最も長い波長の光が入射される第2の単位画素領域222のみにAF用光電変換素子701を設ける点である。

10

【0085】

次に、第1の画素領域211と第2の画素領域221との詳細について説明する。図13は、本実施形態における第1の画素領域211と第2の画素領域221との概要を示した概略図である。図13(1)は、第1の画素領域211の正面図である。図13(2)は、第2の画素領域221の正面図である。図示する例では、第1の画素領域211に含まれる第1の単位画素領域212にはカラーフィルタが形成されている。なお、第1の単位画素領域212に形成されているカラーフィルタの配列はベイヤー配列である。具体的には、縦および横に隣接する4つの第1の単位画素領域212を1組の単位画素領域とする。また、1組の単位画素領域には、赤色の波長領域の光を透過するカラーフィルタが形成された1つの第1の単位画素領域212と、青色の波長領域の光を透過するカラーフィルタが形成された1つの第1の単位画素領域212と、緑色の波長領域の光を透過するカラーフィルタが形成された2つの第1の単位画素領域212とが含まれる。

20

【0086】

また、赤色の光と、青色の光と、緑色の光とのうち、最も長い波長の光は赤色の光である。従って、第2の画素領域221に含まれる第2の単位画素領域222のうち、赤色の波長領域の光を透過するカラーフィルタが形成されている第1の単位画素領域212に対応する第2の単位画素領域222-1のみにAF用光電変換素子701を設けており、その他の第2の単位画素領域222-2にはAF用光電変換素子701は設けていない。なお、第2の単位画素領域222-1, 222-2の構成は、第2の各構成と同様の構成である。また、各部の動作については第1の実施形態および第2の実施形態と同様である。

30

【0087】

通常、撮像用光電変換素子501には光を分離するために赤、青、緑の波長領域の光を透過するカラーフィルタがベイヤー配列で並んでいる。これにより特定の波長領域の光のみが透過され、透過された光が撮像用光電変換素子501で電荷に変換される。また、波長によって第1の基板21内での吸収特性が異なり、青色のような短波長側の光は第1の基板21の浅い部分で吸収されるため、第2の基板22に配置したAF用光電変換素子701まで届かない可能性がある。そのため、より精度の高いコントラスト信号を得るには、第2の基板22まで届きやすい長波長側の光の方が有利である。

40

【0088】

そのため、本実施形態では、最も長い波長の光を透過するカラーフィルタが形成されている第1の単位画素領域212に対応する第2の単位画素領域222のみにAF用光電変換素子701を配置している。これにより、より精度の高い自動合焦処理を行うことができる。

【0089】

以上、この発明の第1の実施形態から第3の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。例えば、上述した実施形態では撮像部2は、2枚の基板が

50

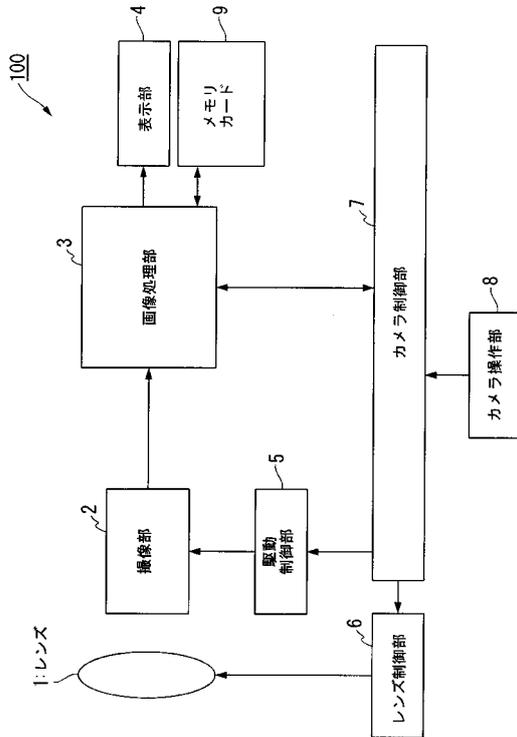
接続部 23 によって接続されているが、これに限らず、3 枚以上の基板が接続部 23 によって接続されていてもよい。

【符号の説明】

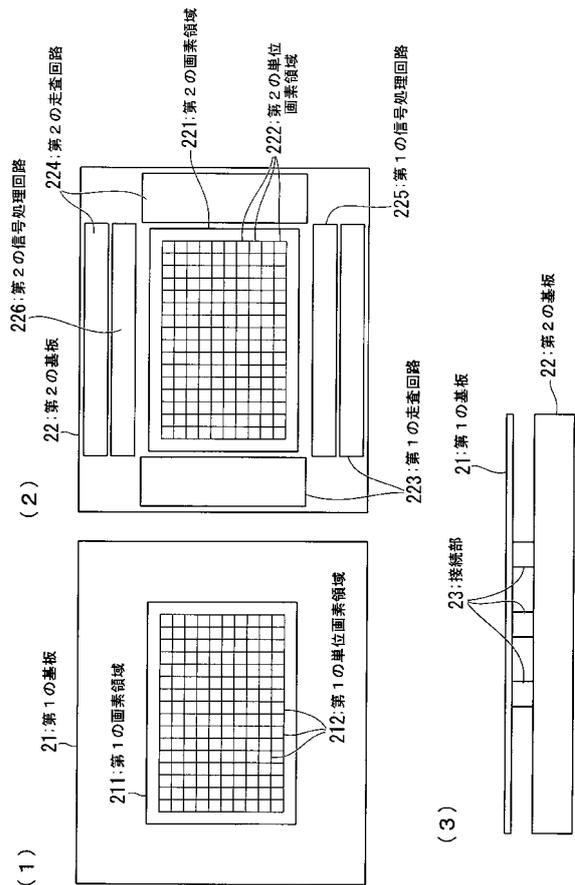
【0090】

1・・・レンズ、2・・・撮像部、3・・・画像処理部、4・・・表示部、5・・・駆動制御部、6・・・レンズ制御部、7・・・カメラ制御部、8・・・カメラ操作部、9・・・メモリカード、21・・・第1の基板、22・・・第2の基板、23・・・接続部、60・・・撮像用画素、100・・・撮像装置、140・・・垂直信号線、211・・・第1の画素領域、212・・・第1の単位画素領域、221・・・第2の画素領域、222、222-1、222-2・・・第2の単位画素領域、223・・・第1の走査回路、224・・・第2の走査回路、225・・・第1の信号処理回路、226・・・第2の信号処理回路、501・・・撮像用光電変換素子、502・・・転送トランジスタ、503・・・FD、504・・・リセットトランジスタ、505・・・第1増幅トランジスタ、506・・・負荷トランジスタ、507・・・クランプ容量、508・・・サンプルトランジスタ、509・・・アナログメモリリセットトランジスタ、510・・・アナログメモリ、511・・・第2増幅トランジスタ、512・・・選択トランジスタ、601・・・撮像用画素回路配線領域、602・・・撮像用画素回路電源配線領域、701・・・AF用光電変換素子、702・・・AF用画素回路配線領域、901・・・遮光部

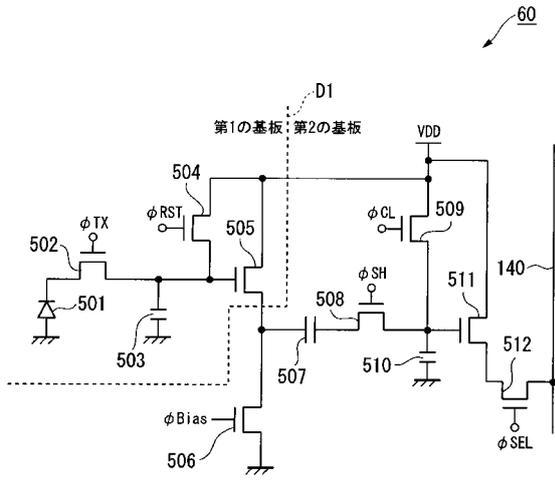
【図1】



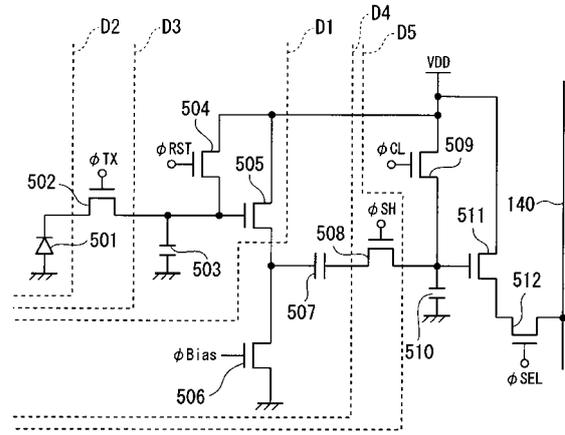
【図2】



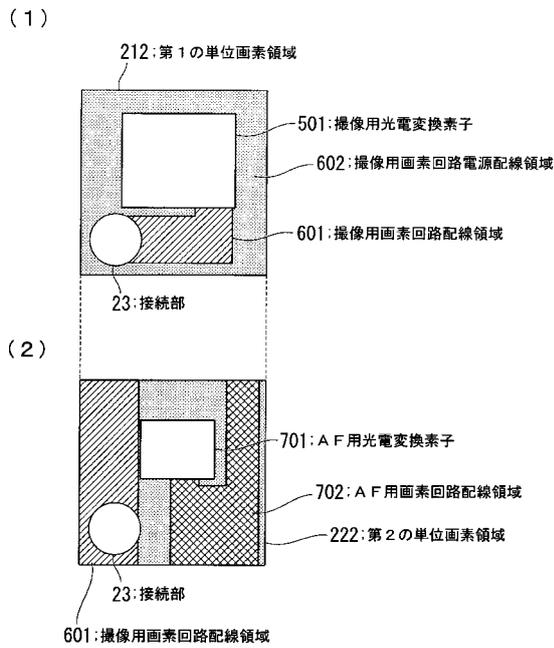
【 図 3 】



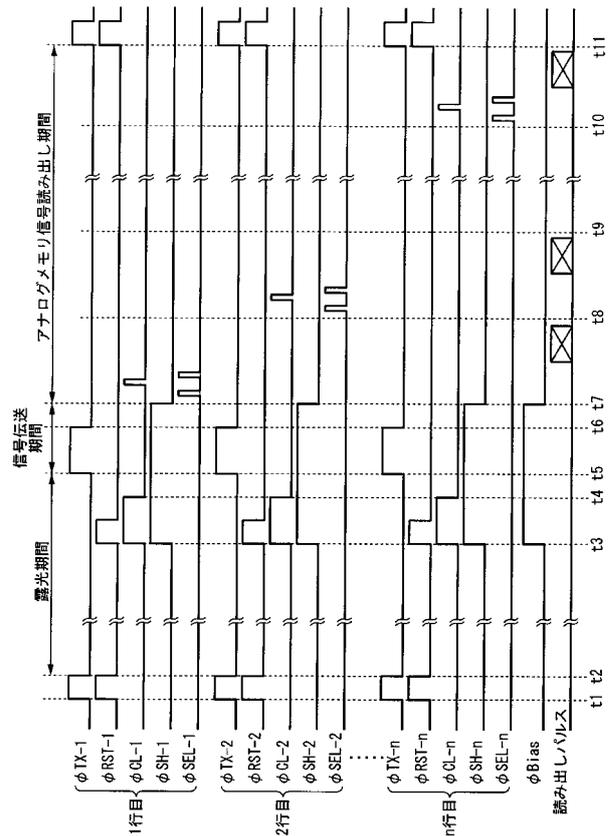
【 図 4 】



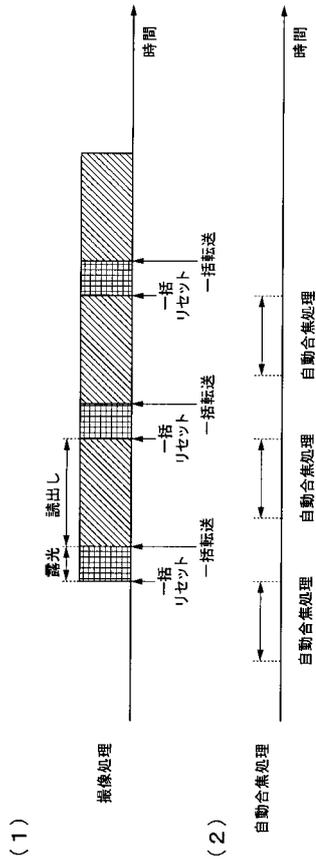
【 図 5 】



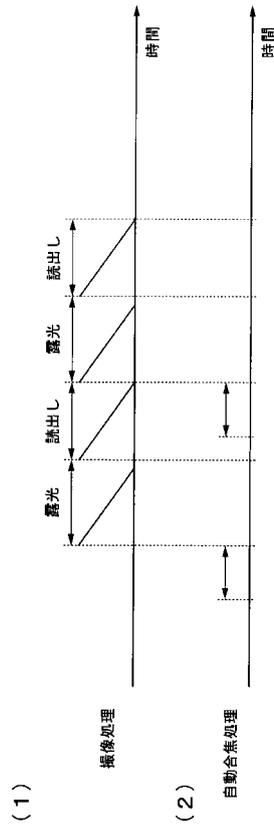
【 図 6 】



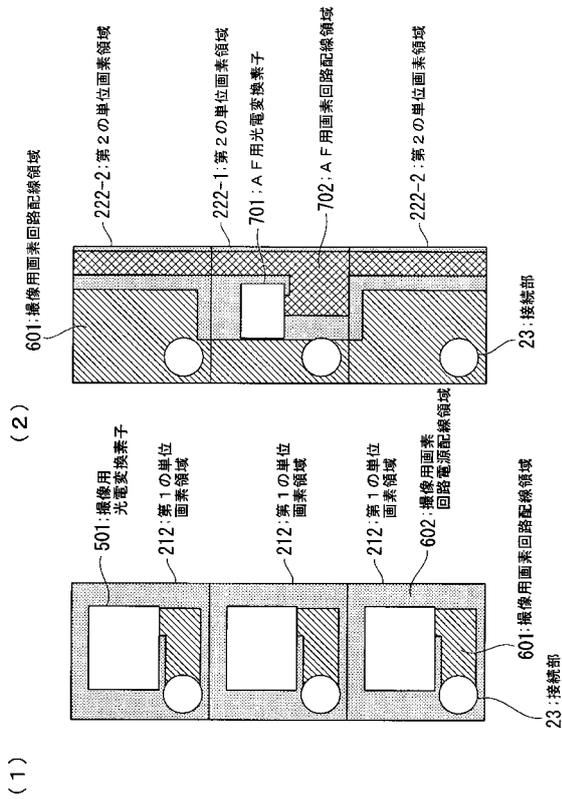
【図7】



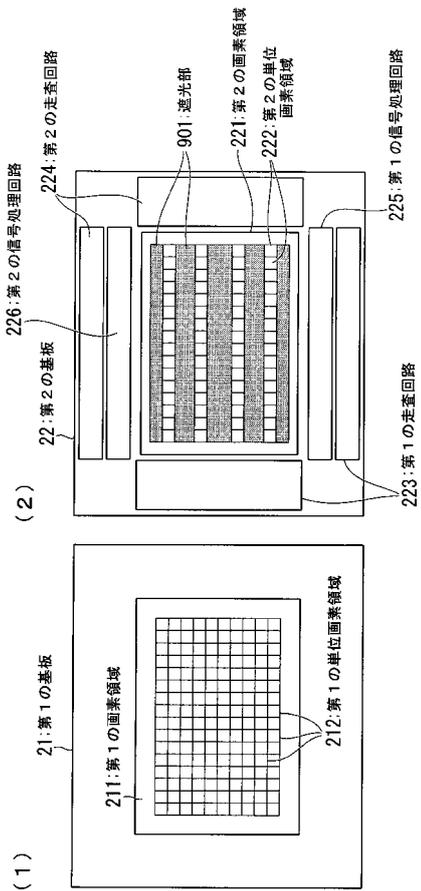
【図8】



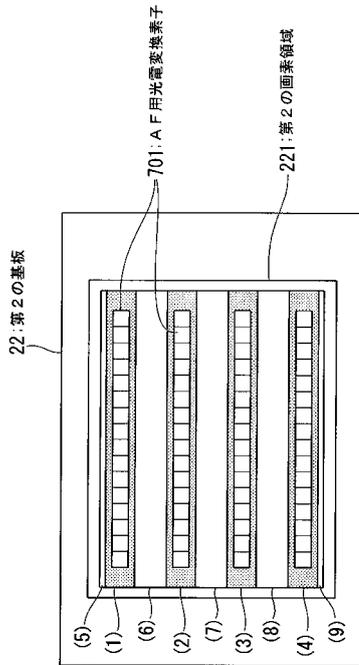
【図9】



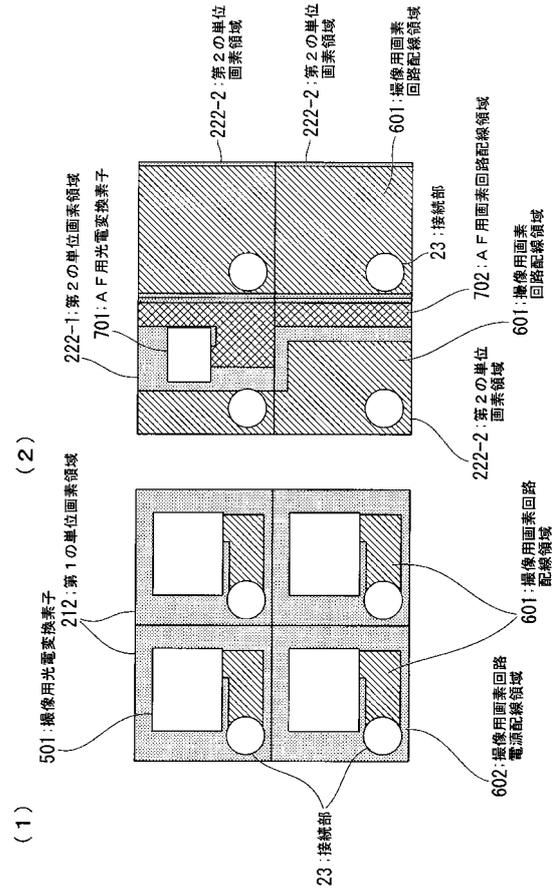
【図10】



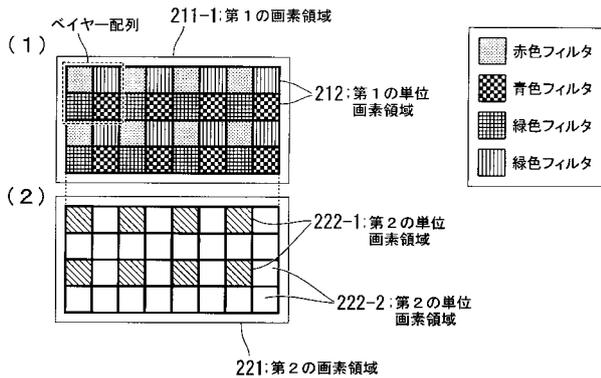
【 図 1 1 】



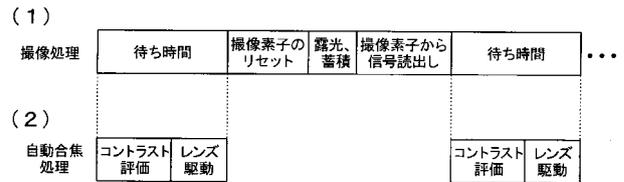
【 図 1 2 】



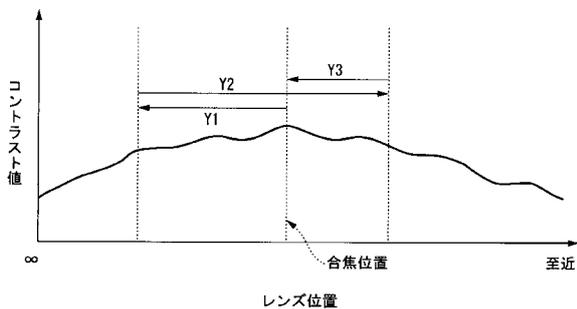
【 図 1 3 】



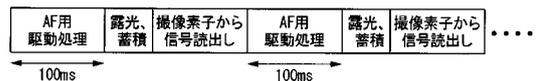
【 図 1 5 】



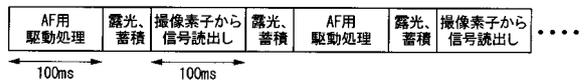
【 図 1 4 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 月村 光宏

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリパス株式会社内

F ターム(参考) 4M118 AB01 AB10 BA14 BA19 CA02 DD04 DD12 FA06 FA33 GB06

GB09 GC07 GC14 HA22 HA24 HA25 HA31

5C024 AX01 BX01 DX01 EX11 EX22 EX52

5C122 DA04 EA68 FB16 FD01 FD05 FF01 GE10 HB02