

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-93118

(P2010-93118A)

(43) 公開日 平成22年4月22日 (2010.4.22)

(51) Int.Cl.
H01L 31/10 (2006.01)

F I
H01L 31/10

テーマコード (参考)
5F049

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2008-262834 (P2008-262834)
(22) 出願日 平成20年10月9日 (2008.10.9)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100098785
弁理士 藤島 洋一郎
(74) 代理人 100109656
弁理士 三反崎 泰司
(74) 代理人 100130915
弁理士 長谷部 政男
(74) 代理人 100155376
弁理士 田名網 孝昭
(72) 発明者 井口 保彦
東京都港区港南1丁目7番1号 ソニー株式会社内
Fターム(参考) 5F049 MA02 MA04 NA15 SE17 SS01
SZ12 SZ13 UA20

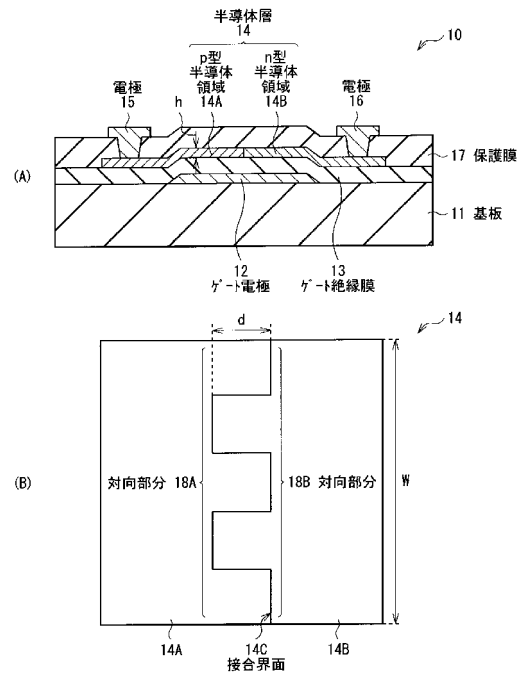
(54) 【発明の名称】 受光素子および受光装置

(57) 【要約】

【課題】 寄生容量の増大を最小限に抑えつつ、大きな光電流を発生させることの可能な受光素子およびそれを備えた受光装置を提供する。

【解決手段】 受光素子10において、面内方向において互いに対向するp型半導体領域14Aおよびn型半導体領域14Bを有する半導体層14が設けられている。p型半導体領域14Aのうちn型半導体領域14Bとの対向部分18Aおよびn型半導体領域14Bのうちp型半導体領域14Aとの対向部分18Bの双方が互い違いに凹凸形状となっている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

面内方向において互いに対向する p 型半導体領域および n 型半導体領域を有する半導体層と、

前記 p 型半導体領域および前記 n 型半導体領域に別個に接する電極と、

前記 p 型半導体領域のうち前記 n 型半導体領域との対向部分と前記 n 型半導体領域のうち前記 p 型半導体領域との対向部分とを含む部分との対向領域に形成されたゲート絶縁膜およびゲート電極と

を備え、

前記 p 型半導体領域のうち前記 n 型半導体領域との対向部分および前記 n 型半導体領域のうち前記 p 型半導体領域との対向部分の少なくとも一方が凹凸形状となっている受光素子。

10

【請求項 2】

前記半導体層は、前記 p 型半導体領域と前記 n 型半導体領域との間に真性半導体領域を有する請求項 1 に記載の受光素子。

【請求項 3】

面内方向において所定の間隙を介して互いに対向する一对の第一導電型半導体領域と前記一对の第一導電型半導体領域の間隙に設けられた第二導電型半導体領域とを有する半導体層と、

前記一对の第一導電型半導体領域および前記第二導電型半導体領域に別個に接する電極と、

20

前記第一導電型半導体領域のうち前記第二導電型半導体領域との対向部分と前記第二導電型半導体領域のうち前記第一導電型半導体領域との対向部分とを含む部分との対向領域に形成されたゲート絶縁膜およびゲート電極と

を備え、

前記第一導電型半導体領域のうち前記第二導電型半導体領域との対向部分および前記第二導電型半導体領域のうち前記第一導電型半導体領域との対向部分の少なくとも一方が凹凸形状となっている受光素子。

【請求項 4】

受光光量に応じた電荷を発生させる受光素子と、

30

前記受光素子から発生した電荷を蓄積させる容量素子と、

前記容量素子に蓄積された電荷を光電流として取り出す出力素子と、

前記出力素子によって電荷が取り出された後に前記容量素子に残留する電荷を放出させる放出素子と

を備え、

前記受光素子は、

面内方向において互いに対向する p 型半導体領域および n 型半導体領域を有する半導体層と、

前記 p 型半導体領域および前記 n 型半導体領域に別個に接する電極と、

前記 p 型半導体領域のうち前記 n 型半導体領域との対向部分と前記 n 型半導体領域のうち前記 p 型半導体領域との対向部分とを含む部分との対向領域に形成されたゲート絶縁膜およびゲート電極と

40

を備え、

前記 p 型半導体領域のうち前記 n 型半導体領域との対向部分および前記 n 型半導体領域のうち前記 p 型半導体領域との対向部分の少なくとも一方が凹凸形状となっている受光装置。

【請求項 5】

受光光量に応じた電荷を発生させる受光素子と、

前記受光素子から発生した電荷を蓄積させる容量素子と、

前記容量素子に蓄積された電荷を光電流として取り出す出力素子と、

50

前記出力素子によって電荷が取り出された後に前記容量素子に残留する電荷を放出させる放出素子と

を備え、

前記受光素子は、

面内方向において所定の間隙を介して互いに対向する一对の第一導電型半導体領域と前記一对の第一導電型半導体領域の間隙に設けられた第二導電型半導体領域とを有する半導体層と、

前記一对の第一導電型半導体領域および前記第二導電型半導体領域に別個に接する電極と、

前記第一導電型半導体領域のうち前記第二導電型半導体領域との対向部分と前記第二導電型半導体領域のうち前記第一導電型半導体領域との対向部分とを含む部分との対向領域に形成されたゲート絶縁膜およびゲート電極と

10

を備え、

前記第一導電型半導体領域のうち前記第二導電型半導体領域との対向部分および前記第二導電型半導体領域のうち前記第一導電型半導体領域との対向部分の少なくとも一方が凹凸形状となっている受光装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受光光量に応じた電荷を発生させる受光素子およびそれを備えた受光装置に関する。

20

【背景技術】

【0002】

従来から、表示装置の表示面に接触あるいは近接する物体の位置などを検出する技術が知られている。その中でも代表的で一般に広く普及している技術として、タッチパネルを備えた表示装置が挙げられる。このタッチパネルも種々のタイプのものが存在するが、一般に普及しているものとして、静電容量を検知するタイプのものが挙げられる。このタイプのものは、指でタッチパネルに接触することでパネルの表面電荷の変化を捕らえ、物体の位置などを検出している。したがってこのようなタッチパネルを用いることで、ユーザは直感的に操作することが可能である。

30

【0003】

また、最近では表示面上にこのようなタッチパネルを別途設けることなく、物体の位置などを検出することを可能とする技術が各種提案されている。例えば、有機EL (Electro-Luminescence) ディスプレイや液晶表示ディスプレイにおいて、表示面に配置された受光素子を周期的に動作させる技術が提案されている。このような表示装置を利用すれば、取り込んだ映像に基づいて、物体の位置などを検出することが可能である。したがって、このような表示装置を利用することで、表示面上にタッチパネルなどの部品を別途設けることなく、簡易な構成で物体の位置などを検出することが可能となる。

【0004】

図8は、上述した位置検出可能な表示装置における受光装置の回路構成の一例を表したものである。図8に示した受光装置100は、受光素子110と、容量素子111と、2つのトランジスタ112, 113とを含んで構成されている。受光素子110は、受光光量に応じた電荷を発生させるものであり、例えば、フォトダイオード、フォトトランジスタなどにより構成されている。なお、図8には、受光素子110がフォトダイオードからなる場合が例示されている。また、トランジスタ112, 113はそれぞれ、例えば薄膜トランジスタ (TFT; Thin Film Transistor) などにより構成されている。

40

【0005】

この受光装置100では、例えば、受光素子110のカソードが電源電圧線VDDに接続され、受光素子110のアノードがリセット用のトランジスタ112のドレインと、容量素子111の一端と、増幅用のトランジスタ113のゲートに接続されている。トラン

50

ジスタ 112 のゲートはリセット信号線 RST に接続され、トランジスタ 112 のソースは参照電圧線 VSS に接続されている。容量素子 111 の他端が参照電圧線 VSS に接続され、トランジスタ 113 のソースが電源電圧線 VDD に接続されている。そして、トランジスタ 113 のドレインが信号出力線 OUT に接続されている。

【0006】

なお、静特性の向上を目的として、pn 接合面を凹凸にし、pn 接合面の面積を拡大したトランジスタが、例えば、特許文献 1 に開示されている。

【特許文献 1】特開昭 56 - 4274 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

ところで、上記した受光装置 100 において、信号出力線 OUT の電圧 V_s は、 $I_p \times t / C_s$ となる。ここで、 I_p は受光素子 110 から出力される光電流であり、 t は光照射時間であり、 C_s は受光素子 110 の容量である。上述した関係式から、受光装置 100 の感度を上げるためには、(1) 受光素子 110 の感度、すなわち、受光素子 110 から発生する光電流をより大きくするか、(2) 光検出に時間をかけるか、(3) 容量素子 111 の容量を小さくすることが考えられる。しかし、検出にかかる時間はあまり大きくすることができないので、受光装置 100 の感度を上げるためには、上記 (1) または (3) を実践することが必要となる。

【0008】

20

もっとも、実際の回路では、受光素子 110 から発生する電荷を蓄積する保持容量 C' は、 $C_s + C_p$ である。ここで、 C_p は受光素子 110 の寄生容量である。従って、実際の回路において感度を上げるためには、上記 (1) を実践するか、または寄生容量 C_p を小さくすることを実践することが必要となる。

【0009】

しかし、上記 (1) を実践するために、受光素子 110 のサイズを大きくすると、寄生容量 C_p が膨大に大きくなってしまいう問題があった。

【0010】

本発明はかかる問題点に鑑みてなされたもので、その目的は、寄生容量の増大を最小限に抑えつつ、大きな光電流を発生させることの可能な受光素子およびそれを備えた受光装置を提供することにある。

30

【課題を解決するための手段】

【0011】

本発明の第一の受光素子は、面内方向において互いに対向する p 型半導体領域および n 型半導体領域を有する半導体層を備えたものである。この第一の受光素子には、p 型半導体領域および n 型半導体領域に別個に接する電極が設けられている。また、p 型半導体領域のうち n 型半導体領域との対向部分と n 型半導体領域のうち p 型半導体領域との対向部分とを含む部分との対向領域には、ゲート絶縁膜およびゲート電極が設けられている。そして、p 型半導体領域のうち n 型半導体領域との対向部分および n 型半導体領域のうち p 型半導体領域との対向部分の少なくとも一方が凹凸形状となっている。

40

【0012】

本発明の第一の受光装置は、受光光量に応じた電荷を発生させる上記受光素子と、上記受光素子から発生した電荷を蓄積させる容量素子と、容量素子に蓄積された電荷を光電流として取り出す出力素子と、出力素子によって電荷が取り出された後に容量素子に残留する電荷を放出させる放出素子とを備えたものである。

【0013】

本発明の第一の受光素子および第一の受光装置では、半導体層において、p 型半導体領域のうち n 型半導体領域との対向部分および n 型半導体領域のうち p 型半導体領域との対向部分の少なくとも一方が凹凸形状となっている。これにより、受光素子のサイズを大きくしなくても、p 型半導体領域と n 型半導体領域との対向面積を大きくすることができる

50

。

【0014】

本発明の第二の受光素子は、面内方向において所定の間隙を介して互いに対向する一对の第一導電型半導体領域と一对の第一導電型半導体領域の間隙に設けられた第二導電型半導体領域とを有する半導体層を備えたものである。この第二の受光素子には、一对の第一導電型半導体領域および第二導電型半導体領域に別個に接する電極が設けられている。また、第一導電型半導体領域のうち第二導電型半導体領域との対向部分と第二導電型半導体領域のうち第一導電型半導体領域との対向部分とを含む部分との対向領域には、ゲート絶縁膜およびゲート電極が設けられている。そして、第一導電型半導体領域のうち第二導電型半導体領域との対向部分および第二導電型半導体領域のうち第一導電型半導体領域との対向部分の少なくとも一方が凹凸形状となっている。

10

【0015】

本発明の第二の受光装置は、受光光量に応じた電荷を発生させる上記受光素子と、上記受光素子から発生した電荷を蓄積させる容量素子と、容量素子に蓄積された電荷を光電流として取り出す出力素子と、出力素子によって電荷が取り出された後に容量素子に残留する電荷を放出させる放出素子とを備えたものである。

【0016】

本発明の第二の受光素子および第二の受光装置では、半導体層において、第一導電型半導体領域のうち第二導電型半導体領域との対向部分および第二導電型半導体領域のうち第一導電型半導体領域との対向部分の少なくとも一方が凹凸形状となっている。これにより、受光素子のサイズを大きくしなくても、第一導電型半導体領域と第二導電型半導体領域との対向面積を大きくすることができる。

20

【発明の効果】

【0017】

本発明の第一の受光素子および第一の受光装置によれば、半導体層において、p型半導体領域のうちn型半導体領域との対向部分およびn型半導体領域のうちp型半導体領域との対向部分の少なくとも一方を凹凸形状としたので、受光素子の寄生容量の増大を最小限に抑えつつ、受光素子から大きな光電流を発生させることができる。

【0018】

本発明の第二の受光素子および第二の受光装置によれば、半導体層において、第一導電型半導体領域のうち第二導電型半導体領域との対向部分および第二導電型半導体領域のうち第一導電型半導体領域との対向部分の少なくとも一方を凹凸形状としたので、受光素子の寄生容量の増大を最小限に抑えつつ、受光素子から大きな光電流を発生させることができる。

30

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0020】

[第一の実施の形態]

図1は、本発明の第一の実施の形態に係る受光装置1の回路構成の一例を表したものである。本実施の形態の受光装置1は、例えば、図示しないが、プラスチックフィルム基板やガラス基板などの絶縁性基板上に、有機EL素子や液晶素子と共に形成されたものである。

40

【0021】

本実施の形態の受光装置1は、例えば、受光素子10と、容量素子20と、2つのトランジスタ30、40とを含んで構成されている。受光素子10は、受光光量に応じた電荷を発生させるものであり、フォトダイオードにより構成されている。容量素子20は、受光素子10から発生した電荷を蓄積させるものであり、キャパシタにより構成されている。また、トランジスタ40（出力素子）は、容量素子20に蓄積された電荷を光電流として取り出すものであり、トランジスタ30（放出素子）は、トランジスタ40によって電

50

荷が取り出された後に容量素子 20 に残留する電荷を放出させるものである。これらトランジスタ 30, 40 はそれぞれ、例えば薄膜トランジスタ (TFT; Thin Film Transistor) などにより構成されている。

【0022】

この受光装置 1 では、例えば、受光素子 10 のカソードが電源電圧線 VDD に接続され、受光素子 10 のアノードがトランジスタ 30 のドレインと、容量素子 20 の一端と、トランジスタ 40 のゲートに接続されている。トランジスタ 30 のゲートはリセット信号線 RST に接続され、トランジスタ 30 のソースは参照電圧線 VSS に接続されている。容量素子 20 の他端が参照電圧線 VSS に接続され、トランジスタ 40 のソースが電源電圧線 VDD に接続されている。そして、トランジスタ 40 のドレインが信号出力線 OUT に接続されている。

10

【0023】

図 2 (A) は、図 1 の受光素子 10 の断面構成の一例を表したものである。この受光素子 10 は、例えば、基板 11 上に、ゲート電極 12 と、ゲート絶縁膜 13 と、半導体層 14 と、電極 15, 16 とを基板 11 側から順に備えたボトムゲート型のフォトダイオードである。

【0024】

基板 11 は、例えば、プラスチックフィルム基板やガラス基板などの絶縁性基板である。ゲート電極 12 は、例えば、A1 によって構成されている。このゲート電極 12 は、後述の接合界面 14C を含む部分との対向領域に形成されており、例えば矩形状となっている。これにより、ゲート電極 12 は、低抵抗の電極となっており、かつ基板 11 側から入射した光が接合界面 14C に入射するのを遮断する遮光膜として機能する。なお、接合界面 14C を含む部分とは、具体的には、p 型半導体領域 14A のうち n 型半導体領域 14B との対向部分 18A (後述) と、n 型半導体領域 14B のうち p 型半導体領域 14A との対向部分 18B (後述) とを含む部分を指している。

20

【0025】

ゲート絶縁膜 13 は、例えば、酸化シリコン (SiO₂) や窒化シリコン (SiN)などを主成分として含んで構成されている。このゲート絶縁膜 13 は、少なくとも接合界面 14C を含む部分との対向領域に形成されており、例えば、ゲート電極 12 を覆うように形成されている。なお、図 2 (A) には、ゲート絶縁膜 13 が、ゲート電極 12 を含む基板 11 の表面全体に渡って形成されている場合が例示されている。

30

【0026】

半導体層 14 は、ゲート電極 12 との対向領域を横切るように形成されており、電極 15, 16 の対向方向 (後述) に延在して形成されている。この半導体層 14 の上面は、電極 15, 16 とのコンタクト部分を除いて、保護膜 17 によって覆われている。この保護膜 17 の上面のうち接合界面 14C を含む部分との対向領域が外部からの光が入射する光入射面となる。なお、保護膜 17 は、入射光に対して透明な材料からなり、例えば、酸化シリコン (SiO₂) や窒化シリコン (SiN)などを主成分として含んで構成されている。

【0027】

上記した半導体層 14 は、例えば、図 2 (A), (B) に示したように、面内方向において互いに対向する p 型半導体領域 14A および n 型半導体領域 14B を有している。なお、図 2 (B) は、半導体層 14 を光入射側から見たときの平面構成を表したものである。p 型半導体領域 14A は、例えば、p 型不純物を含むシリコン薄膜からなり、n 型半導体領域 14B は、例えば、n 型不純物を含むシリコン薄膜からなる。

40

【0028】

p 型半導体領域 14A のうち n 型半導体領域 14B との対向部分 18A および n 型半導体領域 14B のうち p 型半導体領域 14A との対向部分 18B の少なくとも一方が凹凸形状となっている。なお、本実施の形態では、対向部分 18A, 18B が互いに直接接触しており、対向部分 18A と対向部分 18B との間に接合界面 14C が形成されている。そ

50

のため、対向部分 18A, 18B の双方に、互い違いに凹凸形状が形成されており、接合界面 14C は、クランク状にジグザクとうねっている。

【0029】

ここで、接合界面 14C の面積 S は、半導体層 14 の幅（接合界面 14C の延在方向の長さ）を W とし、接合界面 14C のうねりの振幅を d とし、うねりの数を n とし、半導体層 14 の厚さを h とすると、面積 S は、おおよそ、 $(W + 2nd)h$ となる。つまり、接合界面 14C が仮に平坦な面であった場合の面積 (Wh) と比べると、おおよそ、 $2ndh$ だけ大きくなっている。なお、図 2 (B) に例示したように、接合界面 14C のうねりが矩形形状となっており、かつ、うねりの数 n が 2 となっている場合には、面積 S が、おおよそ、 $4dh$ だけ大きくなっている。

10

【0030】

電極 15, 16 は、例えば、A1 によって構成されている。電極 15, 16 は、保護膜 17 に形成された開口内に形成されると共に、その上面が保護膜 17 から露出している。ここで、電極 15 は p 型半導体領域 14A と電氣的に接続されており、電極 16 は n 型半導体領域 14B と電氣的に接続されている。

【0031】

本実施の形態の受光装置 1 では、受光素子 10 の I - V 特性がゲート電極 12 で制御された状態で、受光素子 10 に対して外部から光が入射すると、受光素子 10 から光電流 I_p が発生する。発生した光電流 I_p は容量素子 20 に流れ込み、容量素子 20 に電荷が蓄積され、トランジスタ 40 のゲート電位が変位すると、その変位量に応じた電流がトランジスタ 40 のソース - ドレイン間に流れ、信号出力線 OUT に出力される。

20

【0032】

ところで、受光装置 1 において、信号出力線 OUT の電圧 V_s は、 $I_p \times t / C_s$ となる。ここで、 I_p は受光素子 10 から出力される光電流であり、 t は光照射時間であり、 C_s は受光素子 10 の容量である。上述した関係式から、受光装置 1 の感度を上げるためには、(1) 受光素子 10 の感度、すなわち、受光素子 10 から発生する光電流 I_p をより大きくするか、(2) 光検出に時間をかけるか、(3) 容量素子 20 の容量を小さくすることが考えられる。しかし、検出にかかる時間はあまり大きくすることができないので、受光装置 1 の感度を上げるためには、上記 (1) または (3) を実践することが必要となる。

30

【0033】

もっとも、実際の回路では、受光素子 10 から発生する電荷を蓄積する保持容量 C' は、 $C_s + C_p$ である。ここで、 C_p は受光素子 10 の寄生容量である。従って、実際の回路において感度を上げるためには、上記 (1) を実践するか、または寄生容量 C_p を小さくすることを実践することが必要となる。しかし、上記 (1) を実践するために、受光素子 10 のサイズを大きくすると、寄生容量 C_p が膨大に大きくなってしまふ。

【0034】

一方、本実施の形態では、半導体層 14 において、p 型半導体領域 14A のうち n 型半導体領域 14B との対向部分 18A および n 型半導体領域 14B のうち p 型半導体領域 14A との対向部分 18B の双方が互い違いに凹凸形状となっている。これにより、受光素子 10 のサイズを大きくしなくても、p 型半導体領域 14A と n 型半導体領域 14B との対向面積（接合界面 14C の面積）を大きくすることができる。その結果、受光素子 10 の寄生容量 C_p の増大を最小限に抑えつつ、受光素子 10 から大きな光電流 I_p を発生させることができる。

40

【0035】

[変形例]

上記実施の形態では、p 型半導体領域 14A および n 型半導体領域 14B が互いに直接接触していたが、例えば、図 3 (A), (B) に示したように、p 型半導体領域 14A と n 型半導体領域 14B との間に、真性半導体領域 14D が設けられていてもよい。この場合には、対向部分 18A および対向部分 18B は互いに直接接触せず、真性半導体領域 1

50

4 Dを介して配置されることになる。したがって、この場合には、図示しないが、対向部分18 Aおよび対向部分18 Bのいずれか一方にだけ凹凸形状を設けることが可能である。また、図3(B)に示したように、対向部分18 Aおよび対向部分18 Bの双方に互い違いに凹凸形状を設けたりすることも、もちろん可能である。

【0036】

なお、図3(B)に示したように、対向部分18 Aおよび対向部分18 Bの双方に互い違いに凹凸形状を設けた場合には、対向部分52 Aと、真性半導体領域14 Dのうちp型半導体領域14 Aとの対向部分18 Cとが互いに直接接触しており、対向部分18 Aと対向部分18 Cとの間に接合界面14 Eが形成されている。そのため、対向部分18 A、18 Cの双方に、互い違いに凹凸形状が形成されており、接合界面14 Eは、クランク状にジグザクとうねっている。さらに、対向部分18 Bと、真性半導体領域14 Dのうちn型半導体領域14 Bとの対向部分18 Dとが互いに直接接触しており、対向部分18 Bと対向部分18 Dとの間に接合界面14 Fが形成されている。そのため、対向部分18 B、18 Dの双方に、互い違いに凹凸形状が形成されており、接合界面14 Fは、クランク状にジグザクとうねっている。

10

【0037】

ここで、接合界面14 Eの面積 S_1 は、接合界面14 Eのうねりの振幅を d_1 とし、うねりの数を n_1 とすると、面積 S_1 は、おおよそ、 $(W + 2 \times n_1 \times d_1) h$ となる。つまり、接合界面14 Eが仮に平坦な面であった場合の面積 (Wh) と比べると、おおよそ、 $2 \times n_1 \times d_1 \times h$ だけ大きくなっている。一方、接合界面14 Fの面積 S_2 についても、接合界面14 Fのうねりの振幅を d_2 とし、うねりの数を n_2 とすると、面積 S_2 は、おおよそ、 $(W + 2 \times n_2 \times d_2) h$ となる。つまり、接合界面14 Fが仮に平坦な面であった場合の面積 (Wh) と比べると、おおよそ、 $2 \times n_2 \times d_2 \times h$ だけ大きくなっている。これにより、上記実施の形態と同様、受光素子10の寄生容量 C_p の増大を最小限に抑えつつ、受光素子10から大きな光電流 I_p を発生させることができる。

20

【0038】

なお、上記変形例において、真性半導体領域14 Dの代わりに、p型半導体領域14 Aのp型不純物濃度よりも低いp型不純物濃度の領域を設けたり、n型半導体領域14 Bのn型不純物濃度よりも低いn型不純物濃度の領域を設けたりしてもよい。

【0039】

また、上記実施の形態では、受光素子10がボトムゲート型のフォトダイオードである場合について説明したが、受光素子10は、例えば、図4に示したように、基板11上に、遮光膜21と、バッファ絶縁膜22と、半導体層14と、ゲート絶縁膜23と、ゲート電極24とを基板11側から順に備えたトップゲート型のフォトダイオードであってもよい。

30

【0040】

なお、上記において、遮光膜21は、上記実施の形態のゲート電極12と同様、接合界面14 Cを含む部分との対向領域に形成されており、例えば矩形状となっている。これにより、遮光膜21は、基板11側から入射した光が接合界面14 Cに入射するのを遮断する機能を有している。また、バッファ絶縁膜22は、上記実施の形態のゲート絶縁膜13と同様、例えば、酸化シリコン(SiO_2)や窒化シリコン(SiN)などを主成分として含んで構成されている。このバッファ絶縁膜22は、ゲート電極12を含む基板11の表面全体に渡って形成されており、平坦化膜の役割を有している。

40

【0041】

[第二の実施の形態]

図5は、本発明の第二の実施の形態に係る受光装置2の回路構成の一例を表したものである。本実施の形態の受光装置2は、上記実施の形態と同様、例えば、図示しないが、プラスチックフィルム基板やガラス基板などの絶縁性基板上に、有機EL素子や液晶素子と共に形成されたものである。

【0042】

50

本実施の形態の受光装置 2 は、受光素子 10 の代わりに、受光素子 50 を設けた点で、上記実施の形態の受光装置 1 の構成と相違する。そこで、以下では、上記実施の形態との相違点について主に説明し、上記実施の形態との共通点については適宜省略するものとする。

【0043】

図 6 (A) は、図 5 の受光素子 50 の断面構成の一例を表したものである。この受光素子 50 は、例えば、基板 11 上に、ゲート電極 12 と、ゲート絶縁膜 13 と、半導体層 51 と、電極 15, 16 とを基板 11 側から順に備えたボトムゲート型のフォトダイオードである。

【0044】

半導体層 51 は、ゲート電極 12 との対向領域を横切るように形成されており、電極 15, 16 の対向方向（後述）に延在して形成されている。この半導体層 51 の上面は、電極 15, 16 とのコンタクト部分を除いて、保護膜 17 によって覆われている。

【0045】

上記した半導体層 51 は、例えば、図 6 (A), (B) に示したように、面内方向において所定の間隙を介して互いに対向する一对の n 型半導体領域 51A, 51B（第一導電型半導体領域）を有しており、さらに、一对の n 型半導体領域 51A, 51B の間隙に p 型半導体領域 51C（第二導電型半導体領域）を有している。なお、図 6 (B) は、半導体層 51 を光入射側から見たときの平面構成を表したものである。p 型半導体領域 51C は、例えば、p 型不純物を含むシリコン薄膜からなり、n 型半導体領域 51A, 51B は、例えば、n 型不純物を含むシリコン薄膜からなる。

【0046】

n 型半導体領域 51A のうち p 型半導体領域 51C との対向部分 52A、p 型半導体領域 51C のうち n 型半導体領域 51A との対向部分 52B、p 型半導体領域 51C のうち n 型半導体領域 51B との対向部分 52C、および n 型半導体領域 51B のうち p 型半導体領域 51C との対向部分 52D の少なくとも一つが、凹凸形状となっている。なお、本実施の形態では、対向部分 52A, 52B が互いに直接接触しており、対向部分 52A と対向部分 52B との間に接合界面 51D が形成されている。そのため、対向部分 52A, 52B の双方に、互い違いに凹凸形状が形成されており、接合界面 51D は、クランク状にジグザクとうねっている。さらに、対向部分 52C, 52D が互いに直接接触しており、対向部分 52C と対向部分 52D との間に接合界面 51E が形成されている。そのため、対向部分 52C, 52D の双方に、互い違いに凹凸形状が形成されており、接合界面 51E は、クランク状にジグザクとうねっている。

【0047】

ここで、接合界面 51D の面積 S_3 は、接合界面 51D のうねりの振幅を d_3 とし、うねりの数を n_3 とすると、面積 S_3 は、おおよそ、 $(W + 2 \times n_3 \times d_3) h$ となる。つまり、接合界面 51D が仮に平坦な面であった場合の面積 (Wh) と比べると、おおよそ、 $2 \times n_3 \times d_3 \times h$ だけ大きくなっている。一方、接合界面 51E の面積 S_4 についても、接合界面 51E のうねりの振幅を d_4 とし、うねりの数を n_4 とすると、面積 S_4 は、おおよそ、 $(W + 2 \times n_4 \times d_4) h$ となる。つまり、接合界面 51E が仮に平坦な面であった場合の面積 (Wh) と比べると、おおよそ、 $2 \times n_4 \times d_4 \times h$ だけ大きくなっている。これにより、上記実施の形態と同様、受光素子 50 の寄生容量 C_p の増大を最小限に抑えつつ、受光素子 50 から大きな光電流 I_p を発生させることができる。

【0048】

本実施の形態の受光装置 2 では、受光素子 50 の I-V 特性がゲート電極 12 で制御された状態で、受光素子 50 に対して外部から光が入射すると、受光素子 50 から光電流 I_p が発生する。発生した光電流 I_p は容量素子 20 に流れ込み、容量素子 20 に電荷が蓄積され、トランジスタ 40 のゲート電位が変位すると、その変位量に応じた電流がトランジスタ 40 のソース・ドレイン間に流れ、信号出力線 OUT に出力される。

【0049】

10

20

30

40

50

本実施の形態では、半導体層 5 1 において、対向部分 5 2 A , 5 2 B の双方が互い違いに凹凸形状となっており、さらに、対向部分 5 2 C , 5 2 D の双方が互い違いに凹凸形状となっている。これにより、受光素子 5 0 のサイズを大きくしなくても、n 型半導体領域 5 1 A と p 型半導体領域 5 1 C との対向面積（接合界面 5 1 D の面積）と、n 型半導体領域 5 1 B と p 型半導体領域 5 1 C との対向面積（接合界面 5 1 E の面積）とを大きくすることができる。その結果、受光素子 5 0 の寄生容量 C p の増大を最小限に抑えつつ、受光素子 5 0 から大きな光電流 I p を発生させることができる。

【 0 0 5 0 】

[変形例]

上記第二の実施の形態では、受光素子 5 0 がボトムゲート型のフォトダイオードである場合について説明したが、受光素子 5 0 は、例えば、図 7 に示したように、基板 1 1 上に、遮光膜 2 1 と、パッファ絶縁膜 2 2 と、半導体層 5 1 と、ゲート絶縁膜 2 3 と、ゲート電極 2 4 とを基板 1 1 側から順に備えたトップゲート型のフォトダイオードであってもよい。

10

【 0 0 5 1 】

また、上記第二の実施の形態では、半導体層 5 1 は、一对の n 型半導体領域 5 1 A , 5 1 B の間に p 型半導体領域 5 1 B を形成した n p n 構造となっていたが、p n p 構造となってもよい。

【 0 0 5 2 】

また、上記第二の実施の形態において、n 型半導体領域 5 1 A と p 型半導体領域 5 1 C との間に、p 型半導体領域 5 1 C の p 型不純物濃度よりも低い p 型不純物濃度の領域を設けたり、n 型半導体領域 5 1 A の n 型不純物濃度よりも低い n 型不純物濃度の領域を設けたりしてもよい。また、n 型半導体領域 5 1 B と p 型半導体領域 5 1 C との間に、p 型半導体領域 5 1 C の p 型不純物濃度よりも低い p 型不純物濃度の領域を設けたり、n 型半導体領域 5 1 B の n 型不純物濃度よりも低い n 型不純物濃度の領域を設けたりしてもよい。

20

【 0 0 5 3 】

以上、実施の形態およびその変形例を挙げて本発明の受光素子および受光装置について説明したが、本発明は上記各実施の形態等に限定されるものではなく、本発明の受光素子および受光装置の構成は、上記各実施の形態等と同様の効果を得ることが可能な限りにおいて自由に变形可能である。

30

【 0 0 5 4 】

例えば、上記各実施の形態では、受光素子 1 0 , 5 0 は、T F T 構造となっていたが、例えば、図示しないが、F i n F E T 構造となってもよい。また、受光素子 1 0 , 5 0 において、基板 1 1 として、ガラス基板などの代わりに、S O I 基板を用いることも可能である。

【 図面の簡単な説明 】

【 0 0 5 5 】

【 図 1 】 本発明の第一の実施の形態に係る受光装置の回路図である。

【 図 2 】 図 1 の受光素子の断面図と、受光素子内の半導体層の上面図である。

【 図 3 】 図 1 の受光素子の一変形例の断面図と、その受光素子内の半導体層の上面図である。

40

【 図 4 】 図 1 の受光素子の他の変形例の断面図である。

【 図 5 】 本発明の第二の実施の形態に係る受光装置の回路図である。

【 図 6 】 図 5 の受光素子の断面図と、受光素子内の半導体層の上面図である。

【 図 7 】 図 5 の受光素子の一変形例の断面図である。

【 図 8 】 従来の受光装置の回路図である。

【 符号の説明 】

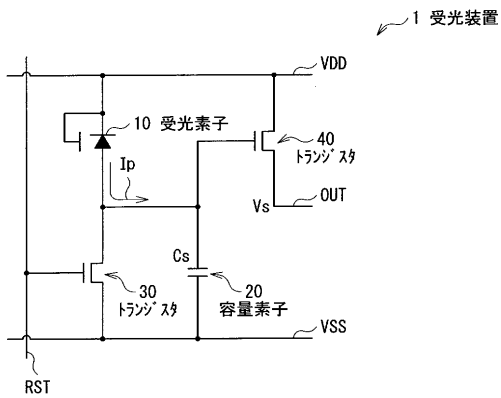
【 0 0 5 6 】

1 ... 受光装置、 1 0 , 5 0 ... 受光素子、 1 1 ... 基板、 1 2 , 2 4 ... ゲート電極、 1 3 , 2 3 ... ゲート絶縁膜、 1 4 , 5 1 ... 半導体層、 1 4 A , 5 1 C ... p 型半導体領域、 1 4 B

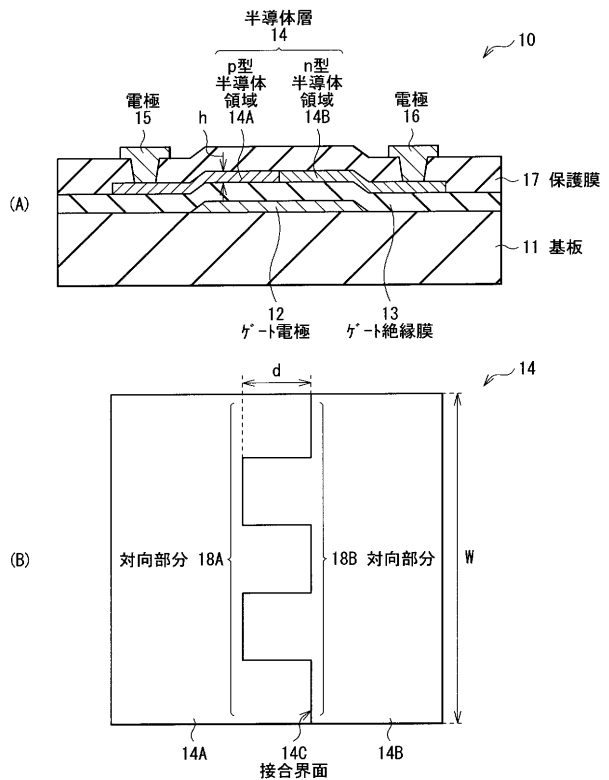
50

, 5 1 A , 5 1 B ... n 型半 導 体 領 域、 1 4 C , 1 4 E , 1 4 F , 5 1 D , 5 1 E ... 接 合 界 面、 1 4 D ... 真 性 半 導 体 領 域、 1 5 , 1 6 ... 電 極、 1 7 ... 保 護 膜、 1 8 A , 1 8 B , 1 8 C , 1 8 D , 5 2 A , 5 2 B , 5 2 C , 5 2 D ... 対 向 部 分、 2 0 ... 容 量 素 子、 2 1 ... 遮 光 膜、 2 2 ... バ ッ フ ァ 絶 縁 膜、 3 0 , 4 0 ... ト ラ ン ジ ス タ、 C s ... 寄 生 容 量、 I p ... 電 流、 O U T ... 信 号 出 力 線、 R S T ... リ セ ッ ト 信 号 線、 V s ... 電 圧、 V D D ... 電 源 電 圧 線、 V S S ... 参 照 電 圧 線。

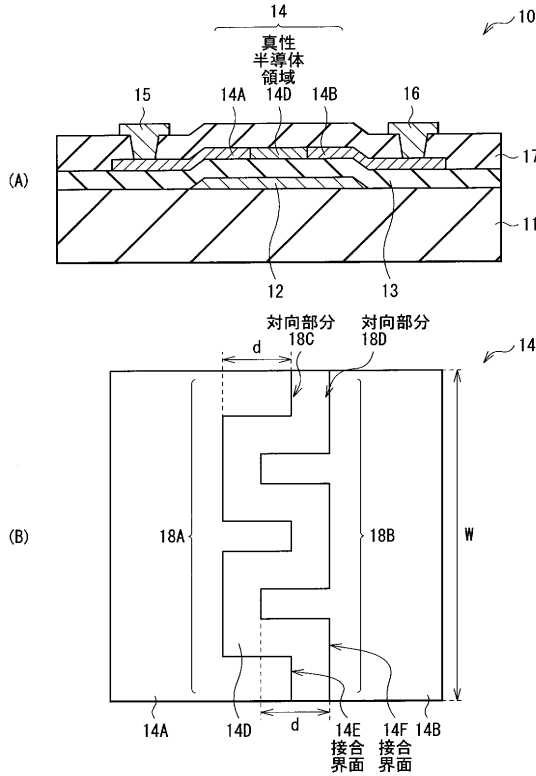
【 図 1 】



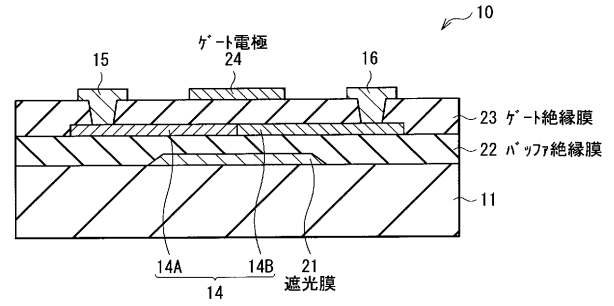
【 図 2 】



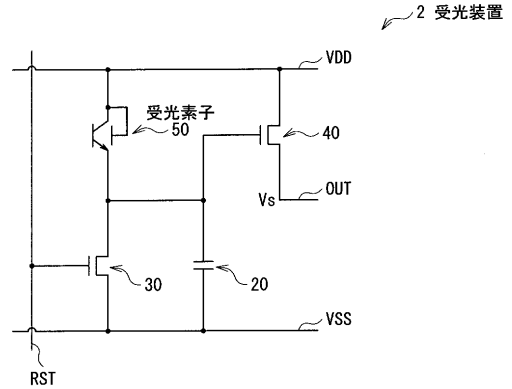
【図3】



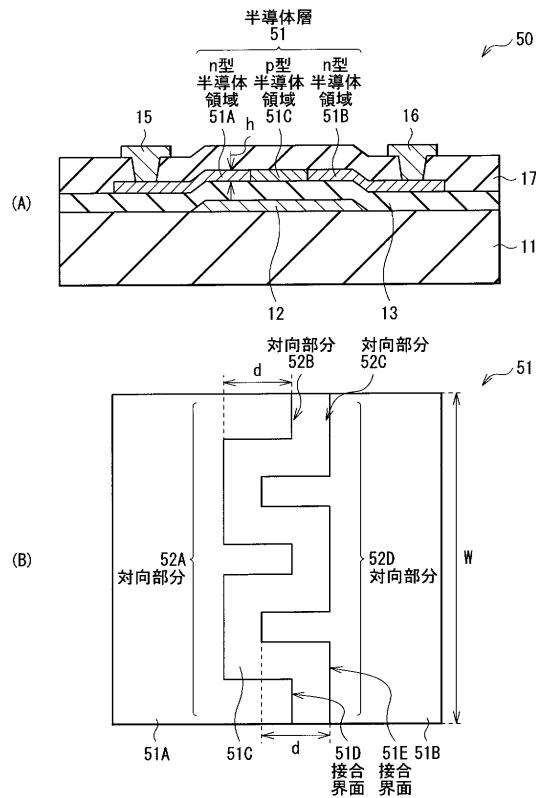
【図4】



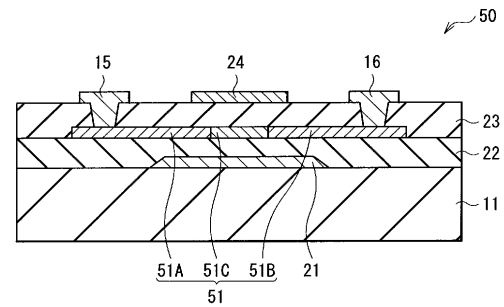
【図5】



【図6】



【図7】



【図8】

