

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-187888

(P2015-187888A)

(43) 公開日 平成27年10月29日 (2015. 10. 29)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 9/48 (2006.01)	G06F 9/46 452Z	
G06F 9/46 (2006.01)	G06F 9/46 41O	
G06F 9/38 (2006.01)	G06F 9/38 37OX	

審査請求 有 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2015-126242 (P2015-126242)
 (22) 出願日 平成27年6月24日 (2015. 6. 24)
 (62) 分割の表示 特願2014-90595 (P2014-90595) の分割
 原出願日 平成20年9月30日 (2008. 9. 30)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 安達 浩次
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 宮本 和納
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

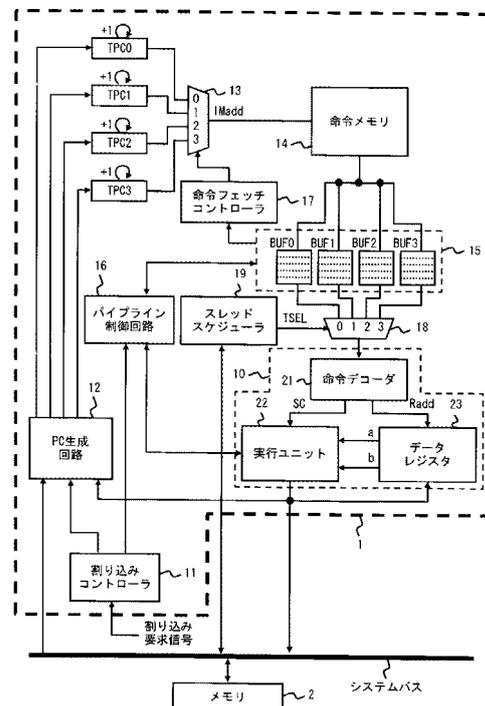
(54) 【発明の名称】 マルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法

(57) 【要約】 (修正有)

【課題】、ハードウェアスレッドの最低実行時間を保証しながら、柔軟なハードウェアスレッドの選択を行うマルチスレッドプロセッサを提供する。

【解決手段】マルチスレッドプロセッサ1は、複数のハードウェアスレッドと、ハードウェアスレッドを選択するスレッド選択信号TSELを出力するスレッドスケジューラ19と、スレッド選択信号TSELに応じて選択したハードウェアスレッドにより生成された命令を出力する第1のセクタ18と、命令を実行する演算回路10と、を有する。スレッドスケジューラ19は、第1の実行期間において固定的にハードウェアスレッドを選択し、第2の実行期間において任意のハードウェアスレッドを選択し、第1の実行期間と第2の実行期間の比率及び第1の実行期間に実行されるハードウェアスレッドの比率は、演算回路で実行される管理プログラムにより任意に設定される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のハードウェアスレッドを有し、前記ハードウェアスレッドを所定のスケジュールに従って切り替えながら、前記ハードウェアスレッドにより生成される命令流を実行するマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法であって、前記マルチスレッドプロセッサは、

前記複数のハードウェアスレッドのうち次実行サイクルにおいて使用するハードウェアスレッドを選択するスレッド選択信号を出力するスレッドスケジューラと、

前記スレッド選択信号に応じて前記複数のハードウェアスレッドのいずれか 1 つを選択して、選択したハードウェアスレッドにより生成された命令を出力するセレクタと、

10

を有し、前記スレッドスケジューラは、

各スロットが第 1 の情報を保持し、この第 1 の情報を書き換え可能とする複数のスロットを含むスレッド制御レジスタと、

前記複数のスロットのうち 1 つを指定する第 2 の情報を格納し、この第 2 の情報を書き換え可能とする格納部と、

をさらに有し、

前記スレッド制御レジスタの前記複数のスロットの第 1 のスロットからスロットを順番に選択し、

前記複数のスロットの中から前記第 2 の情報により指定された第 2 のスロットを選択したときには、前記第 1 のスロットに戻ってスロットを再び順次選択し、

20

順次選択されたスロットが保持する前記第 1 の情報に基づき、ハードウェアスレッドを前記セレクタに選択させ、

前記第 1 のスロットから前記第 2 のスロットが選択されるまでのスレッド選択処理の長さが前記第 2 の情報を書き換えることにより変更可能なマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法。

【請求項 2】

前記第 1 の情報、及び前記第 2 の情報は、前記セレクタから出力される命令を実行する演算回路で実行される管理プログラムにより前記スロット及び前記格納部に設定される請求項 1 に記載のマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法。

30

【請求項 3】

前記スレッドスケジューラは、前記スロットの番号を示すカウント値を所定の周期でカウントアップし、前記カウント値が前記第 2 の情報で示される値に達したことに応じて前記カウント値がリセットされるカウンタを有する請求項 1 又は 2 に記載のマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法。

【請求項 4】

前記第 1 の情報が、ハードウェアスレッド番号を含む請求項 1 乃至 3 のいずれか 1 項に記載のマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法。

【請求項 5】

前記管理プログラムは、前記マルチスレッドプロセッサの起動後に実行される請求項 2 に記載のマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明にかかるマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法に関し、特に複数のハードウェアスレッドの実行順序をスケジュールするスレッドスケジューラを有するマルチスレッドプロセッサにおけるハードウェアスレッドのスケジュール方法に関する。

【背景技術】

50

【 0 0 0 2 】

近年、プロセッサの処理能力を向上させるためにマルチスレッドプロセッサが提案されている。マルチスレッドプロセッサは、それぞれが独立した命令流を生成するスレッドを有する。そして、マルチスレッドプロセッサは、パイプライン処理により命令を処理する演算回路に対していずれのスレッドにより生成された命令流を処理させるかを切り替えながら演算処理を実行する。このとき、マルチスレッドプロセッサは、1つのスレッドにより生成された命令をパイプライン中の1つの実行ステージで実行しながら、他の実行ステージにおいて他のスレッドにより生成された命令を処理することができる。つまり、マルチスレッドプロセッサの演算回路では、互いに独立関係にある命令がそれぞれ異なる実行ステージで実行されることになる。これにより、マルチスレッドプロセッサは、それぞれの命令流を円滑に処理しながら、パイプラインの実行ステージが何も処理しない時間を削減し、プロセッサの処理能力を向上させる。

10

【 0 0 0 3 】

このようなマルチスレッドプロセッサの一例が特許文献1に開示されている。特許文献1に記載のマルチスレッドプロセッサでは、複数のプロセッサエレメントと、各プロセッサエレメントのスレッドを切り替える並列プロセッサ制御部とを備える。そして、並列プロセッサ制御部は、プロセッサエレメントにおいて実行されているスレッドの実行時間をカウントし、カウントした時間がスレッドの割り当て時間に達したときにタイムアウト信号を出力し、タイムアウト信号と実行順序レジスタに保持された実行順序情報とに基づきプロセッサエレメントが実行すべきスレッドを切り替える。

20

【 0 0 0 4 】

このようにマルチスレッドプロセッサでは、演算回路においていずれのスレッドが生成する命令流を処理させるかをスケジュールに従って切り替える。このレッドのスケジュール方法の一例が特許文献2において開示されている。特許文献2に記載のマルチスレッドプロセッサでは、複数のスレッドを巡回的に、そのスレッドに割り当てられた時間ずつ実行する。つまり、特許文献2では、固定的に定められたスケジュールを巡回的に実行することで所定の実行時間比で各スレッドが実行される。

【 0 0 0 5 】

また、スレッドの別のスケジュール方法が特許文献3に開示されている。特許文献3では、スレッドのスケジューリングの方法としてラウンドロビン方式とプライオリティ方式とが記載されている。ラウンドロビン方式では、待ち行列に入っているスレッドを一定時間毎に順番に選んで実行する。そのため、ラウンドロビン方式では、待ち行列にあるスレッドが一定時間ごとに公平にCPUに割り当てられて実行される。また、プライオリティ方式は、スレッドの優先度の順にスレッドを実行する。より具体的には、プライオリティ方式では、優先度毎に設けられた待ち行列に各優先度のスレッドがキューイングされ、優先度の高い待ち行列から順にスレッドが選択されCPUに割り当てられて実行される。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 7 - 3 1 7 1 7 1 号 公 報

40

【 特許文献 2 】 特開 2 0 0 8 - 5 2 7 5 0 号 公 報

【 特許文献 3 】 特開 2 0 0 6 - 1 5 5 4 8 0 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、ラウンドロビン方式及びプライオリティ方式に共通する問題として、スレッドの最低実行時間を保証しながら、柔軟にスレッドの実行時間を設定できない問題がある。例えば、ラウンドロビン方式では、スレッド数が増加した場合、各スレッドの実行時間が均等に減少し、優先度の高いスレッドに十分な実行時間が割り当てられない問題がある。また、プライオリティ方式では、優先度の高いスレッドの処理が続いた場合、優先

50

度の低いスレッドが処理できない問題がある。

【課題を解決するための手段】

【0008】

本発明にかかるマルチスレッドプロセッサの一態様は、それぞれが独立した命令流を生成する複数のハードウェアスレッドと、スケジュールに従って、前記複数のハードウェアスレッドのうち次実行サイクルにおいて使用するハードウェアスレッドを選択するスレッド選択信号を出力するスレッドスケジューラと、前記スレッド選択信号に応じて前記複数のハードウェアスレッドのいずれか1つを選択して、選択したハードウェアスレッドにより生成された命令を出力する第1のセレクタと、前記第1のセレクタから出力される命令を実行する演算回路と、を有し、前記スレッドスケジューラは、第1の実行期間において前記複数のハードウェアスレッドのうちから固定的に選択された少なくとも1つの前記ハードウェアスレッドを選択し、第2の実行期間において任意の前記ハードウェアスレッドを選択し、前記第1の実行期間と前記第2の実行期間の比率、及び前記第1の実行期間に実行されるハードウェアスレッドの比率は、前記演算回路で実行される管理プログラムにより任意に設定されるものである。

10

【0009】

本発明にかかるマルチスレッドプロセッサによれば、第1の実行期間において実行されるハードウェアスレッドは、他のハードウェアスレッドの優先度にかかわらず実行される。また、第2の実行期間には、任意のハードウェアスレッドを実行することができる。これにより、本発明にかかるマルチスレッドプロセッサによれば、第1の実行期間に最低実行時間を保証したいハードウェアスレッドを定義し、第2の実行期間にはそのときの処理状況に応じた任意のハードウェアスレッドを定義することができる。

20

【発明の効果】

【0010】

本発明にかかるマルチスレッドプロセッサによれば、ハードウェアスレッドの最低実行時間を保証しながら、柔軟にハードウェアスレッドの実行時間を設定できる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1にかかるマルチスレッドプロセッサのブロック図である。

【図2】実施の形態1にかかるスレッドスケジューラのブロック図である。

30

【図3】実施の形態1にかかるスロットの構成を示す模式図である。

【図4】実施の形態1にかかるマルチスレッドプロセッサの起動時の動作手順を示すフローチャートである。

【図5】実施の形態1にかかるスレッドスケジューラの動作を示す表である。

【図6】実施の形態1にかかるマルチスレッドプロセッサの動作を示すタイミングチャートである。

【発明を実施するための形態】

【0012】

実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。図1に本実施の形態にかかるマルチスレッドプロセッサ1を含むプロセッサシステムのブロック図を示す。本実施の形態にかかるプロセッサシステムでは、システムバスを介してマルチスレッドプロセッサ1とメモリ2が接続される。なお、図示はしていないが、システムバスには、入出力インタフェースなどの他の回路も接続されるものとする。

40

【0013】

まず、本実施の形態にかかるマルチスレッドプロセッサ1について説明する。マルチスレッドプロセッサ1は、複数のハードウェアスレッドを備える。ハードウェアスレッドは、スレッドプログラムカウンタ、命令メモリ、汎用レジスタ、及び制御レジスタ（本実施の形態ではパイプライン制御回路16に内蔵されるものとする）等の回路群により構成される。そして、ハードウェアスレッドとは、マルチスレッドプロセッサ1に内蔵されるス

50

レッドプログラムカウンタにより出力される命令フェッチアドレスに従って命令メモリから読み出される一連の命令群により構成される命令流を生成する系のことをいう。つまり、1つのハードウェアスレッドにより生成される命令流に含まれる命令は、互いに関連性の高い命令である。本実施の形態では、マルチスレッドプロセッサ1が複数のスレッドプログラムカウンタを備えることでその数に応じた数のハードウェアスレッドが実装される。以下では、マルチスレッドプロセッサ1についてさらに詳細に説明する。

【0014】

図1に示すようにマルチスレッドプロセッサ1は、演算回路10、割り込みコントローラ11、PC生成回路12、スレッドプログラムカウンタTPC0~TPC3、セクタ13、18、命令メモリ14、命令バッファ15、パイプライン制御回路16、命令フェッチコントローラ17、スレッドスケジューラ19を有する。

10

【0015】

演算回路10は、セクタ18によって選択されたハードウェアスレッドが生成する命令に基づき演算処理を実行する。より具体的には、演算回路10は、命令デコーダ21、実行ユニット22、データレジスタ23を有する。命令デコーダ21は受信した命令をデコードして、実行ユニット22に対して演算制御信号SCを出力する。また、命令デコーダ21は、命令のデコード結果に基づきデータの格納位置を示すデータレジスタアドレスRad dの出力を行う。実行ユニット22は、演算制御信号SCに応じて各種の演算を実行する。なお、実行ユニット22は、複数の実行ステージを有し、パイプライン処理により演算を行う。また、実行ユニット22において実行された演算結果は、その演算結果の種類に応じてPC生成回路12、メモリ2、データレジスタ23に送信される。データレジスタ23は、実行ユニット22において用いられるデータが格納される。そして、データレジスタ23は、データレジスタアドレスRad dにより指定したアドレスのデータを出力する。図1に示す例では、データレジスタ23は、データレジスタアドレスRad dに応じてデータaとデータbとを出力する形態となる。また、データレジスタ23は、データレジスタアドレスRad dにより指定されるアドレスに実行ユニット22が出力する演算結果を格納する。

20

【0016】

割り込みコントローラ11は、割り込み要求信号を受けて、マルチスレッドプロセッサ1内に割り込み処理の実行を指示する割り込み指示信号を出力する。より具体的には、割り込みコントローラ11は、割り込み要求信号を受信すると、割り込み要因や割り込み処理の優先度等を判定し、当該割り込み要因に関連した処理を行うようにPC生成回路12及びパイプライン制御回路16に割り込み処理の実行を指示する。この割り込み要求は、マルチスレッドプロセッサ1が出力するものの他に、マルチスレッドプロセッサ1以外の回路からも出力される。

30

【0017】

PC生成回路12は、システムバスを介して入力される新たなプログラム命令信号、割り込みコントローラ11が出力する割り込み指示信号及び実行ユニット22における処理に基づき出力される分岐指示信号を受けて、プログラムカウント更新値を生成する。そして、PC生成回路12は、プログラムカウント更新値をスレッドプログラムカウンタTPC0~TPC3のいずれかに与える。なお、PC生成回路12は、生成したプログラムカウント更新値をいずれのスレッドプログラムカウンタに与えるかを判断する機能も有する。

40

【0018】

スレッドプログラムカウンタTPC0~TPC3は、処理すべき命令が格納される命令メモリ14のアドレス(このアドレスを命令フェッチアドレスIMad dと称す)を生成する。また、スレッドプログラムカウンタTPC0~TPC3は、PC生成回路12からプログラムカウント更新値が与えられた場合は、命令フェッチアドレスIMad dをプログラムカウント更新値に応じて更新する。一方、スレッドプログラムカウンタTPC0~TPC3は、プログラムカウント更新値の入力がない場合は、アドレスを昇順に計算し、

50

連続する次の命令フェッチアドレスを算出する。なお、図 1 においては、スレッドプログラムカウンタの数を 4 つとしたが、プログラムスレッドカウンタの数は、マルチスレッドプロセッサの仕様に応じて任意に設定することができる。

【 0 0 1 9 】

セレクタ 1 3 は、命令フェッチコントローラが出力するスレッド指定信号に応じてスレッドプログラムカウンタ T P C 0 ~ T P C 3 のうちいずれか 1 つを選択し、選択したスレッドプログラムカウンタが出力する命令フェッチアドレス I M a d d を出力する。なお、図 1 のセレクタ 1 3 において入力端子に 0 ~ 4 の数字を付したが、この数字は、ハードウェアスレッドの番号を示すものである。

【 0 0 2 0 】

命令メモリ 1 4 は、複数のハードウェアスレッドにより共通して用いられるメモリ領域である。命令メモリ 1 4 は、マルチスレッドプロセッサ 1 において実行される演算で用いられる各種命令が格納される。そして、命令メモリ 1 4 は、セレクタ 1 3 を介して入力される命令フェッチアドレス I M a d d により指定された命令を出力する。このとき、命令メモリ 1 4 は、セレクタ 1 3 がスレッドプログラムカウンタ T P C 0 ~ T P C 3 のいずれが出力した命令フェッチアドレス I M a d d であるかを判別し、判別結果に応じて命令の出力先を振り分ける。本実施の形態では、命令バッファ 1 5 は、スレッドプログラムカウンタ T P C 0 ~ T P C 3 に対応した命令バッファ領域 B U F 0 ~ B U F 3 を有する。そこで、命令メモリ 1 4 は、命令フェッチアドレス I M a d d の出力元に応じて命令バッファ領域 B U F 0 ~ B U F 3 のいずれかに読み出された命令を振り分ける。なお、命令メモリ 1 4 は、メモリ 2 に含まれる所定のメモリ領域であっても良い。また、命令バッファ領域 B U F 0 ~ B U F 3 は、F I F O (F i r s t I n F i r s t O u t) 形式のバッファ回路である。また、命令バッファ領域 B U F 0 ~ B U F 3 は、1 つのバッファ内において領域分割されたものでも良く、分離された領域に形成されたものでも良い。

【 0 0 2 1 】

パイプライン制御回路 1 6 は、命令バッファ 1 5 の先頭に格納された命令と実行ユニット 2 2 において実行されている命令とをモニタする。そして、パイプライン制御回路 1 6 は、割り込みコントローラ 1 1 から割り込み指示信号が入力された場合には、割り込み処理に関するハードウェアスレッドに属する命令を廃棄する指示を命令バッファ 1 5 及び実行ユニット 2 2 に対して行う。

【 0 0 2 2 】

命令フェッチコントローラ 1 7 は、命令バッファ 1 5 に格納されている命令の個数に応じていずれのハードウェアスレッドに属する命令をフェッチすべきかを判断し、その判断結果に基づきスレッド指定信号を出力する。例えば、命令フェッチコントローラ 1 7 は、命令バッファ領域 B U F 0 に格納される命令キューの数が他の命令バッファ領域に格納される命令キューの数よりも少なければ、0 番のハードウェアスレッドに属する命令をフェッチすべきと判断し、0 番のハードウェアスレッドを示すスレッド指定信号を出力する。これにより、セレクタ 1 3 は、スレッドプログラムカウンタ T P C 0 を選択する。なお、命令フェッチコントローラ 1 7 は、ラウンドロビン方式による手順で選択するハードウェアスレッドを決定しても良い。

【 0 0 2 3 】

セレクタ 1 8 は、第 1 のセレクタとして機能するセレクタである。セレクタ 1 8 は、スレッドスケジューラ 1 9 が出力するスレッド選択信号 T S E L に応じて命令バッファ領域 B U F 0 ~ B U F 3 のいずれか 1 つを選択し、選択した命令バッファ領域から読み出した命令を演算回路 1 0 に出力する。つまり、セレクタ 1 8 は、スレッド選択信号 T S E L に応じて複数のハードウェアスレッドから 1 つのハードウェアスレッドを選択し、選択したハードウェアスレッドが出力する命令を演算回路 1 0 に出力する。なお、セレクタ 1 8 においても、入力端子に 0 ~ 4 の数字を付したが、この数字は、ハードウェアスレッドの番号を示すものである。

【 0 0 2 4 】

10

20

30

40

50

スレッドスケジューラ 19 は、予め設定されたスケジュールに従って、複数のハードウェアスレッドのうち次の実行サイクルにおいて実行される 1 つのハードウェアスレッドを指定するスレッド選択信号 TSEL を出力する。つまり、スレッドスケジューラ 19 は、複数のハードウェアスレッドのどのような順序で処理するかをスケジュールにより管理し、そのスケジュールに沿った順序でハードウェアスレッドにより生成される命令が実行されるようにスレッド選択信号 TSEL を出力する。なお、本実施の形態にかかるマルチスレッドプロセッサ 1 では、このスケジュールをマルチスレッドプロセッサ 1 の起動の直後に実行される管理プログラムにより設定する。

【0025】

本実施の形態にかかるマルチスレッドプロセッサ 1 では、特にスレッドスケジューラ 19 において行われるハードウェアスレッドのスケジューリング方法に特徴を有する。以下では、スレッドスケジューラ 19 及びそのスケジューリングの方法について説明を行う。

【0026】

図 2 にスレッドスケジューラ 19 のブロック図を示す。図 2 に示すように、スレッドスケジューラ 19 は、第 2 のセクタ (例えば、セクタ 30)、第 1 のスケジューラ 31、第 2 のスケジューラ 32 を有する。セクタ 30 は、実時間ビット信号の信号レベルに応じて第 1 のスケジューラ 31 が出力するスレッド番号 A と第 2 のスケジューラ 32 が出力するスレッド番号 B とのいずれか一方を選択して、選択したスレッド番号をスレッド選択信号 TSEL として出力する。このスレッド選択信号 TSEL において示されるスレッド番号が次の実行サイクルにおいて実行されるハードウェアスレッドの番号となる。

【0027】

第 1 のスケジューラ 31 は、第 1 の実行期間と第 2 の実行期間とを切り替える選択信号 (例えば、実時間ビット信号) を出力すると共に、実時間ビット信号が第 1 の実行期間を指定している期間において予め設定された実行順序で実行されるハードウェアスレッドを指定する第 1 のハードウェアスレッド番号 (例えばスレッド番号 A) を出力する。ここで、第 1 の実行期間とは、後述する実時間ビット信号が 1 である期間であり、第 2 の実行期間とは、後述する実時間ビット信号が 0 である期間をいう。また、第 1 の実行期間においては、選択されるハードウェアスレッド番号が予め設定されており、第 2 の実行期間においては、選択されるハードウェアスレッド番号が例えば、第 2 のスケジューラ 32 により任意に設定される。この第 1 のスケジューラ 31 は、スレッド制御レジスタ 33、カウンタ 34、カウント最大値格納部 35、一致比較回路 36、第 3 のセクタ (例えば、セクタ 37) を有する。

【0028】

スレッド制御レジスタ 33 は、複数のスロット (例えば、スロット SLT0 ~ SLT7) を備える。このスロットの構成を図 3 に示す。図 3 に示すように、スロット SLT0 ~ SLT7 は、それぞれハードウェアスレッド番号が格納される番号格納部と、当該スロットが選択された場合における実時間ビット信号の論理レベルを決定する期間属性設定フラグが格納される実時間ビット格納部とを有する。

【0029】

カウンタ 34 は、所定の間隔でカウント値 CNT を更新する。より具体的には、本実施の形態におけるカウンタ 34 は、図示しないマルチスレッドプロセッサ 1 の動作クロックに同期してカウント値 CNT をカウントアップする。カウント最大値格納部 35 は、カウンタ 34 のカウント値 CNT の上限値を定めるカウント最大値 CNTM を格納する。一致比較回路 36 は、カウント値 CNT とカウント最大値 CNTM とを比較し、カウント値 CNT とカウント最大値 CNTM が一致した場合に、カウンタ 34 のカウント値をリセットするリセット信号 RST を出力する。つまり、カウンタ 34 は、所定の周期でカウント値 CNT を初期化しながら、カウントアップ動作を繰り返すことで、循環的に値が更新されるカウント値 CNT を出力する。

【0030】

セクタ 37 は、カウント値 CNT に応じてスレッド制御レジスタ 33 内のスロットの

10

20

30

40

50

1つを選択し、選択したスロットに格納される値に基づき実時間ビット信号とスレッド番号Aを出力する。より具体的には、セクタ37は、カウント値CNTが0であればスロットSLT0を選択し、スロットSLT0の番号格納部に格納されたハードウェアスレッド番号をスレッド番号Aとし、スロットSLT0の実時間ビット格納部に格納される期間属性設定フラグの値を実時間ビット信号の論理レベルとする。

【0031】

なお、第1のスケジューラ31のスレッド制御レジスタ33のスロットに格納される値、カウンタ34のカウント値CNTの初期値、カウント最大値格納部35のカウント最大値CNTMは、マルチスレッドプロセッサ1の起動時に実行される管理プログラムにより設定される。また、管理プログラムは、メモリ2からこれら設定値を読み込むものとする。

10

【0032】

第2のスケジューラ32は、例えば、ラウンドロビン方式やプライオリティ方式の手順に従って任意のハードウェアスレッドを選択する。この第2のスケジューラ32が出力するハードウェアスレッド番号をスレッド番号Bと称する。

【0033】

続いて、スレッドスケジューラ19を用いたマルチスレッドプロセッサ1の動作について説明する。図4に、マルチスレッドプロセッサ1の電源投入時から通常処理の開始までの動作の手順を示すフローチャートを示す。図4に示すように、マルチスレッドプロセッサ1は、電源が投入されるとまずハードウェアリセットにより回路の状態を初期化する（ステップS1）。続いて、マルチスレッドプロセッサ1は、シングルスレッドモードにおいて動作を開始する（ステップS2）。このシングルスレッドモードでは、例えば、スレッドプログラムカウンタTPC0、命令メモリ14、命令バッファ領域BUF0が活性化され、他のスレッドプログラムカウンタTPC1～TPC3及び命令バッファ領域BUF1～BUF3はスタンバイ状態のまま待機する。

20

【0034】

そして、マルチスレッドプロセッサ1は、管理プログラムをメモリ2又は図示しない他の記憶装置から読み出し、管理プログラムを実行する（ステップS3）。その後、管理プログラムに従って、マルチスレッドプロセッサ1は、スレッド制御レジスタ33内のスロットへの値の設定（ステップS4）、カウンタ34のカウント値CNTの初期化（ステップS5）、カウント最大値CNTMの設定（ステップS6）を行う。これらの各種レジスタの設定が完了すると、マルチスレッドプロセッサ1はマルチスレッドモードにて動作を開始する（ステップS7）。このシングルスレッドモードでは、例えば、スレッドプログラムカウンタTPC0～TPC3、命令メモリ14、命令バッファ領域BUF0～BUF3が活性化される。そして、マルチスレッドプロセッサ1は、マルチスレッドモードにて通常動作を開始する。

30

【0035】

次に、通常動作開始後のマルチスレッドプロセッサ1の動作について説明する。以下の説明では、特に、スレッドスケジューラ19の動作について説明する。なお、以下の説明では、設定の一例として、カウンタ34のカウント値CNTの初期値を0、カウント最大値CNTMを4とする。また、スレッド制御レジスタ33のスロットの各値は、スロットSLT0～SLT2、SLT4、SLT5、SLT7の実時間ビットを1とし、スロットSLT3、SLT6の実時間ビットを0とする。さらに、スロットSLT0、SLT2、SLT5、SLT7のハードウェアスレッド番号を0、スロットSLT1、SLT4のハードウェアスレッド番号を1、スロットSLT3のハードウェアスレッド番号を2とする。

40

【0036】

上記条件においてスレッドスケジューラ19が出力するスレッド選択信号TSELが選択するハードウェアスレッド番号を図5の表に示す。図5の表では、スレッドスケジューラ19が選択するハードウェアスレッドを切り替える一タイミングを一時刻とし、時刻の

50

経過と共にスレッド選択信号 T S E L がどのように切り替わるかを示した。

【 0 0 3 7 】

図 5 に示すように、まず時刻 t_1 におけるカウント値 C N T が 0 とすると、セクタ 37 は、スロット S L T 0 を選択する。従って、セクタ 37 は、実時間ビット信号の論理レベルを 1 とし、スレッド番号 A を 0 番とする。これにより、セクタ 30 は、スレッド選択信号 T S E L としてスレッド番号 A の 0 番を出力する。

【 0 0 3 8 】

続いて、時刻 t_2 ではカウント値 C N T が 1 にカウントアップされる。そのため、セクタ 37 は、スロット S L T 1 を選択する。従って、セクタ 37 は、実時間ビット信号の論理レベルを 1 とし、スレッド番号 A を 1 番とする。これにより、セクタ 30 は、スレッド選択信号 T S E L としてスレッド番号 A の 1 番を出力する。

10

【 0 0 3 9 】

次いで、時刻 t_3 ではカウント値 C N T が 2 にカウントアップされる。そのため、セクタ 37 は、スロット S L T 2 を選択する。従って、セクタ 37 は、実時間ビット信号の論理レベルを 0 とし、スレッド番号 A を 1 番とする。これにより、セクタ 30 は、スレッド選択信号 T S E L としてスレッド番号 B として出力されるハードウェアスレッド番号の番号 (例えば n 番) を出力する。

【 0 0 4 0 】

次いで、時刻 t_4 ではカウント値 C N T が 3 にカウントアップされる。そのため、セクタ 37 は、スロット S L T 3 を選択する。従って、セクタ 37 は、実時間ビット信号の論理レベルを 1 とし、スレッド番号 A を 2 番とする。これにより、セクタ 30 は、スレッド選択信号 T S E L としてスレッド番号 A の 2 番を出力する。

20

【 0 0 4 1 】

次いで、時刻 t_5 ではカウント値 C N T が 4 にカウントアップされる。そのため、セクタ 37 は、スロット S L T 4 を選択する。従って、セクタ 37 は、実時間ビット信号の論理レベルを 1 とし、スレッド番号 A を 1 番とする。これにより、セクタ 30 は、スレッド選択信号 T S E L としてスレッド番号 A の 1 番を出力する。

【 0 0 4 2 】

そして、時刻 t_5 では、カウント値 C N T がカウント最大値 C N T M に達するため、時刻 t_6 の経過後にカウント値 C N T はリセットされる。これにより、時刻 $t_6 \sim t_{10}$ の期間のスレッドスケジューラ 19 は、時刻 $t_1 \sim t_5$ の動作を繰り返すことになる。マルチスレッドプロセッサ 1 では、カウント値 C N T がリセットされる周期をスレッド選択処理の一周期とする。

30

【 0 0 4 3 】

続いて、上記スレッドスケジューラ 19 が出力するスレッド選択信号 T S E L に基づくマルチスレッドプロセッサ 1 の動作のタイミングチャートを図 6 に示す。この図 6 において選択されるハードウェアスレッド及び時刻は、図 5 において説明したスレッド選択信号 T S E L 及び時刻に基づくものである。

【 0 0 4 4 】

図 6 に示すように、マルチスレッドプロセッサ 1 は、時刻 t_1 においては、スレッド選択信号 T S E L が 0 番のハードウェアスレッドを選択するため、0 番のハードウェアスレッドに属する命令 0 を実行する。次いで、時刻 t_2 においては、スレッド選択信号 T S E L が 1 番のハードウェアスレッドを選択するため、1 番のハードウェアスレッドに属する命令 0 を実行する。次いで、時刻 t_3 においては、スレッド選択信号 T S E L が第 2 のスケジューラ 32 が選択した任意のハードウェアスレッド (例えば n 番) を選択するため、 n 番のハードウェアスレッドに属する命令 0 を実行する。次いで、時刻 t_4 においては、スレッド選択信号 T S E L が 2 番のハードウェアスレッドを選択するため、2 番のハードウェアスレッドに属する命令 0 を実行する。次いで、時刻 t_5 においては、スレッド選択信号 T S E L が 1 番のハードウェアスレッドを選択するため、1 番のハードウェアスレッドに属する命令 1 を実行する。そして、マルチスレッドプロセッサ 1 は、時刻 t_5 が経過

40

50

する時点でスレッド選択の周期を1つ終了させ、次のスレッド選択処理の周期を開始する。

【0045】

次のスレッド選択処理の周期(時刻 $t_6 \sim t_{10}$)では、時刻 $t_1 \sim t_5$ の周期と同様の順序でハードウェアスレッドを選択するが、選択されたハードウェアスレッドにおいて処理される命令は、前の周期の続きの命令群となる。

【0046】

例えば、時刻 t_6 においては、スレッド選択信号TSELが0番のハードウェアスレッドを選択するため、0番のハードウェアスレッドに属する命令1を実行する。次いで、時刻 t_7 においては、スレッド選択信号TSELが1番のハードウェアスレッドを選択するため、1番のハードウェアスレッドに属する命令2を実行する。次いで、時刻 t_8 においては、スレッド選択信号TSELが第2のスケジューラ32が選択した任意のハードウェアスレッド(例えば n 番)を選択するため、 n 番のハードウェアスレッドに属する命令1を実行する。次いで、時刻 t_9 においては、スレッド選択信号TSELが2番のハードウェアスレッドを選択するため、2番のハードウェアスレッドに属する命令1を実行する。次いで、時刻 t_{10} においては、スレッド選択信号TSELが1番のハードウェアスレッドを選択するため、1番のハードウェアスレッドに属する命令3を実行する。

【0047】

このように、スレッドスケジューラ19が循環的に選択するハードウェアスレッドを切り替えた場合、1つのスレッド選択処理周期において処理されるハードウェアスレッドの実行時間は所定の比率となる。図6に示す例では、第1の実行期間において0番のハードウェアスレッドは1回、1番のハードウェアスレッドは2回、2番のハードウェアスレッドは1回実行される。また、第2の実行期間において任意(n 番)のハードウェアスレッドが1回実行されることになる。つまり、第1の実行期間と第2の実行期間とのプロセッサ占有時間の比率は80:20である。また、0番のハードウェアスレッドは少なくとも20%のプロセッサ占有時間を確保し、1番のハードウェアスレッドは少なくとも40%のプロセッサ占有時間を確保し、2番のハードウェアスレッドは少なくとも20%のプロセッサ占有時間を確保する。また、第2の実行期間として割り当てられた20%のプロセッサ占有時間の間は、マルチスレッドプロセッサ1におけるスレッドの処理状況に応じた任意のハードウェアスレッドを実行される。

【0048】

上記説明より、本実施の形態にかかるマルチスレッドプロセッサ1では、スレッドスケジューラ19が実時間ビット信号の論理レベルが1となる第1の実行期間において予め設定された順序により予め設定されたハードウェアスレッドを選択し、実時間ビット信号の論理レベルが0となる第2の実行期間は、任意のハードウェアスレッドを選択する。これにより、マルチスレッドプロセッサ1は、第1の実行期間において選択されるハードウェアスレッドのプロセッサ占有時間の最低時間を保証する。また、第2の実行期間において任意のハードウェアスレッドを選択することで、マルチスレッドプロセッサ1は、その処理状況に応じて任意のハードウェアスレッドのプロセッサ占有時間を増加させることができる。

【0049】

また、本実施の形態におけるマルチスレッドプロセッサ1では、第1の実行期間と第2の実行期間との比率、及び、第1の実行期間の間に実行されるハードウェアスレッドの比率を管理プログラムにより任意に設定することができる。つまり、管理プログラムにより設定されるスレッド制御レジスタ33内のスロットへの値及びカウンタ最大値CNTMの値を、マルチスレッドプロセッサ1に対する処理要求に応じて変更することで柔軟なハードウェアスレッドの選択方法を選ぶことが可能になる。より具体的には、スレッド制御レジスタ33内のスロットの実時間ビットの値及びハードウェアスレッド番号の値を変更することで第1の実行時間中に実行されるべきハードウェアスレッドを選択することができ、さらに、第1の実行時間と第2の実行時間との比率を変更することができる。また、カ

10

20

30

40

50

ウント最大値 CNTM にどのような値を設定するかにより、一スレッド選択処理周期の長さを変更することができる。

【 0 0 5 0 】

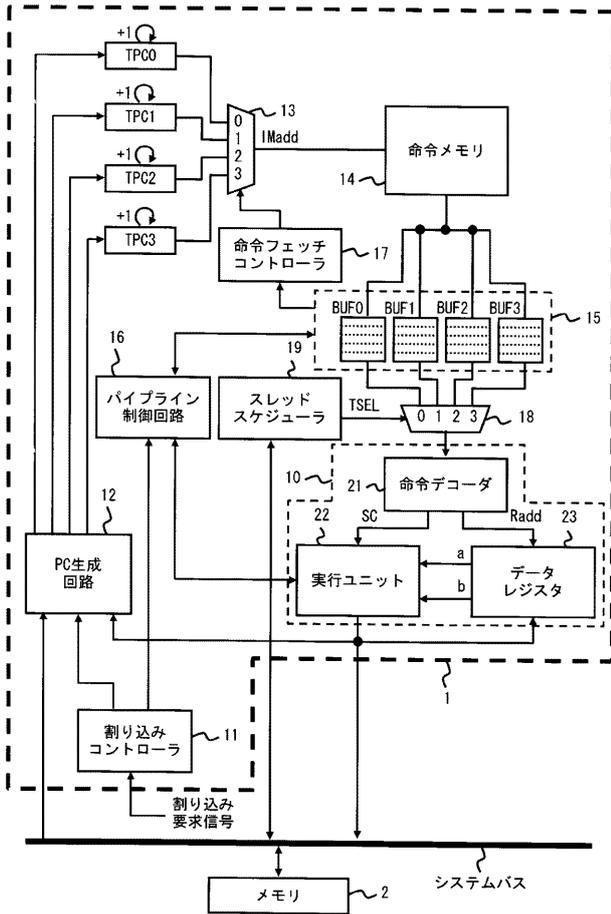
なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、第 2 のスケジューラにおけるスレッドのスケジューリング方法は、マルチスレッドプロセッサの仕様に依じて適宜変更することが可能である。

【 符号の説明 】

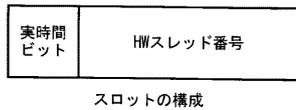
【 0 0 5 1 】

1	マルチスレッドプロセッサ	10
2	メモリ	
1 0	演算回路	
1 1	割り込みコントローラ	
1 2	PC生成回路	
1 3、1 8、3 0、3 7	セレクタ	
1 4	命令メモリ	
1 5	命令バッファ	
1 6	パイプライン制御回路	
1 7	命令フェッチコントローラ	
1 9	スレッドスケジューラ	20
2 1	命令デコーダ	
2 2	実行ユニット	
2 3	データレジスタ	
3 1	第 1 のスケジューラ	
3 2	第 2 のスケジューラ	
3 3	スレッド制御レジスタ	
3 4	カウンタ	
3 5	カウント最大値格納部	
3 6	一致比較回路	
a、b	データ	30
BU F 0 ~ BU F 0	命令バッファ領域	
IM a d d	命令フェッチアドレス	
R a d d	データレジスタアドレス	
SC	演算制御信号	
TSEL	スレッド選択信号	
CNT	カウント値	
CNTM	カウント最大値	
RST	リセット信号	
SLT 0 ~ SLT 7	スロット	
TPC 0 ~ TCP 3	スレッドプログラムカウンタ	40

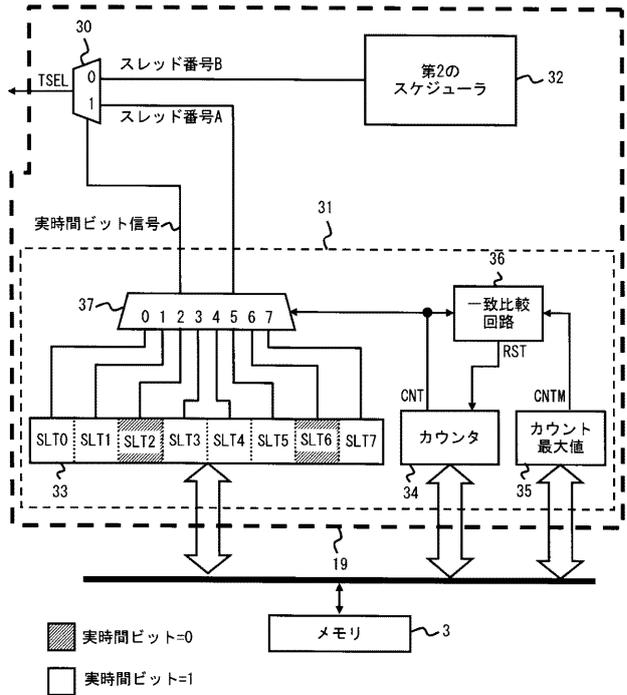
【 図 1 】



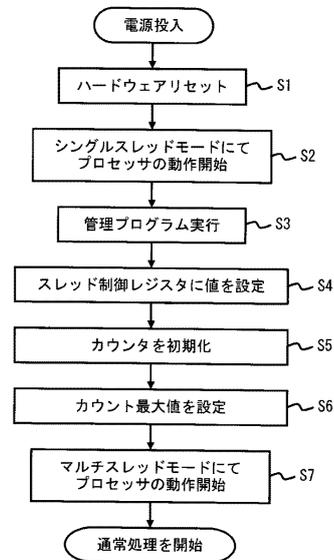
【 図 3 】



【 図 2 】



【 図 4 】

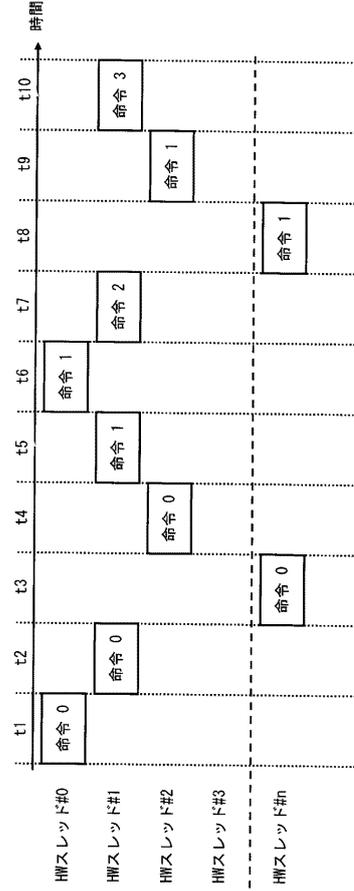


【 図 5 】

時刻	カウント値ONT	選択されるスロット	スレッド制御レジスタの値		スレッド選択信号TSELの値
			HWSレッド番号	実行時間ビット	
t1	0	0	0	1	0
t2	1	1	1	1	1
t3	2	2	0	0	n
t4	3	3	2	1	2
t5	4	4	1	1	1
t6	0	0	0	1	0
t7	1	1	1	1	1
t8	2	2	0	0	n
t9	3	3	2	1	2
t10	4	4	1	1	1

n=第2のスケジューラにより
選択される任意のスレッド番号B

【 図 6 】



n=第2のスケジューラにより
選択される任意のスレッド番号B