

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-210280

(P2013-210280A)

(43) 公開日 平成25年10月10日(2013.10.10)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 G	2 G 1 3 2
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T	5 F 0 3 8
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号 特願2012-80593 (P2012-80593)  
 (22) 出願日 平成24年3月30日 (2012. 3. 30)

(71) 出願人 000006507  
 横河電機株式会社  
 東京都武蔵野市中町2丁目9番32号  
 (72) 発明者 矢尾 真理子  
 東京都武蔵野市中町2丁目9番32号 横  
 河電機株式会社内  
 Fターム(参考) 2G132 AA01 AB02 AK07 AK24 AL12  
 5F038 DT02 DT04 DT06 DT07 DT15  
 DT19 EZ20

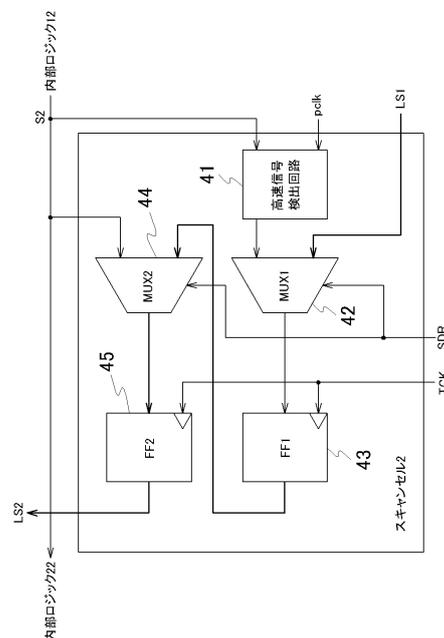
(54) 【発明の名称】 集積回路および集積回路の内部観察装置

(57) 【要約】

【課題】 サンプリング周波数より高速な高速信号が発生したとしても、正確に集積回路の内部観測が可能なバウンダリスキャンを行うことを目的とする。

【解決手段】 本発明のチップ1は、外部端子に非接続の複数の内部ロジック11~1Nと、内部回路11~1Nのそれぞれの論理値を入力し、シリアル接続される複数のスキャンセル1~Nと、スキャンセル1~Nに設けられ、内部回路11~1Nの論理値をサンプリングするサンプリング周波数 $f_s$ より高速な高速信号を検出する高速信号検出回路41と、を備えている。これにより、内部ロジック11~1Nの観測を行うと共に、高速信号が発生した場合でも、そのことを認識できる。このため、内部回路11~1Nの観測を正確に行うバウンダリスキャンを実行することができる。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

外部端子に非接続の複数の内部回路と、  
前記内部回路のそれぞれの論理値を入力し、シリアル接続される複数のスキャンセルと

、  
前記スキャンセルに設けられ、前記内部回路の論理値をサンプリングするサンプリング周波数より高速な高速信号を検出する高速信号検出回路と、  
を備えた集積回路。

## 【請求項 2】

前記スキャンセルは、

前記高速信号検出回路が出力する論理値と前段のスキャンセルから入力する論理値とを切り替える第 1 マルチプレクサと、

この第 1 マルチプレクサが出力した論理値を保持する第 1 フリップフロップと、

この第 1 フリップフロップが出力した論理値と前記内部回路から入力する論理値とを切り替える第 2 マルチプレクサと、

この第 2 マルチプレクサが出力した論理値を後段のスキャンセルに出力する第 2 フリップフロップと、

を備えた請求項 1 記載の集積回路。

## 【請求項 3】

前記高速信号検出回路は、

前記サンプリング周波数より高速な内部クロックに基づいて動作し、前記内部回路の論理値を保持する第 3 フリップフロップと、

前記内部回路の論理値と前記第 3 フリップフロップの論理値との排他的論理和の演算を行う排他的論理和回路と、

この排他的論理和回路が演算した値が 1 のときにインクリメントを行い、前記第 1 マルチプレクサに最上位ビットを出力する 2 ビットカウンタと、

を備えた請求項 2 記載の集積回路。

## 【請求項 4】

請求項 1 乃至 3 のうち何れか 1 項に記載の集積回路の内部回路の論理値を観測する集積回路の内部観測装置であって、

前記全てのスキャンセルの前記内部回路の論理値および前記高速信号検出回路が前記高速信号を検出したか否かを示す論理値を、前記スキャンセルの順番で入力するインターフェイス回路と、

前記内部回路の論理値に基づいて波形を描画し、前記高速信号検出回路が前記高速信号を検出した否かを示す論理値に基づいて、前記高速信号を検出したときには前記波形に前記高速信号を特定する画像処理を行う処理装置と、

前記画像処理を行った前記内部回路の論理値の波形を表示する表示装置と、

を備えた集積回路の内部観測装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、JTAG バウンダリスキャンにより内部回路の観察を行う対象となる集積回路およびこの集積回路の内部観察装置に関するものである。

## 【背景技術】

## 【0002】

IEEE 1149.1 で規格されている JTAG (Joint Test Action Group) バウンダリスキャン技術を用いて、集積回路の内部観察を行うための技術が従来から知られている。バウンダリスキャンを行った結果は、同じく IEEE 1149.1 で規定される BSDL (Boundary Scan Described Language) と呼ばれるスキャンセルの情報を示すテキストファイルに基づいて、バウンダリスキャンを可視化して、ディスプレイに表示する。こ

10

20

30

40

50

の技術が特許文献 1 に開示されている。

【 0 0 0 3 】

従来の J T A G バウンダリスキャンについて図 7 を用いて説明する。この図において、チップ ( 図中では S o C ) 1 0 1 とインターフェイス回路 1 0 2 と処理装置 1 0 3 と表示装置 1 0 4 とを備えている。図 7 の構成を用いて、内部観察を行う対象となるチップ 1 0 1 のバウンダリスキャンを行う。

【 0 0 0 4 】

チップ 1 0 1 は集積回路である。ここでは、チップ 1 0 1 は S o C ( System on a chip ) としている。チップ 1 0 1 は N ( N は 2 以上の整数 ) 個の内部ロジック 1 1 1 ~ 1 1 N を有している。内部ロジック 1 1 1 ~ 1 1 N はチップ 1 0 1 の主要機能を果たす論理回路である。外部端子 1 2 1 ~ 1 2 N は内部ロジック 1 1 1 ~ 1 1 N に接続されており、内部ロジック 1 1 1 ~ 1 1 N が出力する内部信号 S 1 0 1 ~ S 1 0 N を外部に出力することが可能になっている。

10

【 0 0 0 5 】

スキャンセル 1 ~ N ( 図中で S C 1 0 1 ~ S C 1 0 N ) はバウンダリスキャンを行うためのスキャンチェーンを構成している。従って、スキャンセル 1 から順番にスキャンセル N まで順番にシリアル接続されている。スキャンセル 1 ~ N は内部ロジック 1 1 1 ~ 1 1 N および外部端子 1 2 1 ~ 1 2 N に対応している。

【 0 0 0 6 】

スキャンセル 1 ~ N はスキャンチェーンを構成しており、前段のスキャンセルから後段のスキャンセルにセル出力信号 L S 1 ~ L S N を出力する。セル出力信号 L S 1 ~ L S N は論理値を示す信号になる。なお、最後のスキャンセル N はセル出力信号 L S N をインターフェイス回路 1 0 2 に出力する。

20

【 0 0 0 7 】

チップ 1 0 1 にはコントローラ 1 3 0 が設けられている。このコントローラ 1 3 0 は J T A G タップコントローラであり、バウンダリスキャンを制御する S h i f t D R ( 図中では S D R ) 信号を出力する。

【 0 0 0 8 】

インターフェイス回路 1 0 2 は J T A G インターフェイス回路であり、 T D I ( Test Data Input ) 信号および T C K ( Test Clock ) 信号をチップ 1 0 1 に出力し、 T D O ( Test Data Output ) 信号をインターフェイス回路 1 0 2 から入力する。 T D I 信号はスキャンセル 1 に入力される。 T C K 信号は全てのスキャンセル 1 ~ N に入力される。 T D O 信号は最後のスキャンセル N からセル出力信号 L S N としてインターフェイス回路 2 に入力される。

30

【 0 0 0 9 】

処理装置 1 0 3 は T D O 信号に基づいて、所定の処理 ( 主に、画像処理 ) を行う。 T D O 信号は順次出力される内部ロジック 1 1 1 ~ 1 1 N の論理値を波形表示する画像処理を行う。この画像処理を行った結果を表示装置 1 0 4 に出力し、表示装置 1 0 4 は波形表示を行う。

【 0 0 1 0 】

図 8 は、スキャンセル 2 の構成を示している。スキャンセル 1 およびスキャンセル 3 ~ N の構成も同様である。スキャンセル 1 はマルチプレクサ ( 図中では M U X ) 1 4 1 とフリップフロップ ( 図中では F F ) 1 4 2 とを備えている。

40

【 0 0 1 1 】

マルチプレクサ 1 4 1 は前段のスキャンセル 1 からセル出力信号 L S 1 を入力する。また、内部ロジック 1 1 2 から内部信号 S 1 0 2 を入力する。そして、セル出力信号 L S 1 と内部信号 S 1 0 2 とのうち何れか一方を選択的に出力する。この選択は S D R 信号に基づいて制御される。出力された信号はフリップフロップ 1 4 2 に保持される。フリップフロップ 1 4 2 は後段のスキャンセル 3 に向けてセル出力信号 L S 2 を出力する。

【 0 0 1 2 】

50

以上が構成である。次に、バウンダリスキャンによるチップ101の内部信号の観察方法について説明する。コントローラ130は、全てのスキャンセル1～Nのマルチプレクサ141が内部信号S101～S10Nを選択するようにSDR信号を出力する。これにより、スキャンセル1～Nのマルチプレクサ141は内部信号S101～S10Nを選択して、フリップフロップ142に出力する。

#### 【0013】

スキャンセル1～NにはTCK信号が入力されており、TCK信号の立ち上がりエッジのタイミングで、マルチプレクサ141からの出力、つまり内部信号S101～S10Nを保持する。従って、スキャンセル1～Nには内部信号S101～S10Nが保持されている。内部信号S101～S10Nは内部ロジック111～11Nの論理値を示しており、外部端子121～12Nの論理値と同じ状態を示している。

10

#### 【0014】

次に、コントローラ130は、全てのスキャンセル1～Nのマルチプレクサ141が前段のスキャンセル1～Nからの入力（つまり、セル出力信号LS1～LSN）を選択するようにSDR信号を出力する。これにより、各スキャンセル1～Nは前段のスキャンセル1～Nからセル出力信号LS1～LSNを入力することが可能な状態になる。

#### 【0015】

TCK信号の立ち上がりエッジのタイミングで、フリップフロップ142が保持している内部信号S101～S10Nがセル出力信号LS1～LSNとして、後段のスキャンセル2～Nに出力される。スキャンセルNのフリップフロップ142が保持していた内部信号S10NはTDO信号として、インターフェイス回路102に出力される。

20

#### 【0016】

フリップフロップ142はシフトレジスタになっている。従って、TCK信号の立ち上がりエッジのタイミングごとに内部信号S101～S10Nを後段のスキャンセルに出力する。つまり、内部信号S101～S10Nを順番にシフトさせていく。TCK信号はスキャンセル1～Nの個数分、つまりNクロックを入力すると、全てのスキャンセル1～Nのフリップフロップ142が保持していた内部信号S101～S10Nの値がTDO信号としてインターフェイス回路102に出力される。このときのTDO信号の出力周期はTCK信号のクロックをTCKとすると、 $TCK^{-1}$ となる。

#### 【0017】

従って、インターフェイス回路102にはスキャンセルNから順次TDO信号として、内部信号S101～S10Nの論理値が入力される。インターフェイス回路102は順次入力する内部信号S101～S10Nを処理装置103に出力する。処理装置103は、前述したBSDLを有しており、入力した内部信号S101～S10Nに対応した論理値を認識する。処理装置103は、認識した論理値に基づいて波形表示を行うための画像処理を行う。そして、画像処理を行った波形を表示装置104の画面上に表示する。

30

#### 【先行技術文献】

#### 【特許文献】

#### 【0018】

【特許文献1】特開2005-214957号公報

40

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0019】

従って、前述したバウンダリスキャンを行うことにより、チップ101の内部ロジック111～11Nの状態を観測することができる。また、図7の構成では、内部ロジック111～11Nは外部端子121～12Nに接続されているため、オシロスコープ等を用いて、内部ロジック111～11Nの状態を観測することも可能である。

#### 【0020】

ところで、各スキャンセル1～NにはTCK信号が入力されており、このTCK信号に依存した周期でサンプリングを行う。サンプリング周波数を $f_s$ とすると、サンプリング

50

周波数  $f_s$  は「 $f_s = \text{TC K} / \text{フリップフロップの段数} = \text{TC K} / \text{N}$ 」となる。従って、表示装置 104 に表示される内部信号  $S_{101} \sim S_{10N}$  の波形はサンプリング周波数  $f_s$  に基づいた波形となる。

【0021】

図9は内部信号  $S_{102}$  および表示波形を示している。内部信号  $S_{102}$  は実際の信号の波形であり、表示波形は表示装置 104 に表示される波形である。従って、内部信号  $S_{102}$  の波形よりも少し遅延したタイミングの波形が表示波形として表示される。内部信号  $S_{102}$  はサンプリング周波数  $f_s$  の逆数をサンプリング周期として、このサンプリング周期でサンプリングを行う。

【0022】

ところで、内部信号  $S_{102}$  にはトグルのような高速信号が発生することがある。チップ101の内部の信号は非常に高速であり、トグルのような割込み信号は非常に高速な信号として発生する。高速信号は少なくともサンプリング周波数  $f_s$  より高速であり、サンプリング周期では観測できない。例えば、サンプリング周波数  $f_s$  が数十KHz程度であるのに対して、高速信号は数MHz程度と非常に高速である。

【0023】

図10は、高速信号としてトグルが発生している状態を示している。高速信号の波形はサンプリング周期の間に発生しており、サンプリング周期ごとに内部信号  $S_{102}$  を観測する従来の方式では、高速信号の出現を認識することができない。従って、このような高速信号が発生した場合には、内部ロジック  $111 \sim 11N$  を正確に観測することができない。

【0024】

そこで、本発明は、サンプリング周波数より高速な高速信号が発生したとしても、正確に集積回路の内部観測が可能なバウンダリスキャンを行うことを目的とする。

【課題を解決するための手段】

【0025】

以上の課題を解決するため、本発明の集積回路は、外部端子に非接続の複数の内部回路と、前記内部回路のそれぞれの論理値を入力し、シリアル接続される複数のスキャンセルと、前記スキャンセルに設けられ、前記内部回路の論理値をサンプリングするサンプリング周波数より高速な高速信号を検出する高速信号検出回路と、を備えている。

【0026】

この集積回路によれば、高速信号検出回路を備えているため、内部回路の観測を行うと共に、高速信号が発生した場合でも、そのことを認識できる。このため、内部回路の観測を正確に行うバウンダリスキャンを実行することができる。

【0027】

また、前記スキャンセルは、前記高速信号検出回路が出力する論理値と前段のスキャンセルから入力する論理値とを切り替える第1マルチプレクサと、この第1マルチプレクサが出力した論理値を保持する第1フリップフロップと、この第1フリップフロップが出力した論理値と前記内部回路から入力する論理値とを切り替える第2マルチプレクサと、この第2マルチプレクサが出力した論理値を後段のスキャンセルに出力する第2フリップフロップと、を備えてもよい。

【0028】

スキャンセルの構成として、第1フリップフロップに高速信号の有無を示す論理値を保持し、第2フリップフロップに内部回路の論理値を保持することで、高速信号が発生したとしても、正確な観測を行うことが可能になる。

【0029】

また、前記高速信号検出回路は、前記サンプリング周波数より高速な内部クロックに基づいて動作し、前記内部回路の論理値を保持する第3フリップフロップと、前記内部回路の論理値と前記第3フリップフロップの論理値との排他的論理和の演算を行う排他的論理和回路と、この排他的論理和回路が演算した値が1のときにインクリメントを行い、前記

10

20

30

40

50

第1マルチプレクサに最上位ビットを出力する2ビットカウンタと、を備えてもよい。

【0030】

この構成により、高速信号検出回路は高速信号が発生したことを検出することができる。そして、高速信号の有無を示す論理値を第1フリップフロップに保持させることで、高速信号が発生したとしても、正確な観測を行うことができる。

【0031】

また、本発明の集積回路の内部観測装置は、前述の何れかの集積回路の内部回路の論理値を観測する集積回路の内部観測装置であって、前記全てのスキャンセルの前記内部回路の論理値および前記高速信号検出回路が前記高速信号を検出したか否かを示す論理値を、前記スキャンセルの順番で入力するインターフェイス回路と、前記内部回路の論理値に基づいて波形を描画し、前記高速信号検出回路が前記高速信号を検出した否かを示す論理値に基づいて、前記高速信号を検出したときには前記波形に前記高速信号を特定する画像処理を行う処理装置と、前記画像処理を行った前記内部回路の論理値の波形を表示する表示装置と、を備えている。

10

【0032】

これにより、処理装置は単に内部回路の論理値の波形表示を行うだけでなく、高速信号が発生した場合には、発生した高速信号を特定する画像処理を行うことで、表示装置の画面上に内部回路の論理値の波形および高速信号の発生を認識することができる。これにより、高速信号が発生したとしても、正確な観測を行うことができる。

【発明の効果】

20

【0033】

本発明は、集積回路に高速信号検出回路を備えているため、内部回路の観測を行うと共に、高速信号が発生した場合でも、そのことを認識できる。このため、内部回路の観測を正確に行うバウンダリスキャンを実行することができる。

【図面の簡単な説明】

【0034】

【図1】実施形態の集積回路および観測装置の構成図である。

【図2】図1のスキャンセルの回路図である。

【図3】図2の高速信号検出回路の回路図である。

【図4】高速信号検出回路の各点のタイミングを示す図である。

30

【図5】実際の内部信号と表示波形とを示す図である。

【図6】各フリップフロップの値とその情報との関係を示す図である。

【図7】従来の集積回路および観測装置の構成図である。

【図8】図7のスキャンセルの回路図である。

【図9】従来の高速信号が発生していない場合の実際の内部信号と表示波形とを示す図である。

【図10】従来の高速信号が発生した場合の実際の内部信号と表示波形とを示す図である。

【発明を実施するための形態】

【0035】

40

以下、図面を参照して、本発明の実施形態について説明する。図1は、本実施形態で観測の対象となるSoC(System on a chip: 以下、チップ1)を示している。SoCは集積回路(半導体集積回路)であり、この集積回路に複数の機能が搭載されている。集積回路はSoCに限らず、任意の集積回路を適用することができる。

【0036】

また、本実施形態では、バウンダリスキャンによりチップ1の内部の状態を観測する。バウンダリスキャンは、IEEE 1149.1で規格されているJTAG(Joint Test Action Group)バウンダリスキャン技術である。このバウンダリスキャン技術を用いて、集積回路の内部の観察を行う。

【0037】

50

チップ1はインターフェイス回路2に接続されており、インターフェイス回路2は処理装置3に接続されている。また、処理装置3は表示装置4に接続されている。インターフェイス回路2はJTAGインターフェイス回路である。処理装置3はインターフェイス回路2からの入力に基づいて、主に画像処理を行う。表示装置4は処理装置3が画像処理した結果を表示する装置である。

**【0038】**

チップ1の構成について説明する。チップ1の内部では、 $N$  ( $N$ は2以上の整数)個のスキャンセル1~ $N$  (図中ではSC1~SC $N$ )がチェーン状に接続されている。つまり、スキャンセル1から順番にスキャンセル $N$ までシリアルに接続されている。これにより、スキャンチェーンを構成する。スキャンセル1~ $N$ はJTAGバウンダリスキャンを行うために設けられている。

10

**【0039】**

チップ1の主要な構成要素は論理回路である。この論理回路は内部回路であり、ここでは内部ロジック11~1 $N$ 、21~2 $N$ としている。内部ロジック11~1 $N$ 、21~2 $N$ はスキャンセル1~ $N$ に対応して設けられている。そして、内部ロジック11~1 $N$ と21~2 $N$ との間は接続されている。また、内部ロジック11~1 $N$ とスキャンセル1~ $N$ との間も接続されている。図1に示すように、チップ1には内部ロジック11~1 $N$ と接続される外部端子は設けられてない。

**【0040】**

チップ1には、JTAGバウンダリスキャンを行うために、コントローラ30とTDI端子31とTDO端子32とTCK端子33とが備えられている。コントローラ30はJTAGタップコントローラであり、Shift-DR (図中ではSDR)信号を出力する。SDR信号は各スキャンセル1~ $N$ を制御する信号である。

20

**【0041】**

TDI端子31、TDO端子32およびTCK端子33はそれぞれJTAG端子であり、IEEE1149.1によって規定されている。TDI (Test Data Input) 端子31はTDI信号を入力する端子である。TDI信号はJTAG入力信号である。TDO (Test Data Output) 端子32はTDO信号を出力する端子である。TDO信号はJTAG出力信号である。TCK端子33はTCK信号を入力する端子である。TCK信号はJTAG信号であり、JTAGバウンダリスキャンを行うときのクロックを示す信号になる。TDI信号、TDO信号およびTCK信号はIEEE1149.1により規定されている。

30

**【0042】**

図2は、スキャンセル1~ $N$ のうち1つのスキャンセル2の構成を示している。なお、スキャンセル1およびスキャンセル3~ $N$ も同様の構成となっている。スキャンセル1~ $N$ はシリアルに接続されており、前段のスキャンセルから後段のスキャンセルに対してセル出力信号を出力する。スキャンセル1~ $N$ が出力するセル出力信号をLS1~LS $N$ とする。

**【0043】**

同図に示すように、スキャンセル2は、高速信号検出回路41と第1マルチプレクサ42 (図中ではMUX1)と第1フリップフロップ (図中ではFF1) 43と第2マルチプレクサ44 (図中ではMUX2)と第2フリップフロップ (図中ではFF2)とを備えて構成している。

40

**【0044】**

高速信号検出回路41は内部クロックpc1kと内部信号S2とを入力する。内部クロックpc1kはチップ1のシステムクロックであり、TCK信号の速度と比較すると高速な信号になっている。例えば、内部クロックpc1kはTCK信号の数倍乃至数百倍の周波数で動作する信号になる。また、内部クロックpc1kは少なくとも、後述するサンプリング周波数fsよりも高速な信号である。

**【0045】**

第1マルチプレクサ42は高速信号検出回路41からの入力と前段のスキャンセル1か

50

らの入力（セル出力信号 L S 1）とのうち何れか一方の信号を選択する。この選択は S D R 信号により制御がされる。第 1 マルチプレクサ 4 2 が選択した信号は第 1 フリップフロップ 4 3 に出力される。

【 0 0 4 6 】

第 1 フリップフロップ 4 3 は第 1 マルチプレクサ 4 2 が選択した信号の値を保持する。第 1 フリップフロップ 4 3 には T C K 信号が入力されており、T C K 信号の立ち上がりエッジ（または立ち下りエッジ）のタイミングで、保持している信号の値を第 2 マルチプレクサ 4 4 に出力する。

【 0 0 4 7 】

第 2 マルチプレクサ 4 4 は内部信号 S 2 からの入力と第 1 フリップフロップ 4 3 からの入力とのうち何れか一方の信号を選択する。この選択は S D R 信号により制御がされる。第 2 マルチプレクサ 4 4 が選択した信号は第 2 フリップフロップ 4 5 に出力される。

【 0 0 4 8 】

第 2 フリップフロップ 4 5 は第 2 マルチプレクサ 4 4 が選択した信号の値を保持する。第 2 フリップフロップ 4 5 には T C K 信号が入力されており、T C K 信号の立ち上がりエッジ（または立ち下りエッジ）のタイミングで、保持している信号の値を後段のスキャンセル 3 に出力（セル出力信号 L S 2）する。

【 0 0 4 9 】

図 3 を参照して、高速信号検出回路 4 1 の構成を説明する。高速信号検出回路 4 1 は第 3 フリップフロップ 5 1（図中で F F 3）と排他的論理和回路 5 2 と 2 ビットカウンタ 5 3 とを備えて構成している。第 3 フリップフロップ 5 1 は内部ロジック 1 2 から内部信号 S 2 を入力して保持する。そして、排他的論理和回路 5 2 に保持している値を出力する。また、第 3 フリップフロップ 5 1 は内部クロック p c l k を入力しており、この内部クロック p c l k のタイミングで動作を行う。

【 0 0 5 0 】

排他的論理和回路 5 2 は第 3 フリップフロップ 5 1 からの入力と内部信号 S 2 との排他的論理和の演算を行う。この演算結果は 2 ビットカウンタ 5 3 に出力される。2 ビットカウンタ 5 3 は、排他的論理和回路 5 2 の演算結果が「1」の場合にインクリメントを行い、「0」の場合にはインクリメントを行わない。2 ビットカウンタ 5 3 は 2 ビットまでカウントすることができるため、最大値は「3」、つまり 2 進数で「11」になる。

【 0 0 5 1 】

2 ビットカウンタ 5 3 には内部クロック p c l k および T C K 信号が入力されている。2 ビットカウンタ 5 3 の動作は内部クロック p c l k に基づいて行う。つまり、内部クロック p c l k のタイミングでインクリメントを行う。一方、T C K 信号の立ち上がりエッジ（または立ち下りエッジ）のタイミングで、2 ビットカウンタ 5 3 の最上位ビット値を出力する。このときに、2 ビットカウンタ 5 3 のカウント値をリセットする（ゼロに戻す）。

【 0 0 5 2 】

以上が構成である。次に、動作について説明する。J T A G バウンダリスキャンを行うときには、インターフェイス回路 2 から T D I 信号をチップ 1 に出力する。T D I 信号は T D I 端子 3 1 からチップ 1 に入力される。T D I 端子 3 1 はスキャンセル 1 に接続されているため、T D I 信号はスキャンセル 1 に接続される。これにより、J T A G バウンダリスキャンが開始される。

【 0 0 5 3 】

インターフェイス回路 2 からは T C K 信号がチップ 1 に入力される。そして、T C K 信号は分岐して全てのスキャンセル 1 ~ N に入力される。また、T C K 信号はコントローラ 3 0 にも入力されている。そこで、コントローラ 3 0 は、T C K 信号の立ち上がりエッジ（または立ち下りエッジ）のタイミングで、S D R 信号を出力する。

【 0 0 5 4 】

図 2 に示すように、各スキャンチェーン 1 ~ N は S D R 信号を入力して、第 1 マルチプ

10

20

30

40

50

レクサ 4 2 および第 2 マルチプレクサ 4 4 の選択を切り替える。最初に、第 1 マルチプレクサ 4 2 は高速信号検出回路 4 1 の出力を選択し、第 2 マルチプレクサ 4 4 は内部信号 S 2 を選択する。

【 0 0 5 5 】

図 4 は高速信号検出回路 4 1 の各点の波形の一例を示している。なお、この図において、縦線は内部クロック p c l k のタイミングを示している。この内部クロック p c l k は T C K 信号よりも非常に高速な信号になっている。また、内部ロジック 1 1 ~ 1 N を観測するためのサンプリング周波数 f s を「 $f s = T C K / \text{フリップフロップの段数} = T C K / N$ 」としたときに、内部クロック p c l k は少なくともサンプリング周波数 f s よりも高速な信号になっている。

10

【 0 0 5 6 】

図 4 の「 A 」は内部ロジック 1 2 から排他的論理和回路 5 2 に入力される内部信号 S 2 の波形を示している。内部信号 S 2 は L o w の状態から H i g h の状態に変化し、そして L o w の状態に戻る波形となっている。

【 0 0 5 7 】

内部ロジック 1 2 から入力される内部信号 S 2 は途中で分岐して、第 3 フリップフロップ 5 1 に入力される。第 3 フリップフロップ 5 1 は内部クロック p c l k のタイミングで動作を行っており、このタイミングで内部信号 S 2 の値を保持し、次のタイミングで保持している値を出力する。

【 0 0 5 8 】

20

「 B 」は第 3 フリップフロップ 5 1 が出力する信号の波形を示している。第 3 フリップフロップ 5 1 が保持している値はもともと内部信号 S 2 であるため、内部信号 S 2 と同じ波形になるはずである。ただし、第 3 フリップフロップ 5 1 により保持されて出力されているため、内部クロック p c l k の 1 クロック分遅延している。なお、フリップフロップの特性から、「 B 」の波形は、もともとは矩形波であった信号（内部信号 S 2 ）に鈍りを生じた波形になっている。

【 0 0 5 9 】

従って、排他的論理和回路 5 2 は内部信号 S 2 と p c l k の 1 クロック分遅延した第 3 フリップフロップ 5 1 からの信号との排他的論理和の演算を行う。「 C 」は排他的論理和回路 5 2 が出力する信号の波形を示している。「 A 」において、内部信号 S 2 が L o w から H i g h に変化するときには、「 B 」に示すように第 3 フリップフロップ 5 1 からの信号は L o w になっている。

30

【 0 0 6 0 】

よって、排他的論理和回路 5 2 の演算を行うと、L o w から H i g h に変化する。次に、第 3 フリップフロップ 5 1 から出力される信号が緩やかに L o w から H i g h に変化する。よって、このときには、排他的論理和回路 5 2 の演算結果は L o w になるため、「 C 」の波形は H i g h から L o w に変化する。

【 0 0 6 1 】

「 A 」の波形において、H i g h から L o w に変化する。このときには、第 3 フリップフロップ 5 1 から出力される信号は H i g h になっているため、排他的論理和回路 5 2 の出力は H i g h になる。そして、内部クロック p c l k の 1 クロック後に「 B 」に示すように、第 3 フリップフロップ 5 1 からの出力される信号は緩やかに L o w になる。これにより、排他的論理和回路 5 2 の出力は L o w になる。

40

【 0 0 6 2 】

排他的論理和回路 5 2 には、内部信号 S 2 と第 3 フリップフロップ 5 1 の出力信号とが入力される。第 3 フリップフロップ 5 1 の出力信号はもともと内部信号 S 2 である。ただし、第 3 フリップフロップ 5 1 で保持されて出力されるため、内部クロック p c l k の 1 クロック分だけ遅延する。

【 0 0 6 3 】

よって、内部信号 S 2 が L o w H i g h L o w に変化すると、排他的論理和回路 5

50

2の出力はLow High Low High Lowのように変化する。つまり、内部信号S2に1つの矩形波が生じたとすると、排他的論理和回路52の出力信号には2つの矩形波が生じる。これは、同じ内部信号S2について、pc1kの1クロック前と1クロック後との排他的論理和の演算を行っているためである。

【0064】

「D」は2ビットカウンタ53の値を示している。2ビットカウンタ53は排他的論理和回路52の出力信号がHighのときにインクリメントを行う。従って、内部信号S2がLow High Lowに変化すると、排他的論理和回路52の出力はHighが2回発生する。よって、2ビットカウンタ53のカウント値は「2」になる。

【0065】

2ビットカウンタ53は2進数のカウンタである。よって、カウント値が「2」であるならば、「10」になる。2ビットカウンタ53は最上位ビットが「0」のときにはLowを出力しているが、最上位ビットが「1」のときにHighを出力する。従って、2ビットカウンタ53が出力する信号(カウンタ信号)はHighになる。このカウンタ信号が第1マルチプレクサ42に出力される。

【0066】

ここでは、内部信号S2がLow High Lowのように1つの矩形波を生じた例を説明したが、2つ以上の矩形波を生じていてもよい。この場合には、2ビットカウンタ53には4回のHighが入力されることになる。ただし、2ビットカウンタ53がカウントできる最大値は「3」になるため、4回以上のHighを入力しても、2ビットカウンタ53のカウント値は「3」、つまり2進数で「11」であり、最上位ビットは「1」になる。

【0067】

以上の動作はTCCK信号の前後の立ち上がりエッジ(または立ち下りエッジ)の間に行われる。高速信号検出回路41のカウンタ信号は第1マルチプレクサ42に inputsされる。従って、TCCK信号の立ち上がりエッジ(または立ち下りエッジ)のタイミングで、第1フリップフロップ43にカウンタ信号の値が保持される。同時に、第2フリップフロップ45には内部信号S2の値が保持される。

【0068】

このうち、第1フリップフロップ43が保持するカウンタ信号の値は高速信号の有無を示す論理値になっている。Highならば高速信号が出現していることを示し、Lowならば高速信号が出現していないことを示している。また、内部信号S2は内部回路である内部ロジック12の論理値を示している。

【0069】

図5は、第1フリップフロップ43および第2フリップフロップ45が保持している値およびその情報を示している。第1フリップフロップ43にはカウンタ信号が保持されており、値が「0」ならば高速信号が検出されていることを示し、値が「1」ならば高速信号が検出されていないことを示している。一方、第2フリップフロップ45が保持している値が「0」ならば内部信号S2がHighであることを示し、値が「1」ならば内部信号S2がLowであることを示している。

【0070】

コントローラ30はTCCK信号の立ち上がりエッジ(または立ち下りエッジ)のタイミングで、SDR信号を切り替える。このSDR信号により、第1マルチプレクサ42は前段のスキャンセル1のセル出力信号を選択し、第2マルチプレクサ44は第1フリップフロップ43の出力信号を選択する。

【0071】

従って、第1フリップフロップ43にはスキャンセル1のセル出力信号LS1の値が保持され、第2フリップフロップ45には第1フリップフロップ43が保持していたカウンタ信号の値が保持される。第2フリップフロップ45が保持していた内部信号S2の値は、セル出力信号LS2として後段のスキャンセル3に出力される。

10

20

30

40

50

## 【 0 0 7 2 】

以降、コントローラ 3 0 は、第 1 マルチプレクサ 4 2 が前段のスキャンセルのセル出力信号を選択し、第 2 マルチプレクサ 4 4 は第 1 フリップフロップ 4 3 からの出力信号を選択するように、S D R 信号を出力する。これにより、前段のスキャンセルのセル出力信号は、2 つのフリップフロップ ( 第 1 フリップフロップ 4 3 および第 2 フリップフロップ 4 5 ) を経由して、後段のスキャンセルに出力される。

## 【 0 0 7 3 】

図 1 に示すように、スキャンセル N に接続される T D O 端子 3 2 から T D O 信号が順次出力されていく。T C K 信号の立ち上がり ( または立ち下り ) のタイミングで、第 2 フリップフロップ 4 5 が保持している値 ( 内部信号 S N の値 ) が T D O 信号として出力される。同時に、第 2 フリップフロップ 4 5 には第 1 フリップフロップ 4 3 が保持していた値、つまりカウンタ信号の値が入力されて、保持される。

10

## 【 0 0 7 4 】

そして、T C K 信号の立ち上がり ( または立ち下り ) のタイミングごとに、第 1 フリップフロップ 4 3 には前段のスキャンセルからのセル出力信号が入力される。同時に、第 1 フリップフロップ 4 3 が保持していた値が第 2 フリップフロップ 4 5 に保持され、第 2 フリップフロップ 4 5 が保持していた値は後段のスキャンセルに向けてセル信号として出力される。

## 【 0 0 7 5 】

従って、T C K 信号の立ち上がり ( または立ち下り ) のタイミングごとに、第 1 フリップフロップ 4 3 および第 2 フリップフロップ 4 5 が保持していた値がシフトされていく。そして、T D O 端子 3 2 から T D O 信号として順次インターフェイス回路 2 に入力されていく。

20

## 【 0 0 7 6 】

S D R 信号を切り替える前の状態では、第 1 フリップフロップ 4 3 に高速信号検出回路 4 1 から出力されたカウンタ信号が保持され、第 2 フリップフロップ 4 5 に内部信号 S 1 ~ S N が保持されている。そして、S D R 信号を切り替えて、T D O 端子 3 2 から順次出力していく。このとき、カウンタ信号と内部信号とが交互に出力されていく。

## 【 0 0 7 7 】

つまり、1 つのスキャンセルの情報 ( カウンタ信号および内部信号 ) であり、1 つのスキャンセルの情報を後段のスキャンセルに全て出力するために、T C K 信号が 2 クロック分必要になる。そして、スキャンセルは N 個が設けられているため、T C K 信号が  $2 \times N$  クロック分入力されると、全てのスキャンセル 1 ~ N のカウンタ信号および内部信号がインターフェイス回路 2 に入力される。このときの T D O 信号の出力周期は T C K 信号のクロックを T C K とすると、 $T C K \cdot 1$  となる。

30

## 【 0 0 7 8 】

インターフェイス回路 2 が入力する T D O 信号は H i g h または L o w の論理値の信号であり、 $2 \times N$  個の論理値を入力する。つまり、高速信号が発生しているか否かを示す論理値および内部信号の論理値である。これらの論理値が処理装置 3 に入力される。処理装置 3 はスキャンセル 1 ~ N の情報を有している。例えば、B S D L ( Boudary Scan Described Language ) と呼ばれるスキャンセルの情報を示すテキストファイルが記憶されている。この B S D L は I E E E 1 1 4 9 . 1 で規格されている。

40

## 【 0 0 7 9 】

従って、処理装置 3 は入力した論理値と B S D L とに基づいて、内部ロジック 1 1 ~ 1 N の論理値を認識する。ただし、処理装置 3 に入力される論理値は内部ロジック 1 1 ~ 1 N の論理値 ( 内部信号 S 1 ~ S N の論理値 ) とカウンタ信号とが交互になっている。よって、処理装置は内部信号 S 1 ~ S N とカウンタ信号とを分けて認識する。このとき、内部ロジック 1 1 ~ 1 N の論理値とカウンタ信号とが交互になっているため、内部ロジック 1 1 ~ 1 N のそれぞれに応じて高速信号が出現しているか否かを認識できる。

## 【 0 0 8 0 】

50

処理装置 3 は以上の認識を行なって、表示装置 4 に表示される波形の画像処理を行う。図 6 は実際の内部信号 S 2 の波形の一例と、表示装置 4 に表示される内部信号 S 2 の波形の一例を示している。同図に示すように、サンプリング周波数  $f_s$  の逆数をサンプリング周期として実際の内部信号 S 2 の観測を行っている。そして、内部信号 S 2 には 2 回の高速信号が発生している。この高速信号はサンプリング周期では認識することができない。

【 0 0 8 1 】

高速信号検出回路 4 1 により高速信号が出現していることを検出しているため、処理装置 3 は高速信号が出現したことを認識する。処理装置 3 は内部ロジック 1 1 ~ 1 N の論理値に基づいて波形表示を行う画像処理を行う。このときに、高速信号が出現している場合には、そのことを波形に明示する画像処理を行う。

10

【 0 0 8 2 】

図 6 では、トグルとして高速信号が 2 回発生しているため、このサンプリング周期の期間 (Low になっている期間) にハッチングを施す画像処理を行っている。勿論、高速信号が発生していることを画面上で認識できれば、任意の画像処理を行うことができる。例えば、波形の線種を変化させ、或いは波形の色を変化させる等、種々の画像処理を行うことができる。

【 0 0 8 3 】

そして、画像処理を行った波形を表示波形として、表示装置 4 に表示する。これにより、内部ロジック 1 1 ~ 1 N の状態、つまり内部回路の状態を画面上で認識できると共に、サンプリング周波数  $f_s$  よりも高速な高速信号が発生しているか否かを認識することができる。

20

【 0 0 8 4 】

本実施形態では、内部信号 S 1 ~ S N はチップ 1 の外部端子に接続されていない。従って、外部端子にオシロスコープを接続して、高速信号の検出を行うこともできない。このため、本実施形態を用いて内部信号 S 1 ~ S N を観測することにより、内部信号 S 1 ~ S N だけでなく、高速信号の有無までを検出することができる。

【 符号の説明 】

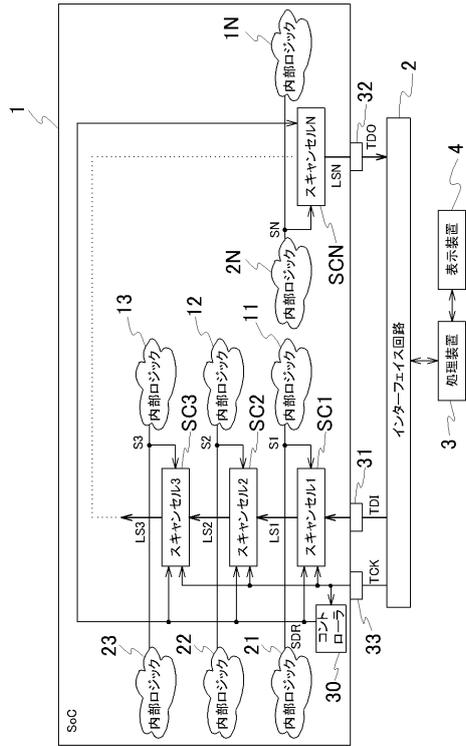
【 0 0 8 5 】

- 1 チップ
- 2 インターフェイス回路
- 3 処理装置
- 4 表示装置
- 1 1 ~ 1 N 内部ロジック
- 3 0 コントローラ
- 3 1 T D I 端子
- 3 2 T D O 端子
- 3 3 T C K 端子
- 4 1 高速信号検出回路
- 4 2 第 1 マルチプレクサ
- 4 3 第 1 フリップフロップ
- 4 4 第 2 マルチプレクサ
- 4 5 第 2 フリップフロップ
- 5 1 第 3 フリップフロップ
- 5 2 排他的論理和回路
- 5 3 2 ビットカウンタ
- S C 1 ~ S C N スキャンチェイン

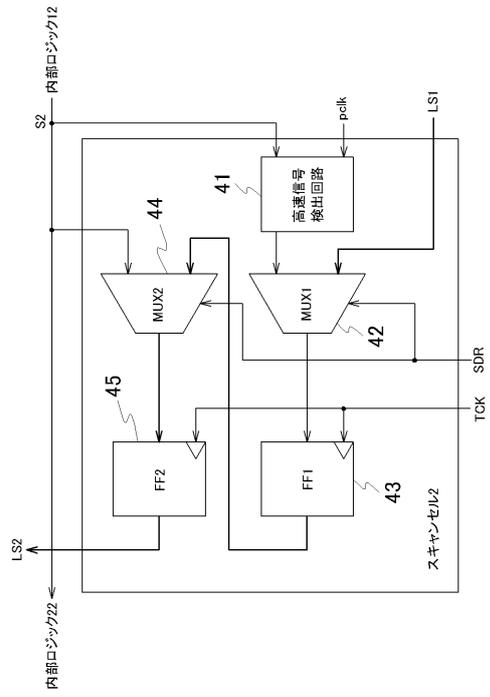
30

40

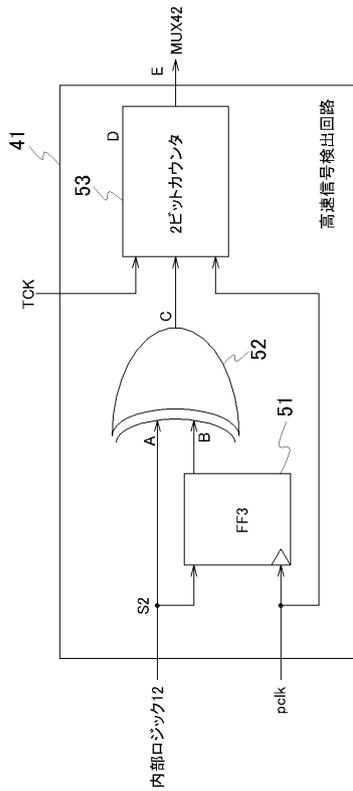
【図 1】



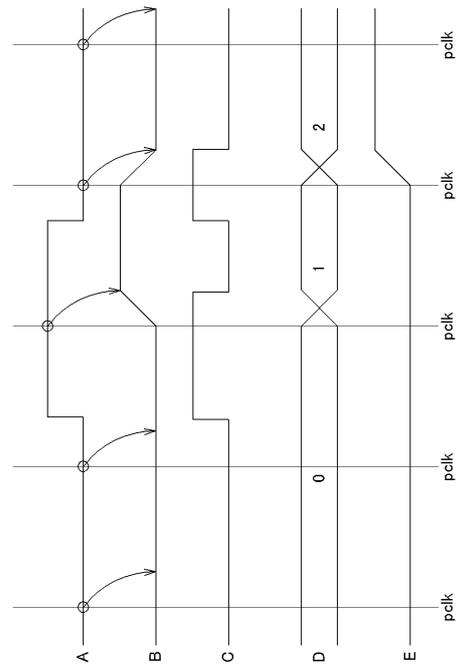
【図 2】



【図 3】



【図 4】

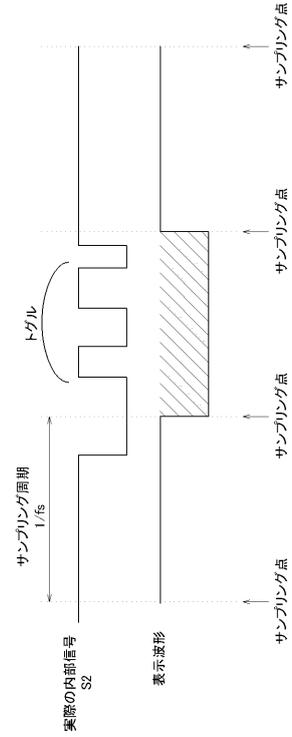


【 図 5 】

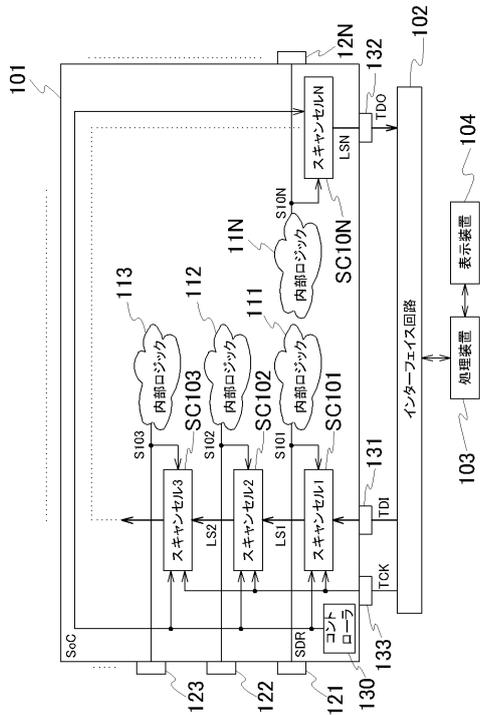
FF43が保持している値	情報
0	高速信号検出なし
1	高速信号検出あり

FF45が保持している値	情報
0	内部信号S2の状態:L
1	内部信号S2の状態:H

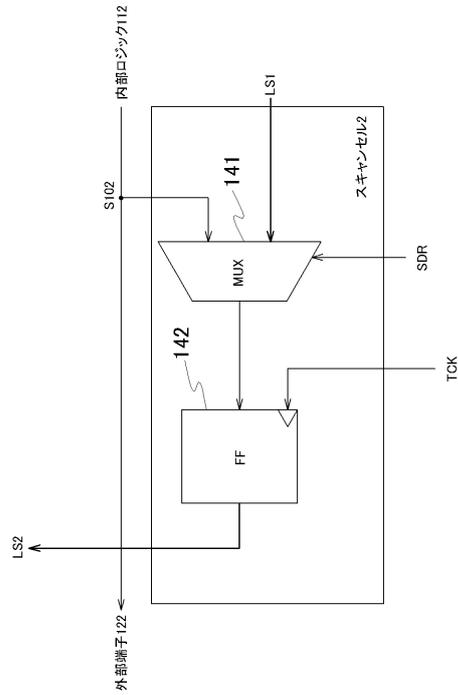
【 図 6 】



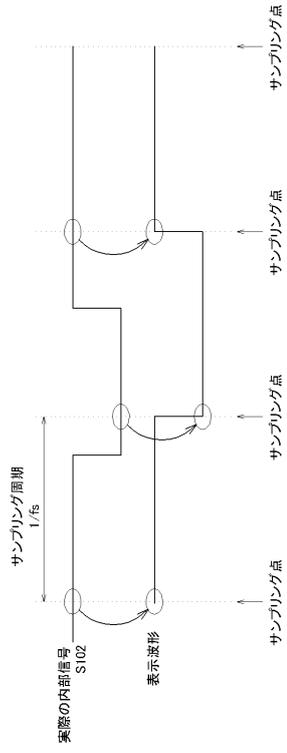
【 図 7 】



【 図 8 】



【図 9】



【図 10】

