

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-177689

(P2010-177689A)

(43) 公開日 平成22年8月12日(2010.8.12)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 31/10 (2006.01) HO 1 L 31/10 A 5 F 0 4 9

審査請求 有 請求項の数 18 O L (全 43 頁)

(21) 出願番号	特願2010-76765 (P2010-76765)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成22年3月30日(2010.3.30)	(72) 発明者	笹川 慎也 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(62) 分割の表示	特願2007-117904 (P2007-117904) の分割	(72) 発明者	長谷川 真也 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成19年4月27日(2007.4.27)	(72) 発明者	高橋 秀和 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2006-125830 (P2006-125830)	(72) 発明者	荒尾 達也 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成18年4月28日(2006.4.28)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

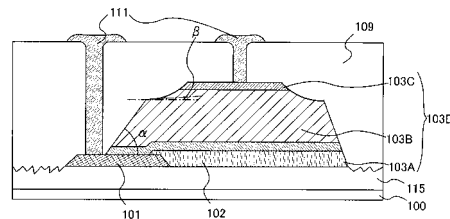
(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】

【課題】 光電変換層のエッチングを段階的に行うことで、端部の側面が異なるテーパ角を有する光電変換素子を提供する。

【解決手段】 pin型の光電変換素子はpn型と比べて応答速度が高速であるが、暗電流が大きいという欠点がある。この暗電流の一因は、エッチングで発生したエッチング残渣が光電変換層の端部の側面に堆積し、このエッチング残渣を介して導通することによるものだと考えられる。そこで、従来は単一面のテーパ形状であった端部の側面を二段階のテーパ形状にし、光電変換層のp層の端部の側面とn層の端部の側面が同一面上に存在しない構成とすることで、光電変換素子のリーク電流を低減する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

10

【請求項 2】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

20

【請求項 3】

第 1 の導電層と、前記第 1 の導電層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

30

【請求項 4】

一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する光電変換素子を複数有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

40

【請求項 5】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有する光電変換素子を複数有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

50

【請求項 6】

第 1 の導電層と、前記第 1 の導電層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有する光電変換素子を複数有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

10

【請求項 7】

請求項 2 又は請求項 5 において、

前記絶縁層は、カラーフィルタ層と前記カラーフィルタ層上のオーバーコート層とが積層された構造を有することを特徴とする半導体装置。

【請求項 8】

一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 1 乃至第 3 の半導体層をエッチングして前記第 1 乃至第 3 の半導体層の側面に第 1 のテーパ角を有する面を形成し、

20

前記第 3 の半導体層の端部及び前記第 2 の半導体層の端部をエッチングすることにより前記第 1 のテーパ角を有する面の上部を除去して第 2 のテーパ角を有する面を形成し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きいことを特徴とする半導体装置の作製方法。

【請求項 9】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

30

前記第 1 乃至第 3 の半導体層をエッチングして前記第 1 乃至第 3 の半導体層の側面に第 1 のテーパ角を有する面を形成し、

前記第 3 の半導体層の端部及び前記第 2 の半導体層の端部をエッチングすることにより前記第 1 のテーパ角を有する面の上部を除去して第 2 のテーパ角を有する面を形成し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きいことを特徴とする半導体装置の作製方法。

【請求項 10】

一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 3 の半導体層上にレジストを形成し、

40

前記レジストをマスクとして第 1 のエッチングを行うことにより、前記第 3 の半導体層と前記第 2 の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第 2 のエッチングを行うことにより、前記第 2 の半導体層の一部と前記第 3 の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第 3 の半導体層の表面を酸化し、

第 3 のエッチングを行うことにより、第 3 の半導体層及び前記第 2 の半導体層の一部を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項 11】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前

50

記絶縁層上の一導電型の第1の不純物元素を有する第1の半導体層と、第1の半導体層上の第2の半導体層と、第2の半導体層の第1の不純物元素と逆の導電型の第2の不純物元素を有する第3の半導体層と、を有する構造を形成し、

前記第3の半導体層上にレジストを形成し、

前記レジストをマスクとして第1のエッチングを行うことによって、前記第3の半導体層と前記第2の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第2のエッチングを行うことによって、前記第2の半導体層の一部と前記第3の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第3の半導体層の表面を酸化し、

第3のエッチングを行うことによって、第3の半導体層及び前記第2の半導体層の一部を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項12】

請求項10又は請求項11において、

前記第1及び第2のエッチングにより第1のテーパ角を有する面が形成され、

前記第3のエッチングにより第2のテーパ角を有する面が形成され、

前記第2のテーパ角は前記第1のテーパ角よりも大きいことを特徴とする半導体装置の作製方法。

【請求項13】

下地層と、下地層上の一導電型の第1の不純物元素を有する第1の半導体層と、第1の半導体層上の第2の半導体層と、第2の半導体層の第1の不純物元素と逆の導電型の第2の不純物元素を有する第3の半導体層と、を有する構造を形成し、

前記第3の半導体層上にレジストを形成し、

前記レジストをマスクとして第1のエッチングを行うことによって、前記第3の半導体層と前記第2の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第2のエッチングを行うことによって、前記第2の半導体層の一部と前記第3の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第3の半導体層の表面を酸化し、

第3のエッチングを行うことによって、第3の半導体層及び前記第2の半導体層の一部を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項14】

下地層と、前記下地層上の第1の導電層と、前記第1の導電層の端部を覆う絶縁層と、前記第1の導電層上及び前記絶縁層上の一導電型の第1の不純物元素を有する第1の半導体層と、第1の半導体層上の第2の半導体層と、第2の半導体層の第1の不純物元素と逆の導電型の第2の不純物元素を有する第3の半導体層と、を有する構造を形成し、

前記第3の半導体層上にレジストを形成し、

前記レジストをマスクとして第1のエッチングを行うことによって、前記第3の半導体層と前記第2の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第2のエッチングを行うことによって、前記第2の半導体層の一部と前記第3の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第3の半導体層の表面を酸化し、

第3のエッチングを行うことによって、第3の半導体層及び前記第2の半導体層の一部を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項15】

請求項13又は請求項14において、

前記第1及び第2のエッチングにより第1のテーパ角を有する面が形成され、

前記第3のエッチングにより第2のテーパ角を有する面が形成され、

前記第2のテーパ角は前記第1のテーパ角よりも大きいことを特徴とする半導体装置の

10

20

30

40

50

作製方法。

【請求項 16】

請求項 13 乃至請求項 15 のいずれか一項において、
前記第 2 のエッチングにおいてオーバーエッチングを施し、前記下地層の表面に凹凸を形成することを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 9 乃至請求項 16 のいずれか一項において、
前記レジストを除去した後に前記第 1 乃至第 3 の半導体層を覆い開口部を有する保護層を形成し、

前記保護層上に前記開口部において前記第 3 の半導体層と接続する第 2 の導電層を形成することを特徴とする半導体装置の作製方法。

10

【請求項 18】

請求項 17 において、
前記第 2 の導電層を形成した後に前記第 2 の導電層を覆う有機樹脂膜を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受光した光を電気信号に変換して出力する光電変換装置に関する。特に、薄膜半導体素子を有する光電変換装置及びその作製方法に関する。また、光電変換素子を搭載した半導体装置及び電子機器に関する。

20

【0002】

なお、本明細書中において、光電変換素子とは、独立した一の光電変換層を有する薄膜の積層体をいい、光電変換装置とは一又は複数の光電変換素子の集合体又はその他の素子と組み合わせて構成される半導体装置をいう。

【背景技術】

【0003】

光電変換装置は、電磁波の検知に使用され、紫外線から赤外線にかけて感度を有する光電変換装置は総括して光センサと呼ばれる。特に、波長 400 nm ~ 700 nm の可視光領域に感度を持つものは可視光センサと呼ばれ、環境に応じた照度の調整、又はオン/オフ制御が必要な機器に数多く用いられている（特許文献 1 を参照。）。

30

【0004】

また、表示装置は周囲の明るさを検出し、その表示輝度を調整することが行なわれている。なぜなら、周囲の明るさを検出し、適切な表示輝度に調整することによって消費電力を低減させ、視認性を向上させることが可能だからである。例えば、携帯電話の表示部やパーソナルコンピュータの表示部にそのような輝度調整用の光センサが用いられている。携帯電話では表示部のみならず、キー照明の消費電力も低減するとよい。

【0005】

また、周囲の明るさだけでなく、表示装置の輝度を光センサにより検出することで、表示部の輝度の調整も可能になる。具体的には、液晶表示装置のバックライトの輝度を光センサにより検出し、表示画面の輝度を調整する。

40

【0006】

また、プロジェクターを用いた表示装置においては、光センサを用いて、コンバージェンス調整を行なっている。コンバージェンス調整とは RGB の各色の映像がずれを生じないように、映像を調整することである。光センサを用いて各色の映像の位置を検出して、正しい位置に映像を配置している。

【0007】

光電変換素子（フォトダイオード）は大きく 4 つの種類に分けられる。すなわち、pn 型、pin 型、ショットキー型、アバランシェ型である。pn 型フォトダイオードは p 型半導体と n 型半導体を接合した光電変換素子である。pin 型フォトダイオードは pn 型

50

の p 型半導体と n 型半導体の間に真性半導体 (i 型半導体) を挟んだ構成の光電変換素子である。pn 型は暗電流が小さいが、応答速度が低速である。pin 型は応答速度が高速であるが、暗電流が大きい。

【0008】

なお、p 型半導体とは電子が欠乏することで電荷の輸送に用いるキャリアとして主に正孔 (ホール) が用いられる半導体であり、n 型半導体とは電子が過剰に存在することで電荷の輸送に用いるキャリアとして主に電子が用いられる半導体であり、真性半導体とは高純度の半導体材料から構成される半導体である。ショットキー型フォトダイオードとは、p 型半導体層の代わりに金の薄膜層を形成して n 層と接合した光電変換素子であり、アバランシェ型フォトダイオードとは、逆バイアスの電圧をかけることで光電流が倍增される高速且つ高感度の光電変換素子である。なお、p 型半導体層を p 層、i 型半導体層を i 層、n 型半導体層を n 層という。

10

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2005 - 129909 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

従来の pin 型フォトダイオードの一例を図 4 (B) に示す。図 4 (B) は、基板 100 上に下地層 115 を有し、下地層 115 上に第 1 の導電層 112 を有し、第 1 の導電層 112 上に半導体層 103 D を有し、半導体層 103 D は第 1 の半導体層 103 A と第 2 の半導体層 103 B と第 3 の半導体層 103 C により構成され、第 1 の導電層 112 と第 1 の半導体層 103 A が接続され、第 3 の半導体層 103 C 上に開口部を有する絶縁層 107 を有し、絶縁層 107 上に第 2 の導電層 117 を有し、第 2 の導電層 117 は絶縁層 107 の開口部において第 3 の半導体層 103 C と接続され、これらの積層構造を覆い、且つ、開口部を有する絶縁層 109 を有し、絶縁層 109 上に第 3 の導電層 111 を有し、第 3 の導電層 111 は絶縁層 109 の開口部を介して第 1 の導電層 112 及び第 2 の導電層 117 と接続されている。そして、第 1 の半導体層 103 A と第 2 の半導体層 103 B と第 3 の半導体層 103 C の端部の側面は同一平面上に存在している。第 1 の半導体層 103 A は一導電型の不純物元素が添加されており、第 3 の半導体層 103 C は第 1 の半導体層 103 A とは逆の導電型の不純物元素が添加されている。第 2 の半導体層 103 B は真性半導体である。

20

30

【0011】

しかし、図 4 (B) に示す光電変換素子では、リーク電流が生じやすい。図 4 (A) についても同様である。このリーク電流の発生の一因として、光電変換層である半導体層 (p 層から i 層を経て、n 層まで連続的に連なる半導体層) の端部の側面に堆積するエッチング残渣が考えられる。エッチング残渣はエッチング工程にて発生する。エッチング工程にて発生したエッチング残渣が半導体層 103 D の端部である、被エッチング面 (図 4 中点線で囲まれた領域 114 A ~ 114 D) に堆積し、このエッチング残渣を介して導通することで、リーク電流が発生すると考えられる。

40

【0012】

本発明は、pin 型の光電変換素子において、被エッチング面に発生するリーク電流を低減し、高い信頼性の光電変換装置を歩留まりよく作製することを課題とする。

【課題を解決するための手段】

【0013】

本発明の光電変換素子は、第 3 の半導体層 103 C の端部の側面のみ、又は第 3 の半導体層 103 C と第 2 の半導体層 103 B の一部の端部の側面がエッチングにより除去されている。そのため、半導体層 103 D の端部の側面は、異なるテーパ角を有する 2 つの面を有する。

50

【0014】

本発明の光電変換素子は、図1に示すように、導電層の一部又は全部に接して設けられた一導電型の不純物元素を有する第1の半導体層と、第1の半導体層上に接して設けられた第2の半導体層と、第2の半導体層上に接して設けられた前記第1の半導体層とは逆の導電型の不純物元素を有する第3の半導体層と、が積層された光電変換層を有し、該光電変換層の端部の側面は、第1のテーパ角を有する面と、第2のテーパ角を有する面と、を有し、第1のテーパ角を有する面は、第1の半導体層が有する端部の側面と、第2の半導体層が有する端部の側面の一部と、を有し、第2のテーパ角を有する面は、第2の半導体層が有する端部の側面の一部と、第3の半導体層が有する端部の側面と、を有し、第1のテーパ角を有する面と第2のテーパ角を有する面は異なるテーパ角を有する。また、第1のテーパ角を有する面のテーパ角は第2のテーパ角を有する面のテーパ角よりも大きいことが好ましい。

10

【0015】

または、第2のテーパ角を有する面は第3の半導体層の端部の側面のみで構成されていても良い。

【0016】

第1乃至第3の半導体層はシリコンを主成分とすることが好ましい。また、本発明の光電変換素子が有する第1の半導体層はp型半導体層であり、第3の半導体層はn型半導体層であり、光電変換素子はガラス基板等の透光性を有する基板上に形成されていることが好ましい。

20

【0017】

本発明の光電変換素子が光電変換層下に設ける導電層はテーパ形状であることが好ましい。より好ましくは、導電層の端部を覆うように保護層が設けられ、保護層上に半導体層が設けられる。保護層がカラーフィルター層を有していてもよい。この場合には、カラーフィルター層と光電変換層の間にはオーバーコート層が設けられていることが好ましい。

【0018】

本発明の光電変換素子は下地層上に形成され、下地層はポリイミド、アクリル、エポキシ樹脂のいずれか一又は複数の材料からなることが好ましく、更に好適には下地層上であって、光電変換素子と重畳しない領域には凹凸形状を有し、凹凸形状の領域上には下地層と同一の材料からなる層が設けられている。

30

【0019】

本発明の光電変換素子が光電変換層下に設ける導電層は透光性を有する導電性材料又はチタンからなることが好ましい。

【0020】

本発明の半導体装置は、上記した特徴を有する光電変換素子と薄膜トランジスタを有する。好ましくは、光電変換素子に接続された、出力を増幅する電流増幅回路を有し、電流増幅回路は複数のトランジスタを有するカレントミラー回路である。

【0021】

本発明の半導体装置では、光電変換素子の端部と重畳する領域、及び薄膜トランジスタが有する半導体層のチャンネル形成領域と重畳する基板側に遮光層が設けられているとよい。

40

【0022】

本発明の光電変換素子の作製方法は、ガラス基板等の基板上に下地層を形成し、下地層上に導電層を選択的に形成し、導電層の少なくとも端部を覆う保護層を選択的に形成し、保護層上に、導電層の一部又は全部に接して設けられた一導電型の不純物元素を有する第1の半導体層を形成し、第1の半導体層上に接して第2の半導体層を形成し、第2の半導体層上に接して第1の半導体層とは逆の導電型の不純物元素を有する第3の半導体層を形成し、第1乃至第3の半導体層上にテーパ形状を有するレジストを選択的に形成し、レジストを用いて、第3の半導体層と第2の半導体層の一部をドライエッチングする第1のエッチングを行い、第1のエッチングに用いたガスよりも第2の半導体層に対するエッチン

50

グレートが低く、且つ O_2 を含むガスにより、第3の半導体層と第2の半導体層の残存部分をドライエッチングする第2のエッチングを行いつつ、第3の半導体層の表面の一部に酸化物層を形成し、第2の半導体層に対するエッチングレートよりも酸化物層に対するエッチングレートの高いガスにより、酸化物層をドライエッチングする第3のエッチングを行う。必要のない場合には保護層は形成しなくてもよい。第1乃至第3の半導体層はシリコンを主成分とすることが好ましい。また、更に好ましくは、第1のエッチングには CF_4 と Cl_2 の混合ガスを用い、第2のエッチングには CF_4 と O_2 の混合ガスを用い、第3のエッチングには CHF_3 と He の混合ガスを用いる。

【0023】

なお、本明細書中において、テーパ角とは、テーパ形状を有する層において、当該層の側面と底面がなす傾斜角（内角）をいう。側面が丸みを帯びているときには、側面と底面の交点における接線と底面がなす角をいう。また、レジストに施すハードベークとは所定の温度による熱処理である。ハードベークを施すことによりレジストのサイズが縮小し、テーパ角を小さくすることができる。

10

【0024】

なお、本明細書中において、エッチングレートとは、単位時間あたりにエッチングされるエッチング量のことである。

【0025】

なお、本明細書中において、オーバーエッチングとは、ある所定の厚さの被エッチング層をエッチング除去するに際して、エッチングが完了する平均時間に所定の時間を追加して行うエッチングをいう。追加する所定の時間は、基板面内分布を考慮して決定する。オーバーエッチングを行うことによりエッチング残りを防ぐことができる。

20

【0026】

なお、本明細書中において、接続されているとは、電氣的に接続されていることと同義である。したがって、本明細書中にて開示する構成では、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオード等）が配置されていてもよい。

【0027】

なお、本明細書中において、*i*型半導体層（真性半導体層）がシリコン膜である場合の*i*型半導体層（真性半導体層）では、半導体層に含まれる*p*型又は*n*型を付与する不純物の濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以下であり、酸素及び窒素が $5 \times 10^{19} \text{ cm}^{-3}$ 以下である半導体層を指す。なお、光伝導度は暗伝導度に対して1000倍以上であることが好ましい。また*i*型半導体層には、ホウ素（*B*）が10～1000ppm程度添加されていてもよい。

30

【発明の効果】

【0028】

本発明により、光電変換装置のリーク電流を低減することができる。

【0029】

また、本発明により、下地層に凹凸を形成するようにエッチングを行うことで、樹脂膜等の密着性が向上する。

40

【0030】

そのため、本発明により、信頼性が高い*p i n*型光電変換素子を歩留まりよく作製することが可能になる。また、信頼性の高い、*p i n*型光電変換素子を搭載する電子機器を歩留まりよく作製することができる。

【図面の簡単な説明】

【0031】

【図1】本発明の光電変換素子の断面図。

【図2】本発明の光電変換素子の断面図。

【図3】本発明の光電変換素子の断面図。

【図4】従来の光電変換素子の断面図。

50

【図 5】本発明の光電変換素子の作製工程を示す断面図。

【図 6】本発明の光電変換素子の作製工程を示す断面図。

【図 7】本発明の光電変換素子の作製工程を示す断面図。

【図 8】本発明の光電変換装置の断面図。

【図 9】本発明の光電変換装置の断面図。

【図 10】本発明の光電変換装置の断面図。

【図 11】本発明の光電変換装置の断面図。

【図 12】本発明の光電変換装置の断面図。

【図 13】本発明の光電変換装置の断面図。

【図 14】本発明の光電変換装置を搭載した電子機器の図。

10

【図 15】本発明の光電変換装置を搭載した電子機器の図。

【図 16】本発明の光電変換装置を搭載した電子機器の図。

【図 17】本発明の光電変換装置を搭載した電子機器の図。

【図 18】本発明の光電変換装置を搭載した電子機器の図。

【図 19】本発明の光電変換装置の回路を表す図。

【図 20】本発明の光電変換素子の形状を S E M 像にて表す図。

【図 21】本発明の光電変換素子の形状を T E M 像にて表す図。

【図 22】本発明の光電変換素子の形状を S E M 像にて表す図。

【発明を実施するための形態】

【0032】

20

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【0033】

(実施の形態 1)

本実施の形態では、本発明を適用した光電変換素子及び該光電変換素子の作製工程について、図 1、図 2、及び図 5 乃至図 7 を参照して説明する。図 1 及び図 2 は本発明の光電変換素子の断面図を示す。図 5 乃至図 7 は本発明の光電変換素子の作製工程を説明するための断面図を示す。

30

【0034】

図 1 は本発明の光電変換素子を示す。図 1 に示す光電変換素子は、基板 100 上に下地層 115 を有し、下地層 115 上に第 1 の導電層 101 と、第 1 の導電層 101 の端部を覆う保護層 102 を有し、第 1 の導電層 101 及び保護層 102 上に半導体層 103 D を有し、半導体層 103 D 上に、開口部を有する絶縁層 109 を有し、絶縁層 109 上に第 3 の導電層 111 を有する。半導体層 103 D は第 1 の半導体層 103 A、第 2 の半導体層 103 B、及び第 3 の半導体層 103 C が積層して形成されており、第 1 の半導体層 103 A は第 1 の導電層 101 と電氣的に接続され、第 3 の半導体層 103 C は第 3 の導電層 111 と電氣的に接続されている。第 1 の半導体層 103 A は一導電型の不純物元素を有し、第 3 の半導体層 103 C は、第 1 の半導体層 103 A とは逆の導電型の不純物元素を有する。半導体層 103 D の端部の側面は、第 1 の半導体層 103 A から第 2 の半導体層 103 B まで一定のテーパ角 (図 1 中の角度) で面が連続する第 1 のテーパ角を有する面と、第 2 の半導体層 103 B から第 3 の半導体層 103 C まで一定のテーパ角 (図 1 中の角度) で面が連続する第 2 のテーパ角を有する面と、を有し、第 1 のテーパ角を有する面と第 2 のテーパ角を有する面は異なるテーパ角を有する。また、第 1 のテーパ角を有する面のテーパ角は第 2 のテーパ角を有する面のテーパ角よりも大きい。

40

【0035】

次に、本発明の光電変換素子の作製方法について、図 5 乃至図 7 を参照して説明する。本実施の形態では基板 100 上に光電変換素子を形成する。

【0036】

50

基板100には、絶縁性を有するガラス基板等を用いる。基板100は、可撓性基板であってもよい。可撓性基板としては、プラスチック等を用いることができる。基板100がガラス基板である場合には、面積や形状に大きな制限はない。そのため、基板100として、例えば、1辺が1メートル以上であって、矩形状のガラス基板を用いることで、円形の単結晶シリコン基板を用いる場合よりも生産性を向上させることができる。また、基板100がプラスチック基板である場合には、薄型、軽量で、曲げることが可能であるためデザイン性に優れた半導体装置を作製することができる。また、様々な形状への加工が容易である。プラスチック基板を用いることで、耐衝撃性に優れた光電変換装置を作製することが可能になる。更には、光電変換装置を様々な物品に貼り付けたり、埋め込んだりすることが容易になり、多種多様な分野への応用が可能になる。また、基板100がプラスチック基板の場合には、作製工程の処理温度に耐えうる、耐熱性を有するプラスチックを用いる必要がある。そのため、好適には、ガラス基板上に薄膜トランジスタ(Thin Film Transistor。以下、TFTという。)を設けた後、当該TFTを剥離して、剥離したTFTをプラスチック基板上に転置することにより設ける。可撓性基板として、具体的にはポリエチレンナフタレート(PEN)のフィルムを用いることができる。ポリエチレンナフタレートの他にも、ポリエチレンテレフタレート(PET)、ポリブチレンナフタレート(PBN)、ポリイミド(PI)、ポリアミド(PA)等のフィルムを用いてもよい。

10

20

30

40

50

【0037】

本実施の形態で用いる基板100上には下地層115が形成されている。下地層115はポリイミド、アクリル、エポキシ樹脂等の有機樹脂により形成される。下地層115は、後の工程にて形成される積層膜の各層よりも厚い膜を形成することが好ましい。好適には樹脂ペーストのような液体を用いて、スピンコート法や液滴吐出法により形成する。

【0038】

そして、下地層115上に第1の導電層101を形成する(図5(A)を参照)。第1の導電層101は単層でも積層でもよい。第1の導電層101を単層で形成する場合には、チタン(Ti)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ネオジウム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、アルミニウム(Al)、金(Au)、銀(Ag)、銅(Cu)から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる膜、或いは、これらの窒化物(例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデン)からなる膜を用いることができる。第1の導電層101を積層で形成する場合には、これらの元素を組み合わせ用いればよい。形成にはCVD法やスパッタ法、液滴吐出法等を用いればよい。本実施の形態ではTiを単層で形成する。

【0039】

次に、第1の導電層101に対してエッチング等を行うことにより、所望のパターンを有する、第1の導電層101を形成する。第1の導電層101のエッチングには塩素系ガスを用いればよい。本実施の形態では、 BCl_3 と Cl_2 の混合ガスを用いてドライエッチングを行う。ガスの流量比を60:20(sccm)とし、チャンバー内の圧力を1.9Pa、温度を70にして、コイル型の電極に450WのRF(13.56MHz)電力を投入してプラズマを生成し、基板側に100WのRF(13.56MHz)電力を投入し、実質的に負のバイアスパワーを加えることで、自己バイアス電圧を生成してエッチングを行う。ここで形成されたテーパ形状のテーパ角は30°前後となるように形成する。なお、レジストにハードベークを施すことで、テーパ角を小さくすることができる。また、エッチング方法について特に限定は無く、誘導結合型プラズマ(ICP:Inductively Coupled Plasma)方式の他、容量結合型プラズマ(CCP:Capacitively Coupled Plasma)方式、電子サイクロトロン共鳴プラズマ(ECR:Electron Cyclotron Resonance)方式、又は反応性イオンエッチング(RIE:Reactive Ion Etchin

g)方式等を用いることができる。

【0040】

なお、上記のエッチング条件は一例であり、これに限定されるものではなく、第1の導電層101をエッチングできる条件であれば、そのガス種、ガスの流量比、チャンパー内の圧力若しくは温度、又は投入する電力等については特に限定されない。

【0041】

次に、保護層102を形成する(図5(B)を参照)。保護層102はパターン形成された第1の導電層101の端部を覆い、光电変換層として機能する半導体層103Dを電極として機能する第1の導電層101の端部において良好に被覆せしめ、電極(第1の導電層101)の端部における電界の集中を防止する。保護層102は絶縁性材料でも、導電性材料でもよいが、保護層102の導電性が高い場合には、静電気に対する耐性が低下するため、保護層102の抵抗は高い方が好ましい。また、ポリイミド等の有機樹脂を用いた場合には、感光性材料を用いて、塗布、露光、現像、焼成のみで容易に形成でき、テーパ角が小さくなるため、後の工程にて形成される膜の被覆性を高めることができる。なお、光が基板100側から入射する場合には、保護層102は光の透過率が高い材料により形成することが望ましい。本実施の形態では、保護層102としてポリイミドを用いる。

10

【0042】

次に、第1の導電層101上に第1の半導体層103A、第2の半導体層103B、第3の半導体層103Cを順次積層し、半導体層103Dを形成する(図5(C)を参照)。

20

【0043】

第1の半導体層103Aは、p型半導体層であり、p型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第1の半導体層103Aの形成には、13属の不純物元素(例えばボロン(B))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン(SiH_4)を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第1の半導体層103Aの膜厚は10nm以上50nm以下となるよう形成することが好ましい。

30

【0044】

第2の半導体層103Bは、i型半導体層(真性半導体層)であり、アモルファスシリコン膜により形成する。第2の半導体層103Bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン(SiH_4)を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。第2の半導体層103Bの形成は、LPCVD法、気相成長法、スパッタリング法等により行っても良い。第2の半導体層103Bの膜厚は200nm以上1000nm以下となるように形成することが好ましい。

40

【0045】

第3の半導体層103Cは、n型半導体層であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第3の半導体層103Cの形成には、15族の不純物元素(例えばリン(P))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン(SiH_4)を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場

50

合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3の半導体層103Cの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

【0046】

なお、p型半導体層、i型半導体層、n型半導体層は、上記とは逆の順序で積層されていてもよい。すなわち、第1の半導体層103Aがn型半導体で形成され、第2の半導体層103Bがi型半導体で形成され、第3の半導体層103Cがp型半導体で形成されていてもよい。この場合には、光は基板とは逆の方向から、つまり、薄膜が積層されている方から入射することが好ましい。一般に、pin型フォトダイオードにおいては、光がp型半導体層側から入射する構造であることが好ましい。

10

【0047】

また、第1の半導体層103A、第2の半導体層103B、及び第3の半導体層103Cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、セミアモルファス半導体(Semi Amorphous Semiconductor。以下、SASという。)を用いて形成してもよい。

【0048】

なお、SASとは、非晶質半導体と結晶構造を有する半導体(単結晶、多結晶を含む)の中間的な構造の半導体である。SASは、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち、格子歪みを有する結晶質であり、その粒径を0.5~20nmとして非単結晶半導体膜中に分散させて存在せしめることが可能である。SASは、ラマンスペクトルが 520cm^{-1} よりも低波数側にシフトしており、また、X線回折ではSi結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また、未結合手(ダングリングボンド)を終端させるために、水素又はハロゲンを少なくとも1原子%以上含ませている。本明細書では便宜上、このような半導体をSASと呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオン等の希ガス元素を含ませることで、格子歪みをさらに助長させることで、安定性が増し良好な特性を有することができる。なお微結晶半導体(マイクロクリスタル半導体)もSASに含まれる。SASはシリコンを含む気体をグロー放電分解することにより得ることができる。代表的なシリコンを含む気体としては、シラン(SiH_4)であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた少なくとも一種の希ガス元素を含ませたガスにより、これらのシリコンを含む気体を希釈して用いることで、SASの形成を容易なものとすることができる。シリコンを含む気体は、希釈率が2倍~1000倍になるように希釈されることが好ましい。さらには、シリコンを含む気体中に、 CH_4 、 C_2H_6 等の炭化物気体、 GeH_4 、 GeF_4 等のゲルマニウム化気体、 F_2 等を混入させることで、エネルギーバンド幅を1.5~2.4eV、又は0.9~1.1eVに調節することができる。

20

30

【0049】

次に、第3の半導体層103C上にレジスト104を所望のパターンとなるように形成する(図5(C)を参照)。現在の量産ラインにて使用されるレジストとして、ノボラック樹脂を主成分とするものが挙げられる。ノボラック樹脂を主成分とするレジストは、ドライエッチング耐性が高いため、好ましい。また、ポリエチレン系樹脂を主成分とするレジストもドライエッチングに対する耐性が優れているため、ポリエチレン系樹脂を主成分とするレジストを用いてもよい。

40

【0050】

続いて、レジスト104をマスクとして半導体層103Dの所望の箇所をドライエッチングにより除去する。パターンの形成は3段階のエッチングにより行い、これらをそれぞれ、第1乃至第3のエッチングとよぶ。

【0051】

第1のエッチングにはアモルファスシリコンに対するエッチングレートが大きい、CF

50

4 と Cl_2 の混合ガスを用いることが好ましい。ここでは、一例として、ガスの流量比を 40 : 40 (sccm) とし、チャンバー内の圧力を 2.0 Pa、温度を 70 にして、コイル型の電極に 450 W の RF (13.56 MHz) 電力を投入してプラズマを生成し、基板側に 100 W の RF (13.56 MHz) 電力を投入することで、実質的に負のバイアスパワーを加え、自己バイアス電圧を生成してエッチングを行う。このような条件を用いることで、厚膜形成された半導体層 103D のエッチングを短時間で行うことができる。また、上述のように半導体層 103D が厚いため、エッチング時間を調整して、第 2 の半導体層 103B の一部と第 1 の半導体層 103A を残すようにエッチングを行うことが可能である (図 6 (A) を参照)。または第 1 の半導体層 103A の一部のみを残すようにエッチングを行ってもよい。

10

【0052】

なお、上記のエッチング条件は一例であり、これに限定されるものではなく、半導体層 103D をエッチングできる条件であれば、そのガス種、ガスの流量比、チャンバー内の圧力若しくは温度、又は投入する電力等については特に限定されない。

【0053】

次に、第 1 のエッチング工程後に残っている半導体層 103D 内の点線で囲まれた領域 105 をエッチングにより除去するために第 2 のエッチングを行う。第 2 のエッチングは O_2 を含むガスにより行うことが好ましく、より好ましくは CF_4 と O_2 の混合ガスを用いる。第 1 の導電層 101 に Ti を用いる場合には、一例として、ガスの流量比を 45 : 55 (sccm) とし、チャンバー内の圧力を 2.5 Pa、温度を 70 にして、コイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成し、基板側に 200 W の RF (13.56 MHz) 電力を投入し、実質的に負のバイアスパワーを加え、自己バイアス電圧を生成してエッチングを行うことで、第 1 の導電層 101 を除去することなく、半導体層 103D 内の点線で囲まれた領域 105 のみをエッチング除去することができる。

20

【0054】

O_2 を含む混合ガスを用いたドライエッチングでは、レジストが等方的にエッチングされて後退し、マスクされる領域が小さくなる。また、第 3 の半導体層 103C の表面のマスクから露出された領域は酸化されるため、酸化珪素層 106 が形成される (図 6 (B) を参照)。このとき、下層に存在する第 1 の導電層 101 はエッチングされない。

30

【0055】

第 2 のエッチングでは、オーバーエッチングを施し、下地層 115 の表面を点線で囲まれた領域 116 に示すように、凹凸を形成するまでエッチングを行うことが好ましい。下地層 115 の表面を凹凸形状にすることで、後の工程で下地層 115 上に形成される絶縁膜の密着性が向上する。

【0056】

次に、酸化珪素層 106 を選択的に除去するために第 3 のエッチングを行う。第 3 のエッチングには、 CHF_3 と He の混合ガスを用いたドライエッチングを行うとよい。一例として、ガスの流量比を 7.5 : 142.5 (sccm) とし、チャンバー内の圧力を 5.5 Pa、温度を 70 にして、コイル型の電極に 475 W の RF (13.56 MHz) 電力を投入してプラズマを生成し、基板側に 300 W の RF (13.56 MHz) 電力を投入することで、実質的に負のバイアスパワーを加え、自己バイアス電圧を生成してエッチングを行うとよい。このような条件でエッチングを行うことにより、シリコンのエッチングレートを抑えて酸化珪素のエッチングレートを高くすることができ、第 2 の半導体層 103B を残し、酸化珪素層 106 を除去することができる。ただし、ここでエッチング除去される領域は必ずしも酸化珪素層 106 だけではなく、第 2 の半導体層 103B の一部が除去されていてもよい。

40

【0057】

なお、上記のエッチング条件は一例であり、これに限定されるものではなく、第 3 の半導体層 103C のレジスト 104 から露出された領域と第 2 の半導体層 103B の一部、

50

又は第3の半導体層103Cのレジスト104から露出された領域のみをエッチングできる条件であれば、そのガス種、ガスの流量比、チャンパー内の圧力若しくは温度、又は投入する電力等については特に限定されない。

【0058】

以上説明したように、第3の半導体層103Cのレジスト104から露出された領域と第2の半導体層103Bの一部、又は第3の半導体層103Cのレジスト104から露出された領域のみを除去することにより、半導体層103Dがテーパ角の異なる2つのテーパ角を有する面を有するように形成することができる。なお、端部の側面の一方にはn層が存在しない。

【0059】

次に、 O_2 プラズマによりライトアッシングを行った後、レジストを所定の薬液により剥離して除去する。

【0060】

次に、絶縁層107を形成する。絶縁層107は絶縁性を有する材料であればよく、特定の材料や形成方法に限定されず、例えばCVD法等により形成すればよい。形成に用いる材料としては酸化珪素系材料、窒化珪素系材料、シロキサン樹脂等が挙げられる。なお、酸化珪素系材料とは、酸素と珪素を主成分とする酸化珪素、酸化珪素が窒素を含み、且つ酸素の含有量が窒素の含有量よりも多い酸化窒化珪素をいう。窒化珪素系材料とは、窒素と珪素を主成分とする窒化珪素、窒化珪素が酸素を含み、窒素の含有量が酸素の含有量よりも多い窒化酸化珪素をいう。シロキサン樹脂とは、Si-O-Si結合を含む樹脂である。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。好ましくは、感光性ポリイミド等の感光性樹脂を用いる。なお、光が基板100と逆方向から入射する場合は、光の透過率が高い絶縁膜を用いることが好ましい。本実施の形態では絶縁層107には感光性ポリイミド樹脂を用いて、露光によりパターンを形成する。絶縁層107は全面に形成しても良いが、好ましくは下地層115の凹凸が形成された領域を避けて形成する(図6(C)を参照)。絶縁層107は、後に形成される第2の導電層108が第3の半導体層103Cと接続される箇所に開口部を有するように形成する。

【0061】

次に、第2の導電層108を形成する。第2の導電層108は単層でも積層でもよい。第2の導電層108の材料には、第1の導電層101と同様の材料を用いればよい。つまり、単層にする場合には、チタン(Ti)、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ネオジウム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスmium(Os)、イリジウム(Ir)、白金(Pt)、アルミニウム(Al)、金(Au)、銀(Ag)、銅(Cu)ニッケル(Ni)から選ばれた元素、又は前記元素を主成分とする合金材料若しくは化合物材料、或いは、これらの窒化物(例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデン)からなる膜を用いることができる。第2の導電層108を積層で形成する場合には、これらの元素を組み合わせ用いればよい。形成にはCVD法、スパッタ法、又は液滴吐出法等を用いればよい。ここではTiを用いて単層で形成する。第2の導電層108を形成後、第1の導電層101と同様に、必要に応じてエッチング等を行うことで、所望のパターンを有する導電層となるように形成する。

【0062】

次に、絶縁層109を形成する。絶縁層109の材料には特に限定はなく、窒化珪素系材料、酸化珪素系材料、BSG(Boron Silicate Glass)、PSG(Phosphorus Silicate Glass)、BPSG(Boron Phosphorus Silicate Glass)、又は樹脂材料等を用いることができる。好適には有機樹脂材料(ポリイミド、アクリル)やシロキサン樹脂を用いる。形成には液滴吐出法(方式によってはインクジェット法とも呼ばれる。また、吐出には噴出等も含む。以下、同じ。)、スクリーン印刷法、スピンコート法等を用いることができる。CVD法等を用いてもよい。ここでは、エポキシ樹脂をスクリーン印刷法により形成

10

20

30

40

50

する。下地層 115 の表面には凹凸が形成されているため、絶縁層 109 は下地層 115 に密着し、良好に被覆することができる。特に、絶縁層 109 と下地層 115 を同種の材料にて形成すると、密着性が向上するため特に好ましい。

【0063】

ここで、絶縁層 109 に、開口部 110A 及び開口部 110B を形成する（図 7（A）を参照）。絶縁層 109 の形成にスクリーン印刷法や液滴吐出法等を用いることで、絶縁層 109 を既に所望のパターンで形成している場合には、この工程は必ずしも行わなくてよい。絶縁層 109 を全面に形成した後、所定の位置を除去することでパターンを形成する方法を採用する場合であっても、感光性材料を用いることで、塗布、露光、現像、焼成のみでパターンを形成することができる。また、第 2 のテーパ角が緩やかになるため、後の工程において形成される層を良好に被覆させることができる。開口部 110A は第 1 の導電層 101 に達するように形成し、開口部 110B は第 2 の導電層 108 に達するように形成する。

10

【0064】

次に、開口部 110A 及び開口部 110B に、第 3 の導電層 111 を形成する（図 7（B）を参照）。第 3 の導電層 111 は導電性ペーストにより、スクリーン印刷法又は液滴吐出法等を用いて形成することができる。本実施の形態ではスクリーン印刷法を用いる。導電性ペーストとしては、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）等の金属材料を含む導電性ペースト又は導電性カーボンペーストを用いることができる。第 3 の導電層 111 は第 1 の導電層 101 及び第 2 の導電層 108 と接続されるように形成する。

20

【0065】

上述したように、本発明により作製した光電変換素子を図 2 に示す。図 2（A）では、保護層 102 は第 1 の導電層 101 の端部のみに形成されている。図 2（B）では、保護層 102 は図 2（A）において第 1 の半導体層 103A が基板に接していた領域、および第 1 の導電層 101 の端部を覆うように形成され、基板 100 と半導体層 103A が接触しない構造になっている。図 2（C）では、保護層 102 は膜厚が等しくなるように形成されている。図 2（C）に示す保護層 102 は、絶縁性の無機材料等により、CVD 法等を用いて形成される。第 3 の半導体層 103C のレジスト 104 から露出された領域と第 2 の半導体層 103B の端部の側面の一部、又は第 3 の半導体層 103C のレジスト 104 から露出された領域のみを除去することにより、テーパ角の異なる 2 つのテーパ形状部を形成することができる。第 1 の半導体層 103A から第 3 の半導体層 103C までの端部の側面における距離を長くすることができ、エッチング残渣を介在して導通する恐れを低減することができる。

30

【0066】

本発明により、リーク電流が小さく、層間に形成した樹脂膜等の密着性の高い光電変換素子を得ることができる。そのため、信頼性が高い pin 型光電変換素子を作製することができる。また信頼性の高い、pin 型光電変換素子を搭載する電子機器を作製することができる。

【0067】

なお、本実施の形態は、他の実施の形態、及び実施例 1 乃至 3 と自由に組み合わせることができる。

40

【0068】

（実施の形態 2）

本実施の形態では、実施の形態 1 とは異なる構造の光電変換素子について図 3 及び図 4 を参照して説明する。図 3 は本発明の光電変換素子の断面を示す。図 4 は従来 of 光電変換素子の断面を示す。

【0069】

図 3（A）は本発明を適用して作製した光電変換素子の一例を示す。実施の形態 1 に示す光電変換素子と異なる点は、透光性を有する導電性材料により第 1 の導電層 112 を形

50

成していることである。なお、本実施の形態では第2の導電層117には透光性を有する導電性材料を用いていないが、第2の導電層117は透光性を有する導電性材料を用いて形成しても良い。

【0070】

透光性を有する導電性材料として、ITO（インジウム錫酸化物）、IZO（酸化亜鉛（ZnO）を含むインジウム酸化物）、ZnO（酸化亜鉛）を用いることができる。好ましくは、ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法により形成した、ITSO（酸化珪素（SiO₂）を含むインジウム錫酸化物）を用いる。なお、IZOとは酸化珪素を含み、酸化インジウムにZnOが2～20重量%含まれたターゲットを用いてスパッタリング法により形成した酸化物導電性材料である。この他、ZnOにガリウム（Ga）をドーブした導電性材料、SnO₂（酸化錫）、Ga₂O₃をドーブしたZnO、Al₂O₃をドーブしたZnO、SiO₂をドーブしたZnOを用いてもよい。

10

【0071】

透光性を有する導電性材料を用いて第1の導電層112を形成することで、基板側から光が入射する光電変換装置を作製する場合に図3（A）に示す構造を採用することが可能となる。この場合、第2の導電層117には透光性を有する導電性材料を用いなくてもよい。

【0072】

従来の図4（B）に示す構造では、図4（A）と比較して内部抵抗が低いため、静電気に起因する破壊が生じやすいという欠点があった。また、図4（B）に示す構造では、半導体層の端部である、点線で囲まれた領域114C及び領域114Dに、エッチング工程において発生したエッチング残渣が堆積しやすいため、リーク電流が発生しやすいという問題があった。

20

【0073】

図3（B）は、第1の導電層101のテーパ角を本発明の他の構成よりも小さくした場合の断面図を示す。このように第1の導電層101のテーパ角を小さくすることで、第1の導電層101上に形成される膜が良好に被覆する。これにより、第1の導電層101と半導体層103Dが良好に被覆しないことを原因として発生しうるクラック等を防止し、リーク電流を低減することができる。図3（B）に示すように、第1の導電層の端部の側面のテーパ角の小さい光電変換素子に本発明を適用することで、第1の導電層上に保護層が設けられていなくても、信頼性の高いpin型光電変換素子を作製することができる。

30

【0074】

図3（B）に示すようにテーパ角を小さくするには、エッチング条件を調整すればよい。一例として、ガスの流量比を70：10（sccm）とし、圧力を1.35Paで、コイル型の電極に600WのRF（13.56MHz）電力を投入してプラズマを生成し、基板側に200WのRF（13.56MHz）電力を投入することで、実質的に負のバイアスパワーを加え、自己バイアス電圧を生成してエッチングを行うと、第1の導電層101のテーパ角が30°前後となり、好ましい。ここでも、レジストにはハードベークを施す。

40

【0075】

本発明を適用して、第3の半導体層103Cの端部の側面のマスクから露出された領域と第2の半導体層103Bの端部の側面の一部、又は第3の半導体層103Cの端部の側面のマスクから露出された領域のみを除去することにより、半導体層103Dの端部の側面を、テーパ角の異なる2つのテーパ形状部を有し、一方のテーパ形状部にn層が残存ないように加工することで、上述の問題点を解決することができる。

【0076】

本発明を適用して半導体層端部の側面にテーパ角の異なる2つのテーパ形状部を有するように加工することで、第1の半導体層から第3の半導体層までの端部の側面における距離を長くすることができ、エッチング残渣を介在して導通することによるリーク電流を低

50

減することができる。また、半導体層端部の側面に、テーパ角の異なる２つのテーパ形状部を有し、且つ一方のテーパ形状部にn層が残存しないように加工するに際して、第３の半導体層のマスクから露出された領域と第２の半導体層の端部の側面の一部、又は第３の半導体層のマスクから露出された領域のみを除去するエッチング工程でオーバーエッチングを施し、且つ、下地層に凹凸を形成するようにエッチングを行うことで、この上に形成され、この凹凸の深さよりも厚く形成される樹脂膜等の密着性を向上させることができる。

【 0 0 7 7 】

更には、本実施の形態にて説明したように、第１の導電層の端部の側面が有するテーパ角を小さくすることで、第１の導電層の端部の側面を覆う保護膜を設けない構造とすることが可能になり、作製工程が簡略になる。更には、本発明を適用することでリーク電流が低減されるため、第１の半導体層の下層の全面に第１の導電層が設けられた構造とすることも可能である。

10

【 0 0 7 8 】

本発明により、リーク電流が小さく、層間に形成した樹脂膜等の密着性の高い半導体素子を得ることができる。そのため、信頼性が高いpin型光電変換素子を作製することができる。また信頼性の高い、pin型光電変換素子を搭載する電子機器を作製することができる。

【 0 0 7 9 】

なお、本実施の形態は、他の実施の形態、及び実施例１乃至３と自由に組み合わせることができる。

20

【 0 0 8 0 】

(実施の形態３)

本実施の形態では本発明を適用して作製したカラーセンサーについて、図８乃至図１３、及び図１９を参照して説明する。なお、図８乃至図１３に示した構造は必ずしもこれに限定されるものではなく、例えば、図８乃至図１３では導電層及び絶縁層を単層で形成しているが、これに限定されるものではない。本実施の形態で示す導電層及び絶縁層は積層であっても良い。また、遮光層及びオーバーコート層についても単層であっても良いし、積層であってもよい。

【 0 0 8 1 】

なお、遮光層は、少なくとも可視光を遮断する機能を有していればよく、特定の材料に限定されない。例えば、カーボン系材料又は顔料を分散させた遮光性を有する絶縁膜であってもよいし、金属膜であってもよい。例えば、クロム(Cr)、酸化クロム、及び窒化クロムが積層された膜により形成することができる。

30

【 0 0 8 2 】

図８は基板２００上に形成されたTF T 2 0 1 A及びTF T 2 0 1 Bを有し、層間絶縁層２０３上に形成された光電変換素子部２０２ A及び光電変換素子部２０２ Bを有し、光電変換素子部２０２ A及び光電変換素子部２０２ B内にカラーフィルター層２０４ A及びカラーフィルター層２０４ Bを有し、光電変換素子部２０２ A及び光電変換素子部２０２ Bにおける第１の導電層２０５ A及び第１の導電層２０５ Bと同種の材料からなる遮光層２０５ C及び遮光層２０５ Dを有する光電変換装置の断面図を示す。第１の導電層２０５ A、遮光層２０５ C、第１の導電層２０５ B、及び遮光層２０５ Dが遮光することで、光電変換素子部２０２ A及び光電変換素子部２０２ Bの端部から各々の光電変換層に入射する光を遮断することができ、各々の光電変換層にはカラーフィルター層２０４ A及びカラーフィルター層２０４ Bを通過した光のみが入射する。このため、光電変換素子部２０２ A及び光電変換素子部２０２ Bはカラーセンサーとして機能することができる。カラーフィルター層２０４ Aとカラーフィルター層２０４ Bは、異なる色にすることができる。また、カラーフィルター層２０４ Aとオーバーコート層２０６ A、及びカラーフィルター層２０４ Bとオーバーコート層２０６ Bが実施の形態１で述べた保護層１０２と同様に機能する。オーバーコート層２０６ A及びオーバーコート層２０６ Bはカラーフィルター層２

40

50

04A及びカラーフィルター層204Bに含まれる各種不純物元素が各々の光電変換層に拡散しないよう、保護する機能を有する。また、絶縁層209上の導電層210は接点電極212と接続されている。接点電極212の露出部以外は樹脂211に覆われている。なお、導電層210と、光電変換素子部202A及び光電変換素子部202Bは他の導電層を介して接続されていても良い。導電層210と、導電層2019が他の導電層を介して接続されていても良い。

【0083】

図9は基板200上に形成されたTF T 201A及びTF T 201Bを有し、層間絶縁層203上に形成された光電変換素子部202A及び光電変換素子部202Bを有し、光電変換素子部202A及び光電変換素子部202B内にカラーフィルター層204A及びカラーフィルター層204Bを有し、光電変換素子部202A及び光電変換素子部202Bが設けられた層間絶縁層203より下に遮光層207A、遮光層207B、遮光層207C、及び遮光層205Dを有する光電変換装置の断面図を示す。遮光層207A、遮光層207C、遮光層207B、及び遮光層205Dが遮光することで、光電変換素子部202A及び光電変換素子部202Bの端部から各々の光電変換層に入射する光を遮断することができ、各々の光電変換層にはカラーフィルター層204A又はカラーフィルター層204Bを通過した光のみが入射する。このため、光電変換素子部202A及び光電変換素子部202Bはカラーセンサーとして機能する。カラーフィルター層204Aとカラーフィルター層204Bは、異なる色にすることができる。また、カラーフィルター層204Aとオーバーコート層206A、及びカラーフィルター層204Bとオーバーコート層206Bが実施の形態1で述べた保護層102と同様に機能する。オーバーコート層206A及びオーバーコート層206Bはカラーフィルター層204A及びカラーフィルター層204Bに含まれる各種不純物元素が各々の光電変換層に拡散しないよう、保護する機能を有する。また、絶縁層209上の導電層210が接点電極212と接続されている。接点電極212の露出部以外は樹脂211に覆われている。なお、導電層210と、光電変換素子部202A及び光電変換素子部202Bは他の導電層を介して接続されていても良い。導電層210と、導電層2019が他の導電層を介して接続されていても良い。なお、遮光層207A、遮光層207B、遮光層207C、及び遮光層207DはTF T 201A及びTF T 201Bが有する導電層等と同種の材料により、同一工程にて形成しても良い。

【0084】

図10は基板200上に形成されたTF T 201A及びTF T 201Bを有し、層間絶縁層203上に形成された光電変換素子部202A及び光電変換素子部202Bを有し、光電変換素子部202A及び光電変換素子部202B内にカラーフィルター層204A及びカラーフィルター層204Bを有し、TF T 201A及びTF T 201Bの下に遮光層208を有し、光電変換素子部202A及び光電変換素子部202Bが設けられた層間絶縁層203より下に遮光層207A、遮光層207B、遮光層207C、及び遮光層207Dを有する光電変換装置の断面図を示す。遮光層207A、遮光層207C、遮光層207B、及び遮光層207Dが遮光することで光電変換素子部202A及び光電変換素子部202Bの端部から各々の光電変換層に入射する光を遮断することができ、各々の光電変換層にはカラーフィルター層204A又はカラーフィルター層204Bを通過した光のみが入射する。このため、光電変換素子部202A及び光電変換素子部202Bはカラーセンサーとして機能する。カラーフィルター層204Aとカラーフィルター層204Bは、異なる色にすることができる。また、カラーフィルター層204Aとオーバーコート層206A、及びカラーフィルター層204Bとオーバーコート層206Bが実施の形態1で述べた保護層102と同様に機能する。オーバーコート層206A及びオーバーコート層206Bはカラーフィルター層204A及びカラーフィルター層204Bに含まれる各種不純物元素が各々の光電変換層に拡散しないよう、保護する機能を有する。また、絶縁層209上の導電層210が接点電極212と接続されている。接点電極212の露出部以外は樹脂211に覆われている。TF T 201A及びTF T 201Bが遮光層208を

有するため、信頼性の高いTFTを得ることができる。なお、導電層210と、光電変換素子部202A及び光電変換素子部202Bは他の導電層を介して接続されていても良い。導電層210と、導電層2019が他の導電層を介して接続されていても良い。なお、遮光層207A、遮光層207B、遮光層207C、及び遮光層207DはTFT201A及びTFT201Bが有する導電層等と同種の材料により、同一工程にて形成しても良い。

【0085】

図11は基板200上に形成されたTFT201A及びTFT201Bを有し、層間絶縁層203上に形成された光電変換素子部202A及び光電変換素子部202Bを有し、光電変換素子部202A及び光電変換素子部202B内にカラーフィルター層204A及びカラーフィルター層204Bを有し、TFT201A及びTFT201Bの下に遮光層208Eを有し、光電変換素子部202A及び光電変換素子部202Bが設けられた層間絶縁層203の下に遮光層208A、遮光層208B、遮光層208C、及び遮光層208Dを有する光電変換装置の断面図を示す。遮光層208A、遮光層208C、遮光層208B、及び遮光層208Dが遮光することで光電変換素子部202A及び光電変換素子部202Bの端部から各々の光電変換層に入射する光を遮断することができ、各々の光電変換層にはカラーフィルター層204A又はカラーフィルター層204Bを通過した光のみが入射する。このため、光電変換素子部202A及び光電変換素子部202Bはカラーセンサーとして機能する。カラーフィルター層204Aとカラーフィルター層204Bは、異なる色にすることができる。また、カラーフィルター層204Aとオーバーコート層206A、及びカラーフィルター層204Bとオーバーコート層206Bが実施の形態1で述べた保護層102と同様に機能する。オーバーコート層206A及びオーバーコート層206Bはカラーフィルター層204A及びカラーフィルター層204Bに含まれる各種不純物元素が各々の光電変換層に拡散しないよう、保護する機能を有する。また、絶縁層209上の導電層210が接点電極212と接続されている。接点電極212の露出部以外は樹脂211に覆われている。TFT201A及びTFT201Bが遮光層208Eを有するため、信頼性の高いTFTを得ることができる。遮光層208Eは遮光層208A、遮光層208B、遮光層208C、及び遮光層208Dと同種の材料により、同一工程にて形成されることが好ましい。なお、導電層210と、光電変換素子部202A及び光電変換素子部202Bは他の導電層を介して接続されていても良い。導電層210と、導電層2019が他の導電層を介して接続されていても良い。

10

20

30

【0086】

図12は基板200上に形成されたTFT201A及びTFT201Bを有し、層間絶縁層203上に形成された光電変換素子部202A及び光電変換素子部202Bを有し、層間絶縁層203の下にカラーフィルター層204を有し、光電変換素子部202A及び光電変換素子部202Bが設けられた層間絶縁層203及びカラーフィルター層204より下に遮光層207A及び遮光層207Bを有する光電変換装置の断面図を示す。光電変換素子部202A及び光電変換素子部202Bにおける第1の導電層205A、第1の導電層205B、遮光層207A、及び遮光層207Bが遮光することで光電変換素子部202A及び光電変換素子部202Bの端部から各々の光電変換層に入射する光を遮断することができる。このため、光電変換素子部202A及び光電変換素子部202Bはカラーセンサーとして機能する。また、層間絶縁層203はカラーフィルター層204に含まれる各種不純物元素が光電変換素子部202A及び光電変換素子部202B内の光電変換層に拡散しないよう、保護する機能を有している。また、絶縁層209上の導電層210が接点電極212と接続されている。接点電極212の露出部以外は樹脂211に覆われている。また、図12には図示していないが、図10及び図11と同様に、TFT201A及びTFT201Bが遮光層を有していてもよい。なお、図12ではカラーフィルター層204は一色であるため、必要のない場合には遮光層207Aは形成しなくとも良い。なお、導電層210と、光電変換素子部202A及び光電変換素子部202Bは他の導電層を介して接続されていても良い。導電層210と、導電層2019が他の導電層を介して

40

50

接続されていても良い。

【0087】

図13は基板200上に形成されたTFT201A及びTFT201Bを有し、層間絶縁層203上に形成された光電変換素子部202A及び光電変換素子部202Bを有し、層間絶縁層203の下にカラーフィルター層204A及びカラーフィルター層204Bを有し、光電変換素子部202A及び光電変換素子部202Bが設けられた層間絶縁層203及びカラーフィルター層204A及びカラーフィルター層204Bより下に遮光層207A、遮光層207C、遮光層207B、及び遮光層207Dを有する光電変換装置の断面図を示す。光電変換素子部202A及び光電変換素子部202Bにおける第1の導電層205A及び第1の導電層205Bを有する。遮光層207A、遮光層207C、遮光層207B、及び遮光層207Dが遮光することで光電変換素子部202A及び光電変換素子部202Bの端部から各々の光電変換層に入射する光を遮断することができ、各々の光電変換層にはカラーフィルター層204A及びカラーフィルター層204Bを通過した光のみが入射する。このため、光電変換素子部202A及び光電変換素子部202Bはカラーセンサーとして機能する。カラーフィルター層204Aとカラーフィルター層204Bは、異なる色にすることができる。また、層間絶縁層203はカラーフィルター層204に含まれる各種不純物元素が光電変換素子部202A及び光電変換素子部202B内の光電変換層に拡散しないよう、保護する機能を有する。また、絶縁層209上の導電層210が接点電極212と接続されている。接点電極212の露出部以外は樹脂211に覆われている。また、図13には図示していないが、図10及び図11と同様に、TFT201A及びTFT201Bが遮光層を有していてもよい。なお、導電層210と、光電変換素子部202A及び光電変換素子部202Bは他の導電層を介して接続されていても良い。導電層210と、導電層2019が他の導電層を介して接続されていても良い。なお、遮光層207A、遮光層207B、遮光層207C、及び遮光層205DはTFT201A及びTFT201Bが有する導電層等と同種の材料により、同一工程にて形成しても良い。

10

20

【0088】

ここで、本実施の形態のTFT201A及びTFT201Bの作製工程の一例について、図8を参照して説明する。

【0089】

まず、基板200上に、絶縁層2011を形成する。次に、絶縁層2011上に複数のトランジスタを含む層を形成する。続いて、複数のトランジスタを含む層上に、絶縁層2018と層間絶縁層203を形成する。次に、複数のトランジスタ内の絶縁層2015、絶縁層2018、及び層間絶縁層203に設けられた開口部を介して、複数のトランジスタの各々のソース領域又はドレイン領域に接続された導電層2019を形成する。

30

【0090】

絶縁層2011は、基板200からの不純物の侵入を防止する役目を担う。絶縁層2011は、スパッタリング法やプラズマCVD法等により、酸化珪素系膜又は窒化珪素系膜を、単層又は積層で形成する。なお、絶縁層2011は、必要のない場合には、設けなくてもよい。

40

【0091】

複数のトランジスタの各々は、半導体層2012、絶縁層2015、及びゲート電極として機能する導電層2016を有する。ここでは半導体層2012に珪素を用いる。半導体層2012は、シラン(SiH₄)等の半導体材料ガスにより、LPCVD法、プラズマCVD法、気相成長法やスパッタリング法を用いて非晶質半導体として形成することができる。他にも、該非晶質半導体をレーザー結晶化法、熱結晶化法、またはニッケル等の結晶化を助長する元素を用いた熱結晶化法等で結晶化させた多結晶半導体、或いはSAS等を用いてもよい。ここでは多結晶珪素を用いる。

【0092】

半導体層2012は、ソース領域又はドレイン領域として機能する不純物領域2013

50

及びチャンネル形成領域 2014 を有する。不純物領域 2013 には、N 型を付与する不純物元素（15 族に属する元素、例えばリン、砒素）又は P 型を付与する不純物元素（例えば硼素、アルミニウム）が添加されている。不純物の導入には、拡散源を用いる方法やイオン注入法等を用いればよい。不純物を導入する際には、ソース領域又はドレイン領域とチャンネル形成領域との間に LDD (Lightly Doped Drain) 領域を設けることが好ましいが、必要のない場合には LDD 領域は特に設けなくとも良い。

【0093】

なお、LDD 領域とは半導体層が多結晶珪素である TFT において、信頼性の向上を目的として形成される領域である。半導体層が多結晶珪素である TFT では、オフ電流を抑えることは重要であり、特に、画素回路等のアナログスイッチとして用いる場合には十分に低いオフ電流が要求される。しかし、ドレイン接合部の逆バイアス強電界により、オフ時にも欠陥を介するリーク電流が存在する。LDD 領域が設けられていると、ドレイン端近傍の電界が緩和されるため、オフ電流を低減させることができる。また、ドレイン接合部の逆バイアス電界をチャンネル領域と LDD 領域の接合部、LDD 領域とドレイン領域の接合部に分散させることができ、電界が緩和されるため、リーク電流が低減される。

【0094】

本実施の形態では、サイドウォールとして機能する絶縁層 2017 を設けることで、LDD 領域を形成することができる。

【0095】

絶縁層 2015 はゲート絶縁層として機能する。絶縁層 2015 は、絶縁層 2011 と同様に、スパッタリング法又はプラズマ CVD 法等により、酸化珪素系材料又は窒化珪素系材料を単層又は積層して形成すればよい。

【0096】

絶縁層 2018 及び層間絶縁層 203 は SOG (スピンオンガラス) 法、液滴吐出法、又はスクリーン印刷法等を用いて、無機材料又は有機材料により、単層又は積層で形成する。例えば、絶縁層 2018 は酸化窒化珪素により形成し、層間絶縁層 203 は窒化酸化珪素により形成すればよい。また、絶縁層 2011 及び絶縁層 2015 と同様に、スパッタリング法又はプラズマ CVD 法等により形成してもよい。

【0097】

導電層 2019 は導電性を有する物質により形成する。形成には CVD 法やスパッタ法、液滴吐出法等を用いればよい。導電層 2019 は単層で形成してもよいし、積層で形成してもよい。また、光電変換素子部の第 1 の導電層 205A も同一の工程にて形成するとよい。

【0098】

なお、接点電極 212 は図 8 乃至図 13 に示す形状に限定されないが、このような形状を有することが好ましい。すなわち、接点電極 212 は端部から中央部にかけて膜厚が増加するなだらかなテーパ角を有する面と、中央部に該テーパ角を有する面から連続した形状の突起部を有する。このような形状にすることで、接点電極が接続される外部回路と光電変換素子を搭載した半導体装置の接続を従来よりも確実にを行うことができ、歩留まりが向上する。

【0099】

なお、上記で説明した TFT 201A 及び TFT 201B は、図示した構造に限定されず、様々な形態のものを用いることができる。例えば、図示した TFT はトップゲート型であるが、バックチャンネルエッチ型であっても良いし、チャンネル保護型であっても良い。

【0100】

また、図から明らかなように、本実施の形態で示す半導体装置は TFT と光電変換素子が同一基板上に形成されていることが好ましい。図 19 にその構成の一例を回路図で示す。図 19 に示す半導体装置は、光電変換素子、及び TFT により構成される電流増幅回路を有する。図 19 (A) は n 型 TFT を用いた例を示し、図 19 (B) は p 型 TFT を用いた例を示す。以下の説明では図 19 (A) を参照するが、p 型 TFT を用いる場合につ

10

20

30

40

50

いても同様である。

【0101】

図19(A)に示す半導体装置181Aは、光電変換素子183Aの出力を増幅する電流増幅回路182Aを備えている。電流増幅回路182Aとしてはさまざまな回路構成を適用することができるが、ここではn型TFT184Aとn型TFT185Aにより電流増幅回路182Aがカレントミラー回路を構成している。n型TFT184A及びn型TFT185Aのソース電極又はドレイン電極の一方は外部電源端子187Aに接続されており、定電圧(例えば、接地電圧)に保たれている。n型TFT185Aのソース電極又はドレイン電極の他方は出力端子186Aに接続されている。n型TFT184Aのソース電極又はドレイン電極の他方はn型TFT184A及びn型TFT185Aのゲート電極に接続されている。光電変換素子183Aにpin型フォトダイオードを用いる場合には、陽極(p型半導体側)はn型TFT184Aのソース電極又はドレイン電極の他方と接続され、陰極(n型半導体側)は出力端子186Aに接続されている。

10

【0102】

光電変換素子183Aに光が照射されると、陰極(n型半導体側)から陽極(p型半導体側)に光電流が流れる。これによって、電流増幅回路182Aのn型TFT184Aに電流が流れ、その電流を流すために必要な電圧がゲート電極で生成される。n型TFT185Aのゲート長L、及びチャネル幅Wがn型TFT184Aと等しく、飽和領域で動作するのであれば、n型TFT184Aとn型TFT185Aのゲート電圧が等しいため、同じ大きさの電流が流れる。出力電流を増幅したい場合には、n型TFT185Aとして、n個のTFTを並列接続したものをを用いれば良い。その場合、並列した数(n個)に比例して電流が増幅される。

20

【0103】

図19(B)に示す半導体装置181Bは、光電変換素子183Bの出力を増幅する電流増幅回路182Bを備えている。電流増幅回路182Bとしてはさまざまな回路構成を適用することができるが、ここではp型TFT184Bとp型TFT185Bにより電流増幅回路182Bがカレントミラー回路を構成している。p型TFT184B及びp型TFT185Bのソース電極又はドレイン電極の一方は外部電源端子187Bに接続されており、定電圧(例えば、接地電圧)に保たれている。p型TFT185Bのソース電極又はドレイン電極の他方は出力端子186Bに接続されている。p型TFT184Bのソース電極又はドレイン電極の他方はp型TFT184B及びp型TFT185Bのゲート電極に接続されている。光電変換素子183Bにpin型フォトダイオードを用いる場合には、陽極(p型半導体側)はp型TFT184Bのソース電極又はドレイン電極の他方と接続され、陰極(n型半導体側)は出力端子186Bに接続されている。

30

【0104】

光電変換素子183Bに光が照射されると、陰極(n型半導体側)から陽極(p型半導体側)に光電流が流れる。これによって、電流増幅回路182Bのp型TFT184Bに電流が流れ、その電流を流すために必要な電圧がゲート電極で生成される。p型TFT185Bのゲート長L、及びチャネル幅Wがp型TFT184Bと等しく、飽和領域で動作するのであれば、p型TFT184Bとp型TFT185Bのゲート電圧が等しいため、同じ大きさの電流が流れる。出力電流を増幅したい場合には、p型TFT185Bとして、n個のTFTを並列接続したものをを用いれば良い。その場合、並列した数(n個)に比例して電流が増幅される。

40

【0105】

以上のように、本発明により、リーク電流が小さく、層間絶縁膜として形成した樹脂膜等の密着性が高い半導体素子を得ることができる。そのため、信頼性が高いpin型光電変換素子を作製することができる。また信頼性の高い、pin型光電変換素子を搭載する半導体装置を作製することができる。

【0106】

なお、本実施の形態は、他の実施の形態、及び実施例1乃至3と自由に組み合わせるこ

50

とができる。

【実施例 1】

【0107】

本発明を適用して、半導体層端部の側面がテーパ角の異なる2つの面を有し、且つ第1の半導体層の端部の側面と第3の半導体層の端部の側面が同一平面上に存在しないように加工した試料を、走査型電子顕微鏡（以下、SEM（Scanning Electron Microscope）という。）及び透過型電子顕微鏡（以下、TEM（Transmission Electron Microscope）という。）により観察した。図20に示す走査型電子顕微鏡像（以下、SEM像という。）及び図21に示す透過型電子顕微鏡像（以下、TEM像という。）を参照して、以下に説明する。なお、TEM像の取得にはSTEM（Scanning Transmission Electron Microscope）を用いた。

10

【0108】

本実施例の試料は、基板上に酸化珪素膜が形成され、酸化珪素膜上に感光性ポリイミドが形成され、感光性ポリイミド上に感光性アクリルが形成され、感光性アクリル上にp型半導体層、i型半導体層、及びn型半導体層が順次積層して形成されている。i型半導体層にはアモルファスシリコンを、p型半導体層及びn型半導体層にはSASを用いた。

【0109】

基板にはガラスを用いた。まず、ガラス基板上に酸化珪素膜をCVD法により膜厚が約200nmとなるように形成した。なお、ここで形成する膜は、酸化珪素膜以外の酸化珪素系膜、又は窒化珪素系膜でもよい。

20

【0110】

酸化珪素系膜上に感光性ポリイミドと感光性アクリルをスピンコート法により順次積層して形成した。

【0111】

次に、感光性アクリル上にp層を形成した。p層の形成は、ボロン（B）を含むシラン（SiH₄）を用いてプラズマCVD法により行った。

【0112】

次に、p層上にi層を形成した。i層の形成は、シラン（SiH₄）を用いてプラズマCVD法により行った。

30

【0113】

次に、i層上にn層を形成した。n層の形成は、リン（P）を含むシラン（SiH₄）を用いてプラズマCVD法により行った。その後、レジストを形成した。

【0114】

次に、形成した積層構造に対して、三段階のドライエッチング工程（第1乃至第3のエッチング）を行った。

【0115】

第1のエッチングはCF₄とCl₂の混合ガスにより行った。ここでは、ガスの流量比を40：40（sccm）とし、チャンパー内の圧力を2.0Pa、温度を70℃にして、コイル型の電極に450WのRF（13.56MHz）電力を投入してプラズマを生成し、基板側に100WのRF（13.56MHz）電力を投入し、実質的に負のバイアスパワーを加えることで、自己バイアス電圧を生成してエッチングを行った。

40

【0116】

第2のエッチングはCF₄とO₂の混合ガスにより行った。ガスの流量比を45：55（sccm）とし、チャンパー内の圧力を2.5Pa、温度を70℃にして、コイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成し、基板側に200WのRF（13.56MHz）電力を投入し、実質的に負のバイアスパワーを加えることで、自己バイアス電圧を生成してエッチングを行った。

【0117】

第3のエッチングはCHF₃とHeの混合ガスにより行った。ガスの流量比を7.5：

50

142.5 (sccm)とし、チャンバー内の圧力を5.5Pa、温度を70℃にして、コイル型の電極に475WのRF(13.56MHz)電力を投入してプラズマを生成し、基板側に300WのRF(13.56MHz)電力を投入し、実質的に負のバイアスパワーを加えることで、自己バイアス電圧を生成してエッチングを行った。

【0118】

以上の工程により、半導体層端部の側面が、テーパ角の異なる2つの面を有し、p層の端部の側面とn層の端部の側面が同一平面上に存在しない形状のpin層が得られた。後処理として、アッシングを行った後に所定の薬液を用いてレジストを剥離して除去した。ここで、所定の薬液には、使用したレジストに適する薬液を用いればよい。

【0119】

図20(A)は以上のようにして形成した積層構造の断面についてのSEM像を、図20(B)は第3のエッチングを行わなかった場合の積層構造の断面についてのSEM像を示す。図21は本発明の積層構造の断面TEM像を示し、図20(A)に対応する。なお、SEM像については、レジストを除去する前に観察を行った。図20(A)中にはp層2000、i層2001、及びn層2002が示され、図20(B)中にはp層2003、i層2004、及びn層2005が示されている。

【0120】

まず、図20(A)と図20(B)を比較する。図20(B)では第3のエッチングを行っていないため、p層2003の端部の側面を含むテーパ角を有する面は、n層2005の端部の側面を含むテーパ角を有する面と同一面上に存在する。しかし、本発明を適用して第3のエッチングまで行った図20(A)ではp層2000の端部の側面を含むテーパ角を有する面は、n層2002の端部の側面を含むテーパ角を有する面とは異なる面上に存在する。

【0121】

図21はレジストを除去した後の積層構造の断面についてのTEM像を示す。感光性アクリル2100上にp層2101が設けられ、p層2101上にi層2102が設けられ、i層2102上にn層2103が設けられている。p層2101、i層2102、及びn層2103が積層された半導体層の端部の側面はテーパ角の異なる2つの面を有する。

【0122】

本発明を適用することで半導体層端部の側面がテーパ角の異なる2つの面を有し、且つp層の端部の側面とn層の端部の側面が同一平面上に存在しない積層構造を得ることができる。光電変換素子を図20(A)及び図21に示す構造にすることで、リーク電流が低減された、信頼性の高いpin型光電変換素子を作製することができる。

【0123】

なお、本実施例は、実施の形態1乃至3、及び他の実施例と自由に組み合わせることができる。

【実施例2】

【0124】

本発明の光電変換素子では、作製工程中のエッチングにより、下地に凹凸を形成することができる。下地に凹凸を形成することで、上に形成される樹脂膜等の密着性を向上させることができる。

【0125】

本実施例にて用いた試料は基板上に酸化珪素膜が形成され、酸化珪素膜上に感光性ポリイミドが形成され、感光性ポリイミド上に感光性アクリルが形成され、感光性アクリル上にp型半導体層、i型半導体層、及びn型半導体層が順次積層されて形成されている。半導体層にはすべてアモルファスシリコンを用いた。

【0126】

基板にはガラスを用いた。まず、ガラス基板上に酸化珪素膜をCVD法により膜厚が約200nmとなるように形成した。なお、酸化珪素膜以外の酸化珪素系膜、又は窒化珪素系膜でもよい。

10

20

30

40

50

【0127】

次に、酸化珪素系膜上に感光性ポリイミドと感光性アクリルをスピンコート法より順次積層して形成した。

【0128】

次に、感光性アクリル上にp層を形成した。p層の形成は、ボロン(B)を含むシラン(SiH_4)を用いてプラズマCVD法により行った。

【0129】

次に、p層上にi層を形成した。形成は、シラン(SiH_4)を用いてプラズマCVD法により行った。

【0130】

次に、i層上にn層を形成した。n層の形成は、リン(P)を含むシラン(SiH_4)を用いてプラズマCVD法により行った。その後、レジストを形成した。

【0131】

次に、形成した積層構造に対して、三段階のドライエッチング工程(第1乃至第3のエッチング)を行った。

【0132】

第1のエッチングは CF_4 と Cl_2 の混合ガスにより行った。ここでは、ガスの流量比を40:40(sccm)とし、チャンパー内の圧力を2.0Pa、温度を70℃にしてコイル型の電極に450WのRF(13.56MHz)電力を投入してプラズマを生成し、基板側に100WのRF(13.56MHz)電力を投入し、実質的に負のバイアスパワーを加えることで、自己バイアス電圧を生成してエッチングを行った。

【0133】

第2のエッチングは CF_4 と O_2 の混合ガスにより行った。ガスの流量比を45:55(sccm)とし、チャンパー内の圧力を2.5Pa、温度を70℃にして、コイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成し、基板側に200WのRF(13.56MHz)電力を投入し、実質的に負のバイアスパワーを加えることで、自己バイアス電圧を生成してオーバーエッチングを含むエッチングを行った。なお、第2のエッチングはオーバーエッチングを含むように調整する。

【0134】

第3のエッチングは CHF_3 とHeの混合ガスにより行った。ガスの流量比を7.5:142.5(sccm)とし、チャンパー内の圧力を5.5Pa、温度を70℃にして、コイル型の電極に475WのRF(13.56MHz)電力を投入してプラズマを生成し、基板側に300WのRF(13.56MHz)電力を投入し、実質的に負のバイアスパワーを加えることで、自己バイアス電圧を生成してエッチングを行った。

【0135】

以上の工程により、半導体層端部の側面がテーパ角の異なる2つの面を有し、且つp層の端部の側面とn層の端部の側面が同一平面上に存在しない形状のpin層が得られた。これをSEMにより観察した。図22は本発明の積層構造の断面についてのSEM像を示す。図22(A)及び図22(B)は基板の端近傍にて取得したSEM像であり、図22(C)及び図22(D)は基板の中央部にて取得したSEM像である。図22(B)中には下地層2200A、半導体層2201A、及びレジスト2202Aが示されている。図22(D)中には下地層2200B、半導体層2201B、及びレジスト2202Bが示されている。下地層2200A及び下地層2200Bは、それぞれ凹凸形状の領域2203A又は領域2203Bを有する。図22より明らかなように、基板の端近傍及び基板の中央部のどちらにおいても、下地層には凹凸が形成されている。

【0136】

本発明を適用することで下地層に凹凸が形成される。そのため、後の工程で形成される樹脂膜等の密着性が向上する。密着性が向上することで、信頼性の高いpin型光電変換素子を歩留まりよく作製することができる。

【0137】

10

20

30

40

50

なお、本実施例は、実施の形態 1 乃至 3、及び他の実施例と自由に組み合わせることができる。

【実施例 3】

【0138】

本実施例では、本発明の光電変換装置を様々な電子機器に応用した例について図 14 乃至図 18 を参照して説明する。本発明の光電変換装置を搭載した電子機器としては、コンピュータ、ディスプレイ、携帯電話機、又はテレビ等が挙げられる。

【0139】

図 14 は携帯電話機であり、該携帯電話機は、本体 (A) 701、本体 (B) 702、筐体 703、操作キー 704、音声出力部 705、音声入力部 706、回路基板 707、表示パネル (A) 708、表示パネル (B) 709、蝶番 710、透光性材料部 711 を有し、光電変換装置を含む半導体装置 712 が筐体 703 の内側に設けられている。

10

【0140】

半導体装置 712 は透光性材料部 711 を透過した光を検知し、検知した外部光の照度に合わせて表示パネル (A) 708 及び表示パネル (B) 709 の輝度の制御、及び半導体装置 712 で得られる照度に合わせて操作キー 704 の照明の制御等を行う。外部光の照度に合わせて表示パネルの輝度を調整することで、携帯電話機の消費電力を低減することができ、携帯電話機の特性を向上させることができる。

【0141】

図 15 (A) 及び図 15 (B) に、携帯電話機の別の例を示す。図 15 (A) 及び図 15 (B) に示す携帯電話機の本体 721 は、筐体 722、表示パネル 723、操作キー 724、音声出力部 725、音声入力部 726、光電変換装置を含む半導体装置 727 を有する。更に、図 15 (B) に示す携帯電話機は光電変換装置を含む半導体装置 728 を有する。

20

【0142】

図 15 (A) に示す携帯電話機では、本体 721 に設けられた光電変換装置を含む半導体装置 727 により外部の光を検知し、表示パネル 723 及び操作キー 724 の輝度を制御することが可能である。

【0143】

図 15 (B) に示す携帯電話機では、図 9 (A) の構成に加えて、本体 721 の内部に光電変換装置を有する半導体装置 728 が設けられている。光電変換装置を有する半導体装置 728 により、表示パネル 723 に設けられているバックライトの輝度を検出することも可能となる。

30

【0144】

図 14 及び図 15 では、携帯電話機に光電流を増幅して電圧出力として取り出す回路を備えた光電変換装置が用いられているので、回路基板に実装する部品点数を削減することができ、携帯電話機本体の小型化を図ることができる。

【0145】

図 16 (A) はコンピュータであり、該コンピュータは、本体 731、筐体 732、表示部 733、キーボード 734、外部接続ポート 735、及びポインティングデバイス 736 等を有する。

40

【0146】

図 16 (B) は表示装置であり、テレビ受像器等がこれに相当する。本表示装置は、筐体 741、支持台 742、表示部 743 等を有する。

【0147】

図 16 (A) のコンピュータに設けられる表示部 733、及び図 16 (B) に示す表示装置の表示部 743 として、液晶パネルを用いた場合の詳しい構成を図 17 に示す。

【0148】

図 17 に示す液晶パネル 762 は、筐体 761 に内蔵されている。液晶パネル 762 は、基板 751 a、基板 751 b、基板 751 a と基板 751 b に挟まれた液晶層 752、

50

偏光板 755 a、偏光板 755 b、及びバックライト 753 等を有する。また、筐体 761 には光電変換装置を有する半導体装置 754 が搭載されている。

【0149】

本発明を用いて作製された光電変換装置を有する半導体装置 754 は RGB の LED からなるバックライト 753 からの光量を RGB それぞれに対して検知して、その情報がフィードバックされて液晶パネル 762 の輝度が調節される。具体的には、RGB それぞれの LED の温度依存性が異なるので、RGB の LED バックライトの光量をそれぞれ検知して、LED のばらつきの補正を行う。また、LED の劣化の補正を行うことにより、ホワイトバランスを調節する。

【0150】

図 18 (A) 及び図 18 (B) は、本発明の光電変換装置又は光電変換装置を有する半導体装置をカメラ (例えばデジタルカメラ) に組み込んだ例を示す。図 18 (A) は、デジタルカメラの前面方向から見た斜視図であり、図 18 (B) は、後面方向から見た斜視図である。図 18 (A) 及び (B) に示すデジタルカメラは、リリースボタン 801、メインスイッチ 802、ファインダ窓 803、フラッシュ 804、レンズ 805、鏡胴 806、筐体 807、ファインダ接眼窓 811、モニター 812、及び操作ボタン 813 を有する。リリースボタン 801 は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。メインスイッチ 802 は、押下又は回転によりデジタルカメラの電源のオンとオフを切り替える。

【0151】

ファインダ窓 803 は、デジタルカメラの前面のレンズ 805 の上部に配置されており、図 18 (B) に示すファインダ接眼窓 811 から撮影する範囲やピントの位置を確認するための装置である。フラッシュ 804 は、デジタルカメラの前面上部に配置され、被写体輝度が低いときに、リリースボタンが押下されてシャッターが開くと同時に補助光を照射する。レンズ 805 は、デジタルカメラの正面に配置されている。レンズは、フォーカシングレンズ、又はズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、CCD (Charge Coupled Device) 等の撮像素子が設けられている。

【0152】

鏡胴 806 は、フォーカシングレンズ又はズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ 805 を手前に移動させる。また、携帯時には、レンズ 805 を沈胴させてコンパクトな形態にする。なお、本実施例においては、鏡胴を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、筐体 807 内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラに本発明の光電変換装置を搭載していてもよい。

【0153】

ファインダ接眼窓 811 は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。操作ボタン 813 は、デジタルカメラの後面に設けられた各種の機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、及び選択ボタン等を有する。

【0154】

図 14 乃至図 18 に示す装置に搭載する光電変換装置に本発明を適用することで、信頼性の高い電子機器を作製することができる。更には、本発明はこれに限定されず、光を検出する必要のあるものであれば、いかなるものにも用いることが可能である。

【0155】

なお、本実施例は、実施の形態 1 乃至 3、及び他の実施例と自由に組み合わせることができる。

【符号の説明】

【0156】

10

20

30

40

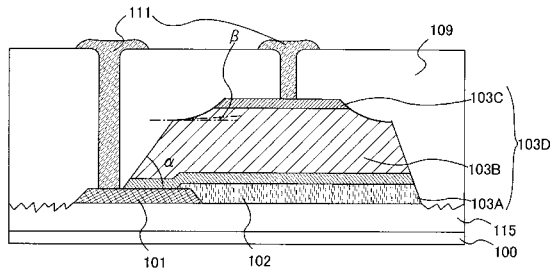
50

1 0 0	基板	
1 0 1	第 1 の導電層	
1 0 2	保護層	
1 0 4	レジスト	
1 0 5	領域	
1 0 6	酸化珪素層	
1 0 7	絶縁層	
1 0 8	第 2 の導電層	
1 0 9	絶縁層	
1 1 1	第 3 の導電層	10
1 1 2	第 1 の導電層	
1 1 5	下地層	
1 1 6	領域	
1 1 7	第 2 の導電層	
2 0 0	基板	
2 0 3	層間絶縁層	
2 0 4	カラーフィルター層	
2 0 8	遮光層	
2 0 9	絶縁層	
2 1 0	導電層	20
2 1 1	樹脂	
2 1 2	接点電極	
7 0 1	本体 (A)	
7 0 2	本体 (B)	
7 0 3	筐体	
7 0 4	操作キー	
7 0 5	音声出力部	
7 0 6	音声入力部	
7 0 7	回路基板	
7 0 8	表示パネル (A)	30
7 0 9	表示パネル (B)	
7 1 0	蝶番	
7 1 1	透光性材料部	
7 1 2	半導体装置	
7 2 1	本体	
7 2 2	筐体	
7 2 3	表示パネル	
7 2 4	操作キー	
7 2 5	音声出力部	
7 2 6	音声入力部	40
7 2 7	半導体装置	
7 2 8	半導体装置	
7 3 1	本体	
7 3 2	筐体	
7 3 3	表示部	
7 3 4	キーボード	
7 3 5	外部接続ポート	
7 3 6	ポインティングデバイス	
7 4 1	筐体	
7 4 2	支持台	50

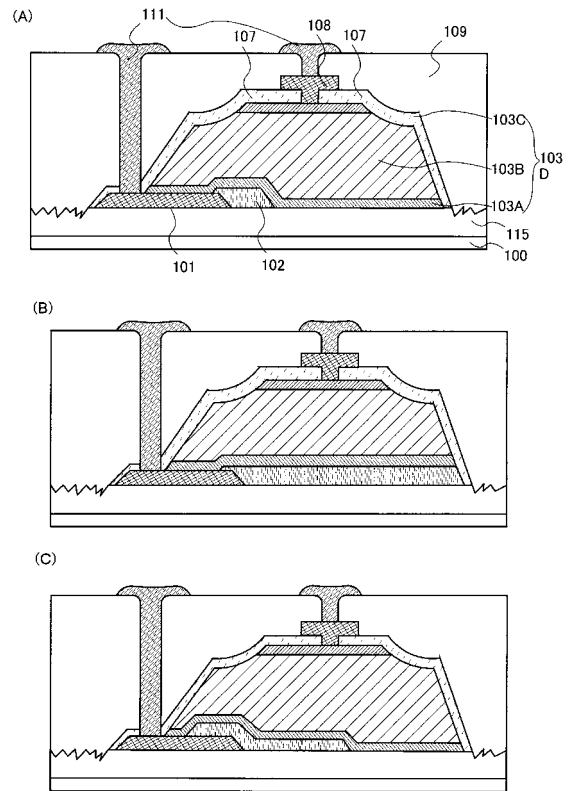
7 4 3	表示部	
7 5 2	液晶層	
7 5 3	バックライト	
7 5 4	半導体装置	
7 6 1	筐体	
7 6 2	液晶パネル	
8 0 1	リリースボタン	
8 0 2	メインスイッチ	
8 0 3	ファインダ窓	
8 0 4	フラッシュ	10
8 0 5	レンズ	
8 0 6	鏡胴	
8 0 7	筐体	
8 1 1	ファインダ接眼窓	
8 1 2	モニタ	
8 1 3	操作ボタン	
1 0 3 A	半導体層	
1 0 3 B	半導体層	
1 0 3 C	半導体層	
1 0 3 D	半導体層	20
1 1 0 A	開口部	
1 1 0 B	開口部	
1 1 4 A	領域	
1 1 4 C	領域	
1 1 4 D	領域	
1 8 1 A	半導体装置	
1 8 2 A	電流増幅回路	
1 8 3 A	光電変換素子	
1 8 4 A	n型TFT	
1 8 5 A	n型TFT	30
1 8 6 A	出力端子	
1 8 7 A	外部電源端子	
1 8 1 B	半導体装置	
1 8 2 B	電流増幅回路	
1 8 3 B	光電変換素子	
1 8 4 B	p型TFT	
1 8 5 B	p型TFT	
1 8 6 B	出力端子	
1 8 7 B	外部電源端子	
2 0 0 0	p層	40
2 0 0 1	i層	
2 0 0 2	n層	
2 0 0 3	p層	
2 0 0 4	i層	
2 0 0 5	n層	
2 0 1 1	絶縁層	
2 0 1 2	半導体層	
2 0 1 3	不純物領域	
2 0 1 4	チャネル形成領域	
2 0 1 5	絶縁層	50

2 0 1 6	導電層	
2 0 1 7	絶縁層	
2 0 1 8	絶縁層	
2 0 1 9	導電層	
2 0 1 A	T F T	
2 0 1 B	T F T	
2 0 2 A	光電変換素子部	
2 0 2 B	光電変換素子部	
2 0 4 A	カラーフィルター層	
2 0 4 B	カラーフィルター層	10
2 0 5 A	第1の導電層	
2 0 5 B	第1の導電層	
2 0 5 C	遮光層	
2 0 5 D	遮光層	
2 0 6 A	オーバーコート層	
2 0 6 B	オーバーコート層	
2 0 7 A	遮光層	
2 0 7 B	遮光層	
2 0 7 C	遮光層	
2 0 7 D	遮光層	20
2 0 8 A	遮光層	
2 0 8 B	遮光層	
2 0 8 C	遮光層	
2 0 8 D	遮光層	
2 0 8 E	遮光層	
2 1 0 0	感光性アクリル	
2 1 0 1	p層	
2 1 0 2	i層	
2 1 0 3	n層	
7 5 1 a	基板	30
7 5 1 b	基板	
7 5 5 a	偏光板	
7 5 5 b	偏光板	
2 2 0 0 A	下地層	
2 2 0 0 B	下地層	
2 2 0 1 A	半導体層	
2 2 0 1 B	半導体層	
2 2 0 2 A	レジスト	
2 2 0 2 B	レジスト	
2 2 0 3 A	領域	40
2 2 0 3 B	領域	

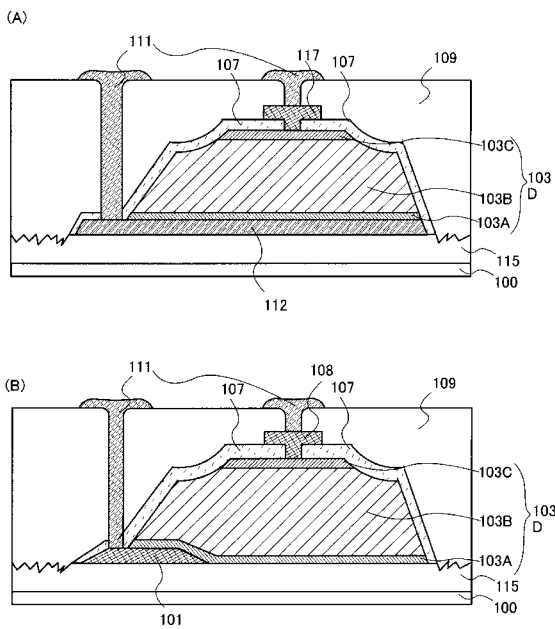
【図 1】



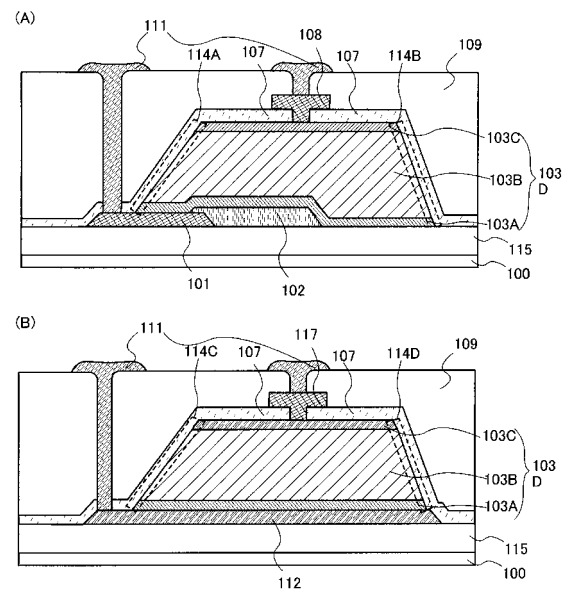
【図 2】



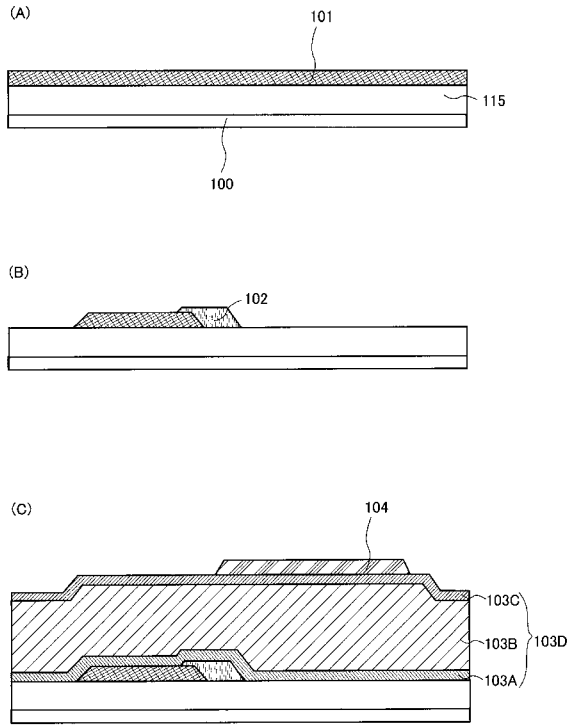
【図 3】



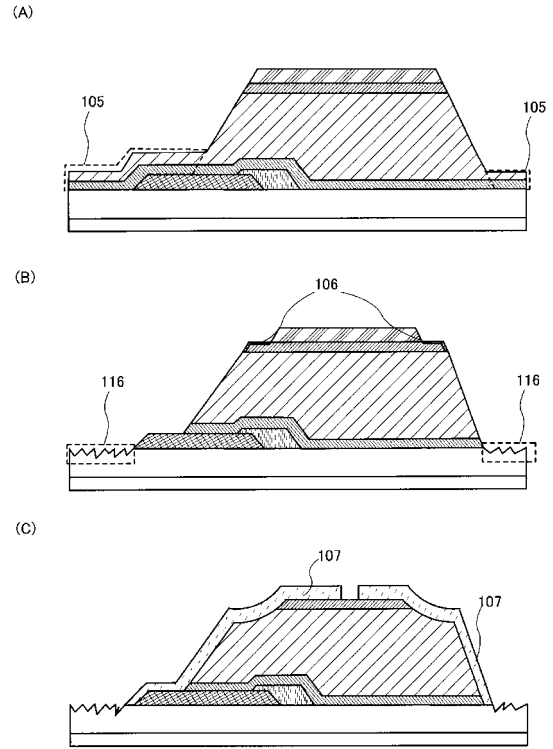
【図 4】



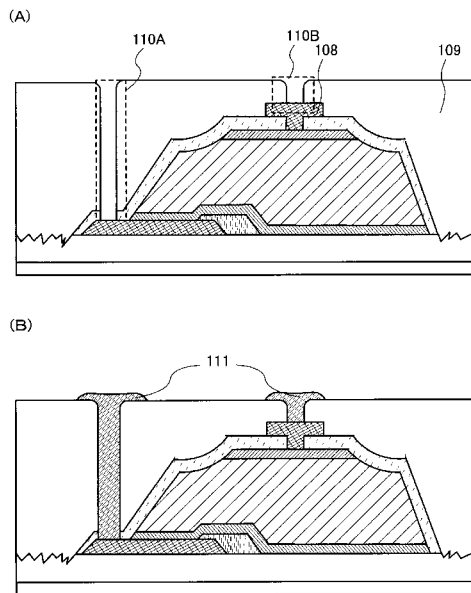
【図5】



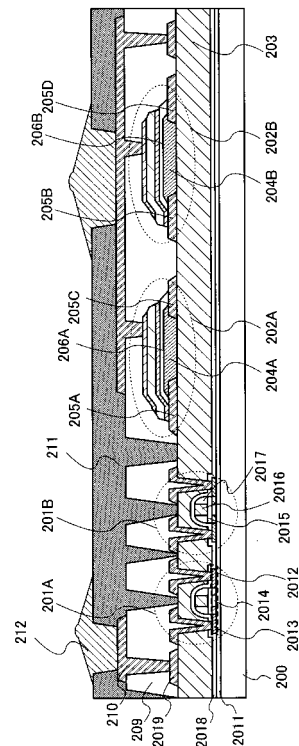
【図6】



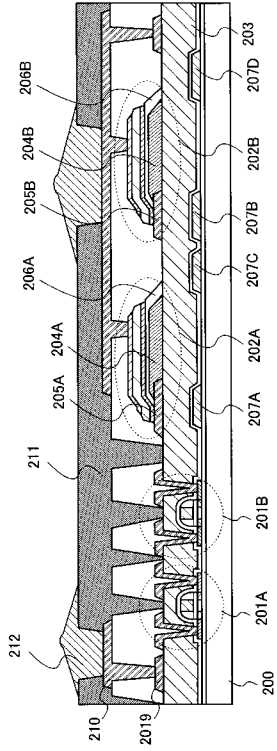
【図7】



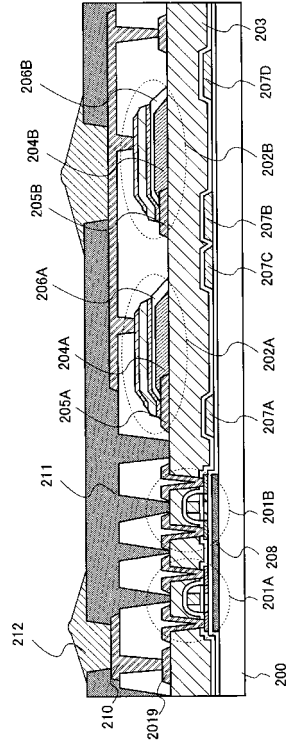
【図8】



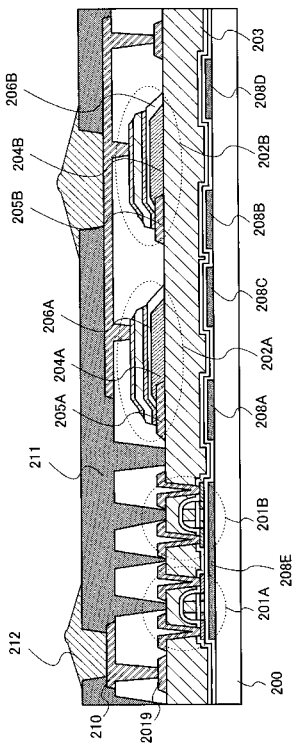
【 図 9 】



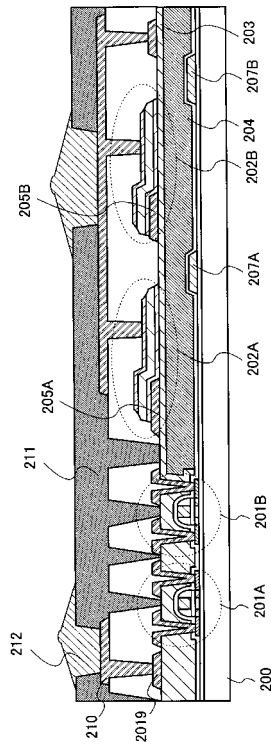
【 図 10 】



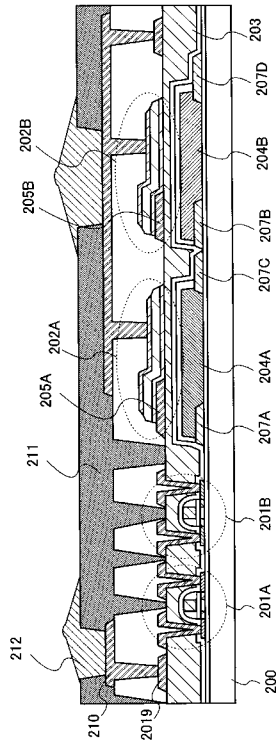
【 図 11 】



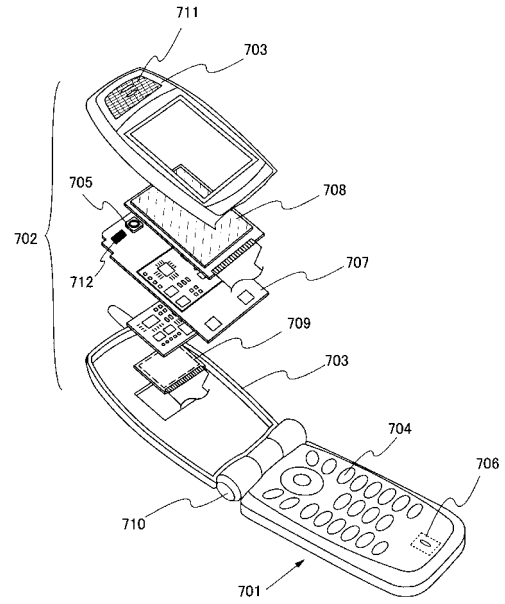
【 図 12 】



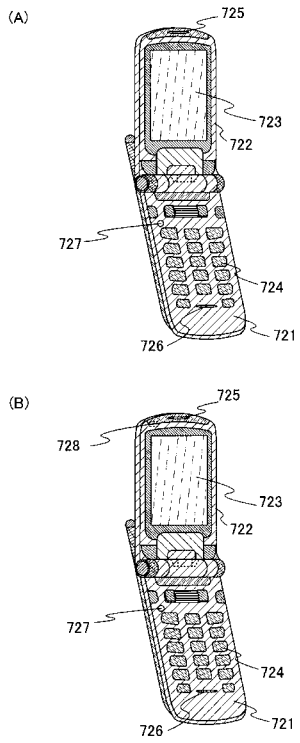
【 図 1 3 】



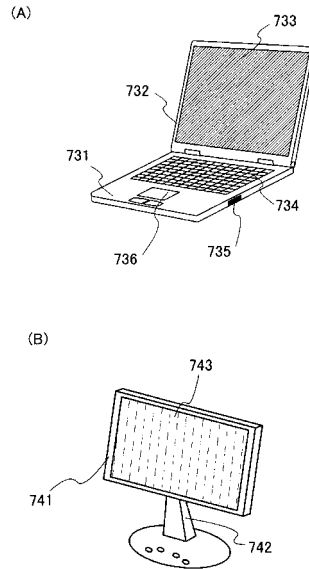
【 図 1 4 】



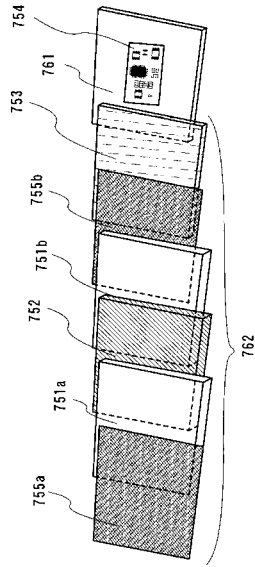
【 図 1 5 】



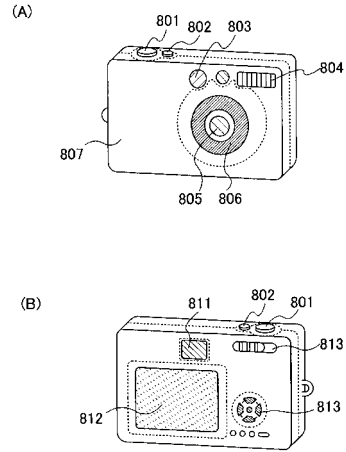
【 図 1 6 】



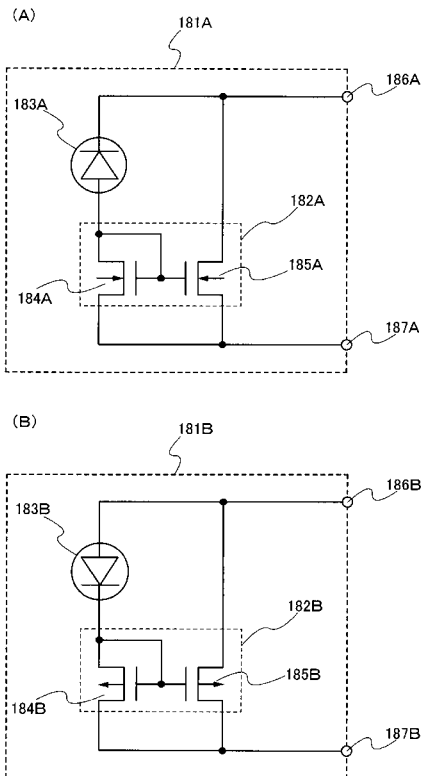
【図 17】



【図 18】

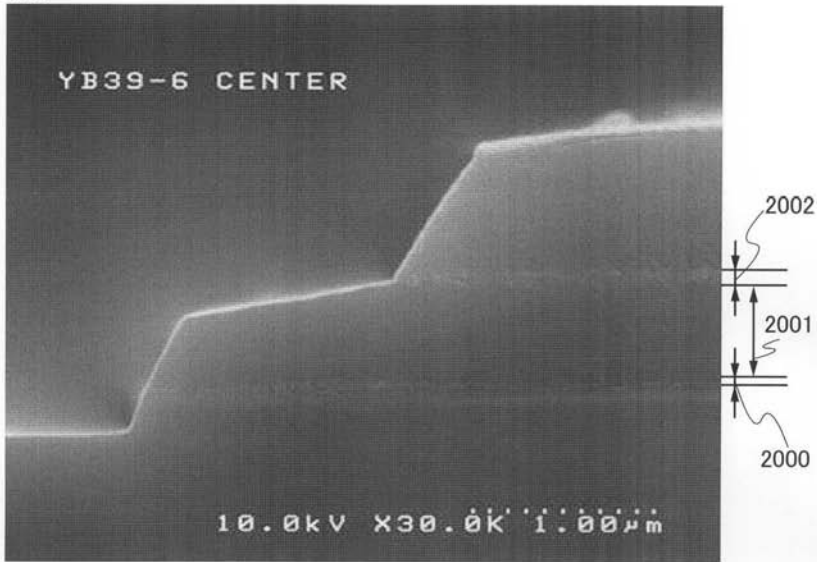


【図 19】

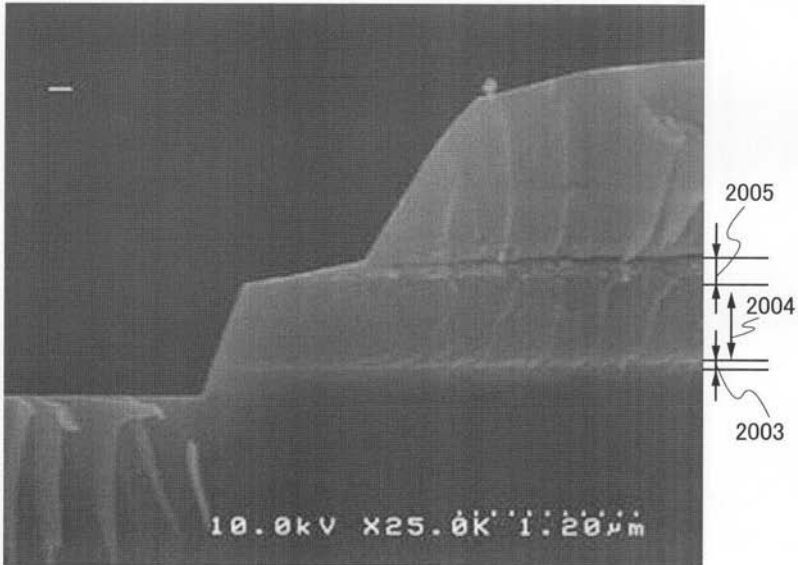


【 図 2 0 】

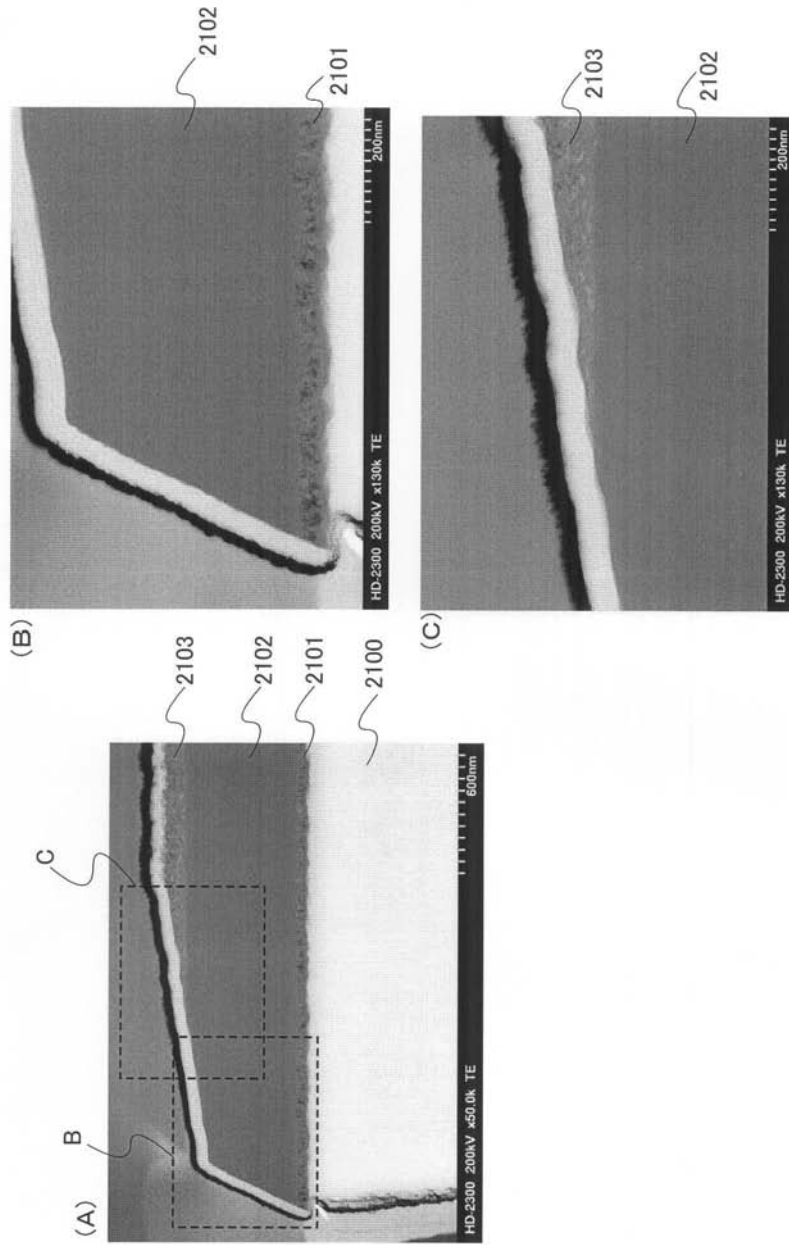
(A)



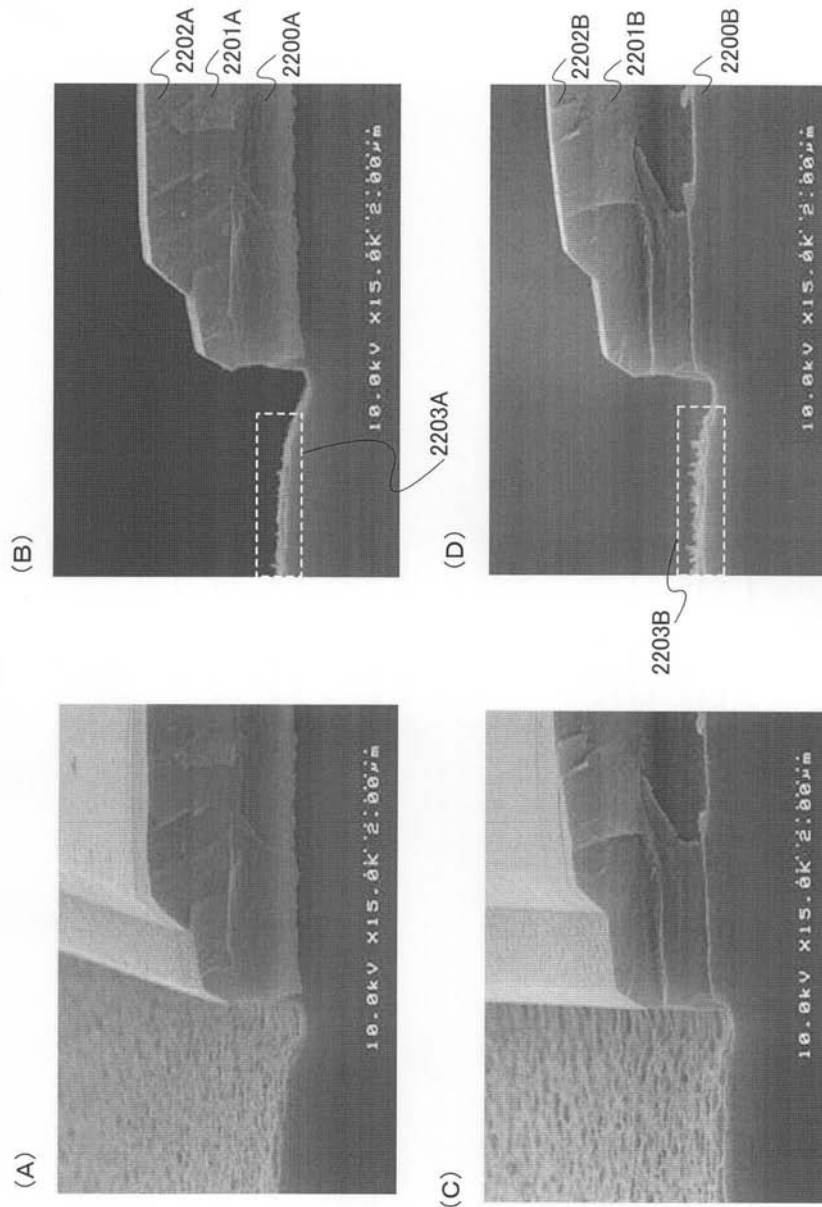
(B)



【 図 2 1 】



【図 2 2】



【手続補正書】

【提出日】平成22年4月5日(2010.4.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一 導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

【請求項 2】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

【請求項 3】

第 1 の導電層と、前記第 1 の導電層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

【請求項 4】

一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する光電変換素子を複数有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

【請求項 5】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有する光電変換素子を複数有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

【請求項 6】

第 1 の導電層と、前記第 1 の導電層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、前記第 3 の半導体層上の第 2 の導電層と、を有する光電変換素子を複数有し、

前記第 2 の半導体層の下部は、第 1 のテーパ角を有する面を有し、

前記第 2 の半導体層の上部は、第 2 のテーパ角を有する面を有し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きく、

前記第 2 のテーパ角を有する面は、前記第 2 の半導体層の上部が除去されることにより形成されたものであることを特徴とする半導体装置。

【請求項 7】

請求項 2 又は請求項 5 において、

前記絶縁層は、カラーフィルタ層と前記カラーフィルタ層上のオーバーコート層とが積層された構造を有することを特徴とする半導体装置。

【請求項 8】

一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 1 乃至第 3 の半導体層をエッチングして前記第 1 乃至第 3 の半導体層の側面に第 1 のテーパ角を有する面を形成し、

前記第 3 の半導体層の端部及び前記第 2 の半導体層の端部をエッチングすることにより前記第 1 のテーパ角を有する面の上部を除去して第 2 のテーパ角を有する面を形成し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きいことを特徴とする半導体装置の作製方法。

【請求項 9】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 1 乃至第 3 の半導体層をエッチングして前記第 1 乃至第 3 の半導体層の側面に第 1 のテーパ角を有する面を形成し、

前記第 3 の半導体層の端部及び前記第 2 の半導体層の端部をエッチングすることにより前記第 1 のテーパ角を有する面の上部を除去して第 2 のテーパ角を有する面を形成し、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きいことを特徴とする半導体装置の作製方法。

【請求項 10】

一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 3 の半導体層上にレジストを形成し、

前記レジストをマスクとして第 1 のエッチングを行うことによって、前記第 3 の半導体層と前記第 2 の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第 2 のエッチングを行うことによって、前記第 2 の半導体層の一部と前記第 3 の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第 3 の半導体層の表面を酸化し、

第 3 のエッチングを行うことによって、第 3 の半導体層及び前記第 2 の半導体層の一部を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項 11】

第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 3 の半導体層上にレジストを形成し、

前記レジストをマスクとして第 1 のエッチングを行うことによって、前記第 3 の半導体層と前記第 2 の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第 2 のエッチングを行うことによって、前記第 2 の半導体層の一部と前記第 3 の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第 3 の半導体層の表面を酸化し、

第 3 のエッチングを行うことによって、第 3 の半導体層及び前記第 2 の半導体層の一部

を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項 1 2】

請求項 1 0 又は請求項 1 1 において、

前記第 1 及び第 2 のエッチングにより第 1 のテーパ角を有する面が形成され、

前記第 3 のエッチングにより第 2 のテーパ角を有する面が形成され、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きいことを特徴とする半導体装置の作製方法。

【請求項 1 3】

下地層と、下地層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 3 の半導体層上にレジストを形成し、

前記レジストをマスクとして第 1 のエッチングを行うことによって、前記第 3 の半導体層と前記第 2 の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第 2 のエッチングを行うことによって、前記第 2 の半導体層の一部と前記第 3 の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第 3 の半導体層の表面を酸化し、

第 3 のエッチングを行うことによって、第 3 の半導体層及び前記第 2 の半導体層の一部を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項 1 4】

下地層と、前記下地層上の第 1 の導電層と、前記第 1 の導電層の端部を覆う絶縁層と、前記第 1 の導電層上及び前記絶縁層上の一導電型の第 1 の不純物元素を有する第 1 の半導体層と、第 1 の半導体層上の第 2 の半導体層と、第 2 の半導体層上の第 1 の不純物元素と逆の導電型の第 2 の不純物元素を有する第 3 の半導体層と、を有する構造を形成し、

前記第 3 の半導体層上にレジストを形成し、

前記レジストをマスクとして第 1 のエッチングを行うことによって、前記第 3 の半導体層と前記第 2 の半導体層の一部を除去し、

前記レジストをマスクとして酸素を含むガスを用いた第 2 のエッチングを行うことによって、前記第 2 の半導体層の一部と前記第 3 の半導体層とを除去し、前記レジストを後退させ、前記レジストが後退することによって露出した第 3 の半導体層の表面を酸化し、

第 3 のエッチングを行うことによって、第 3 の半導体層及び前記第 2 の半導体層の一部を除去し、

前記レジストを除去することを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 1 3 又は請求項 1 4 において、

前記第 1 及び第 2 のエッチングにより第 1 のテーパ角を有する面が形成され、

前記第 3 のエッチングにより第 2 のテーパ角を有する面が形成され、

前記第 2 のテーパ角は前記第 1 のテーパ角よりも大きいことを特徴とする半導体装置の作製方法。

【請求項 1 6】

請求項 1 3 乃至請求項 1 5 のいずれか一項において、

前記第 2 のエッチングにおいてオーバーエッチングを施し、前記下地層の表面に凹凸を形成することを特徴とする半導体装置の作製方法。

【請求項 1 7】

請求項 9 乃至請求項 1 6 のいずれか一項において、

前記レジストを除去した後に前記第 1 乃至第 3 の半導体層を覆い開口部を有する保護層を形成し、

前記保護層上に前記開口部において前記第 3 の半導体層と接続する第 2 の導電層を形成

することを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 17 において、

前記第 2 の導電層を形成した後に前記第 2 の導電層を覆う有機樹脂膜を形成することを特徴とする半導体装置の作製方法。

フロントページの続き

Fターム(参考) 5F049 MA04 MB05 NA05 NB10 PA05 PA14 QA02 SE04 SE05 SS01
SZ10 SZ20 WA03