

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-130866

(P2017-130866A)

(43) 公開日 平成29年7月27日(2017.7.27)

(51) Int.Cl.

H03K 19/0175 (2006.01)

F I

H03K 19/00 101F

テーマコード(参考)

5J056

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2016-10374 (P2016-10374)
 (22) 出願日 平成28年1月22日(2016.1.22)

(71) 出願人 390009667
 セイコーN P C株式会社
 東京都中央区八丁堀一丁目9番9号
 (74) 代理人 100077986
 弁理士 千葉 太一
 (72) 発明者 佐藤 正敏
 栃木県那須塩原市下田野531-1 セイ
 コーN P C株式会社内
 Fターム(参考) 5J056 AA04 BB24 BB26 DD13 DD29
 DD51 EE08 GG09 KK01

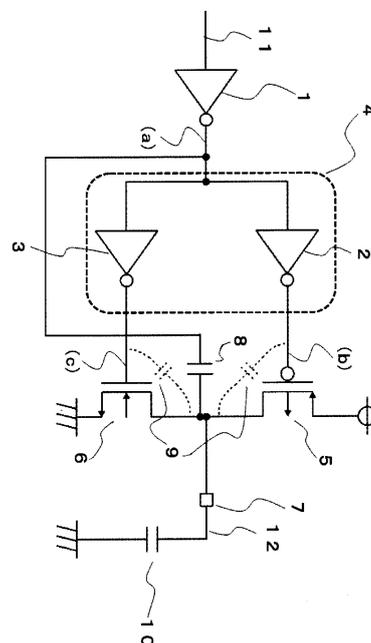
(54) 【発明の名称】 CMOS出力バッファ回路

(57) 【要約】

【課題】貫通電流を減少させるとともに、最終出力における波形歪みを抑制して、ノイズを低減した、CMOS出力バッファ回路を提供する。

【課題の解決手段】入力信号が入力し、位相差を有する出力信号を出力する、互いの入力端同士を接続してなる二つのCMOSインバータ2, 3からなる貫通電流防止回路4と、位相差を有する出力信号が各別に入力する各最終段用のPMOS 5及びNMOS 6を備え、PMOS 5とNMOS 6のドレイン同士を接続するとともに出力端子7に接続し、PMOS 5のソースを第1電源に、NMOS 6のソースを第2電源にそれぞれ接続し、貫通電流防止回路4の入力端とPMOS 5とNMOS 6のドレイン同士の接続点とを容量8を介して接続し、CMOSインバータ2, 3を介するよりも先に容量8を介した入力信号でPMOS 5とNMOS 6を駆動し、最終出力信号の波形歪みを抑制する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

入力信号が入力すると位相差を有する二つの出力信号を出力する貫通電流防止回路と、前記貫通電流防止回路の各出力信号が各別に入力する各最終段用のPMOSトランジスタ及びNMOSトランジスタを備え、前記PMOSトランジスタと前記NMOSトランジスタのドレイン同士を接続するとともに出力端子に接続し、前記PMOSトランジスタのソースを第1電源に接続し、前記NMOSトランジスタのソースを第2電源に接続し、前記貫通電流防止回路の入力端と前記PMOSトランジスタと前記NMOSトランジスタのドレイン同士の接続点とを容量を介して接続してなることを特徴とするCMOS出力バッファ回路。

10

【請求項 2】

前記貫通電流防止回路は、入力信号がそれぞれ入力する二つのCMOSインバータからなり、これらCMOSインバータは位相差を有する出力信号を出力すべくするとともに、互いの入力端同士を接続してなり、前記最終段用のPMOSトランジスタは、そのゲートを前記各CMOSインバータの一方の出力端に接続し、前記最終段用のNMOSトランジスタは、そのゲートを前記各CMOSインバータの他方の出力端に接続してなることを特徴とする請求項1記載のCMOS出力バッファ回路。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、CMOS出力バッファ回路に関し、特に、発生するノイズを減少させたCMOS出力バッファ回路に関する。

【背景技術】

【0002】

従来この種CMOS出力バッファ回路としては、CMOS出力バッファの最終段用PMOSトランジスタと最終段用NMOSトランジスタの各前段に、CMOSインバータをそれぞれ設け、これら各CMOSインバータを構成するPMOSトランジスタの利得定数比とNMOSトランジスタの利得定数比を変えることによって、前記最終段用PMOSトランジスタのゲートと前記最終段用NMOSトランジスタのゲートに入力する電圧の立ち上がりまたは立ち下りを遅くするよう構成して、CMOS出力バッファ回路の貫通電流を小さくすることにより、消費電流の低減と、ノイズ発生の低減を図ったものが知られている（特許文献1）。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平7-202677号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

40

図3は上述の先行技術とほぼ同一の構成を有する従来CMOSバッファ回路を示すもので、最終段用のPMOSトランジスタ（以下「PMOS」という。）101のソースをVDD電源（3V電源）に接続し、最終段用のNMOSトランジスタ（以下「NMOS」という。）102のソースをVSS電源（接地）に接続する一方、互いのドレインを接続したうえ、出力端子103に接続している。PMOS101のゲートは、第2CMOSインバータ104の出力端に接続する一方、NMOS102のゲートは、第3CMOSインバータ105の出力端に接続し、各CMOSインバータ104、105の入力端は第1CMOSインバータ107の出力端に接続している。第2CMOSインバータ104と第3CMOSインバータ105で貫通電流防止回路106を構成する。なお、図中の108は外部機器等の接続による外部負荷容量、109は最終段用のPMOS101及びNMOS10

50

2のゲート・ドレイン間の寄生容量の一種であるオーバーラップ容量である。

【0005】

そして、第2CMOSインバータ104を構成するPMOSとNMOSの各ゲートのチャンネル幅Wとチャンネル長Lの比であるW/Lは、PMOSの方がNMOSよりも大きく設定されている。また、第3CMOSインバータ105を構成するPMOSとNMOSの各ゲートのチャンネル幅Wとチャンネル長Lの比であるW/Lは、NMOSの方がPMOSよりも大きく設定されている。そして、第2CMOSインバータ104と第3CMOSインバータ105の駆動能力は、各トランジスタのW/Lの大小によって、第2CMOSインバータ104の方が大きく設定されている。

【0006】

図4(1)は第1CMOSインバータ107に入力する100MHz、3V振幅の正弦波である入力信号110の波形図であり、同図(2)は出力端子103から出力された出力信号111の波形図である。出力信号111は、駆動能力の異なる各CMOSインバータ104、105とPMOS101及びNMOS102によって入力信号110よりも遅延されたほぼ矩形波となっている。ところが、この矩形波には、図4(2)で理解できるように、その立ち上がり時及び立ち下がり時において、電源電圧(VDD)以上(立ち下がり時)及び電源電圧(VSS)以下(立ち上がり時)の波形歪み(破線で囲んだ部分)が存在する。

【0007】

この波形歪みは、駆動能力の異なるCMOSインバータ104、105からなる貫通電流防止回路の位相差を有する出力信号が、最終段用のPMOS101とNMOS102に入力することに起因して、最終段用のPMOS101及びNMOS102のゲート・ドレイン間のオーバーラップ容量109と外部負荷容量108の充放電によって発生するものである。そして、この最終出力信号に存在する波形歪みは、高調波成分として、スイッチングノイズの増大や、出力波形に生じるリング起因の誤作動を生じさせ、外部回路に悪影響を与えるという不都合がある。また、ノイズにともなう高調波成分の増大は、EMI(Electro Magnetic Interference: 電磁妨害)対策において、不利な波形を生成する要因ともなる。このように、従来においては、ノイズの低減が不十分であり、これに起因する不都合を解消することはできなかった。

【0008】

本発明は、この不都合を解消して、貫通電流を減少させるとともに、最終出力における波形歪みを抑制して、ノイズを低減した、CMOS出力バッファ回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

前記目的を達成するために本発明の請求項1に係るCMOS出力バッファ回路は、入力信号が入力すると位相差を有する二つの出力信号を出力する貫通電流防止回路と、前記貫通電流防止回路の各出力信号が各別に入力する各最終段用のPMOS及びNMOSを備え、前記PMOSと前記NMOSのドレイン同士を接続するとともに出力端子に接続し、前記PMOSのソースを第1電源に接続し、前記NMOSのソースを第2電源に接続し、前記貫通電流防止回路の入力端と前記PMOSと前記NMOSのドレイン同士の接続点とを容量を介して接続してなるものである。

【0010】

この構成によると、貫通電流防止回路を介してそれぞれPMOS、NMOSのゲートに入力する位相差を有する各信号よりも先に、容量を介して前記PMOS、NMOSのドレインに入力する信号によって、前記PMOS、NMOSの立ち上がり動作、立ち下がり動作がなされる。これにより、前記貫通電流防止回路の位相のずれた出力信号に起因する前記PMOS、NMOSのゲート・ドレイン間のオーバーラップ容量と外部負荷容量の充放電によって発生する波形歪みを抑制した最終出力信号が出力される。

【0011】

前記目的を達成するために本発明の請求項 2 に係る CMOS 出力バッファ回路は、請求項 1 の構成において、前記貫通電流防止回路は、入力信号がそれぞれ入力する二つの CMOS インバータからなり、これら CMOS インバータは位相差を有する出力信号を出力すべくするとともに、互いの入力端同士を接続してなり、前記最終段用の PMOS は、そのゲートを前記各 CMOS インバータの一方の出力端に接続し、前記最終段用の NMOS は、そのゲートを前記各 CMOS インバータの他方の出力端に接続してなるものである。

【 0 0 1 2 】

この構成によると、貫通電流防止回路の各 CMOS インバータを介してそれぞれ PMOS、NMOS のゲートに入力する位相差を有する各信号よりも先に、容量を介して前記 PMOS、NMOS のドレインに入力する信号によって、前記 PMOS、NMOS の立ち上がり動作、立ち下がり動作がなされる。これにより、前記貫通電流防止回路の位相のずれた出力信号に起因する前記 PMOS、NMOS のゲート・ドレイン間のオーバーラップ容量と外部負荷容量の充放電によって発生する波形歪みを抑制した最終出力信号が出力される。

10

【 発明の効果 】

【 0 0 1 3 】

本発明の出力バッファ回路によれば、貫通電流を防止できるとともに、最終出力信号における波形歪みを抑制してノイズを減少することができるという効果を奏する。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】本発明の一実施形態を示す回路図。

【 図 2 】同じく二つの CMOS インバータへの入力信号と各出力信号及び従来技術と比較した出力端子からの出力信号の波形図。

【 図 3 】従来技術を示す回路図。

【 図 4 】同じく第 1 CMOS インバータへの入力信号と出力端子からの出力信号の波形図。

20

【 発明を実施するための形態 】

【 0 0 1 5 】

以下、本発明の一実施形態を添付図面に基づいて説明する。図 1 に示すように、CMOS 出力バッファ回路は、入力信号 1 1 が第 1 CMOS インバータ 1 を介してそれぞれ入力する入力端同士を接続した二つの CMOS インバータである第 2 CMOS インバータ 2 及び第 3 CMOS インバータ 3 からなる貫通電流防止回路 4 と、第 2 CMOS インバータ 2 の出力端にゲートが接続された最終段用の PMOS 5 と、第 3 CMOS インバータ 3 の出力端にゲートが接続された最終段用の NMOS 6 とを備えている。そして、PMOS 5 と NMOS 6 のドレイン同士を接続するとともに出力端子 7 に接続し、PMOS 5 のソースを 3 V の第 1 電源 (VDD) に接続し、NMOS 6 のソースを 0 V の第 2 電源 (VSS) に接続している。出力端子 7 から出力信号 1 2 が出力される。

30

【 0 0 1 6 】

また、PMOS 5 と NMOS 6 のドレイン同士の接続点と、第 2 CMOS インバータ 2 と第 3 CMOS インバータ 3 の入力端同士の接続点とを、容量 8 を介して接続している。なお、図中、9 は PMOS 5、NMOS 6 の各ゲート・ドレイン間のオーバーラップ容量、10 は外部負荷容量である。

40

【 0 0 1 7 】

第 2 CMOS インバータ 2 を構成する図示していない PMOS と NMOS の各 W/L は、PMOS のほうが大きく設定されている。また、第 3 CMOS インバータ 3 を構成する同じく図示していない PMOS と NMOS の各 W/L は NMOS のほうが大きく設定されている。そして、第 2 CMOS インバータ 2 と第 3 CMOS インバータ 3 の駆動能力は、各トランジスタの W/L の大小によって、第 2 CMOS インバータ 2 のほうが大きく設定されている。これによって、第 2 CMOS インバータ 2 と第 3 CMOS インバータ 3 の出力信号には位相差が生じる。このため、PMOS 5 と NMOS 6 がともにオンになることが

50

回避できる。

【0018】

また、第2 CMOSインバータ2の出力信号が入力するPMOS5では、「L」(オン)から「H」(オフ)への移行動作は速く、「H」(オフ)から「L」(オン)への移行動作は遅くなる。一方、第3 CMOSインバータ3の出力信号が入力するNMOS6では、「L」(オフ)から「H」(オン)への移行動作は遅く、「H」(オン)から「L」(オフ)への移行動作は速くなる。

【0019】

続いて、本実施形態の動作を説明する。入力信号11は、100MHz、3V振幅の正弦波(図4(1)参照)であり、この入力信号11は、第1 CMOSインバータ1で反転されて、図2(1)に示す電圧波形で貫通電流防止回路4に入力する。そして、第2 CMOSインバータ2と第3 CMOSインバータ3の各出力は、図2(2)に示すように、各 CMOSインバータ2,3の駆動能力の相違によって、立ち上がり時間及び立ち下がり時間が異なった、位相差を有する電圧波形(b),(c)で貫通電流防止回路4から反転出力される。各 CMOSインバータ2,3の各出力の立ち上がり時間及び立ち下がり時間の相違により、PMOS5とNMOS6がともにオンになる期間がないため、貫通電流が防止される。

【0020】

図2に示す時間T1では、PMOS5はオン、NMOS6はオフとなる。そして、時間T2では、PMOS5はオフとなり、NMOS6はオフを維持するので、図2(3)に示すように、出力信号12は、第1 CMOSインバータの出力電圧が容量8を介して降下することにより、緩やかに電圧が降下する。時間T3では、PMOS5はオフを維持し、NMOS6はオンとなる。そして、時間T4では、PMOS5は依然としてオフを維持し、NMOS6はオフとなる。このため、時間T4では、図2(3)に示すように、出力信号12は、第1 CMOSインバータの出力電圧が容量8を介して上昇することにより、緩やかに電圧が上昇する。さらに、時間T5では、時間T1と同様に、PMOS5はオンとなり、NMOS6はオフを維持する。

【0021】

このように、第1 CMOSインバータの出力信号は、容量8を介した出力信号の方が、各 CMOSインバータ2,3を介した位相差を有する出力信号よりも先に、最終の出力信号12の立ち下がり及び立ち上がりの動作に関与することにより、出力信号12の立ち下がり及び立ち上がりには生じる各 CMOSインバータ2,3の出力信号に起因する波形歪みを抑制することができる。

【0022】

図2(3)で理解できるように、破線で示す従来技術の出力信号111は、立ち上がりにおいて、VSS(0V)以下のオーバーシュートに類似した波形歪みが存在し、立ち下がりにおいて、VDD(3V)以上のオーバーシュートに類似した波形歪みが存在するが、実線で示す本実施形態の出力信号12では、各波形歪みが減少し、高調波成分が減少している。

【0023】

なお、本発明は上述した実施形態に限定されるものではなく、例えば、貫通電流防止回路4は、二つの CMOSインバータ2,3を用いたものに限らず、CMOSトランスマッションゲートを用いたものでもよい。また、各 CMOSインバータ2,3は、トランジスタサイズ(ゲート面積)の大小によって、互いの駆動能力が異なるよう構成してもよい。さらに、第1 CMOSインバータ1は、貫通電流防止回路4の構成によっては設ける必要がない。

【符号の説明】

【0024】

- 1 第1 CMOSインバータ
- 2 第2 CMOSインバータ

10

20

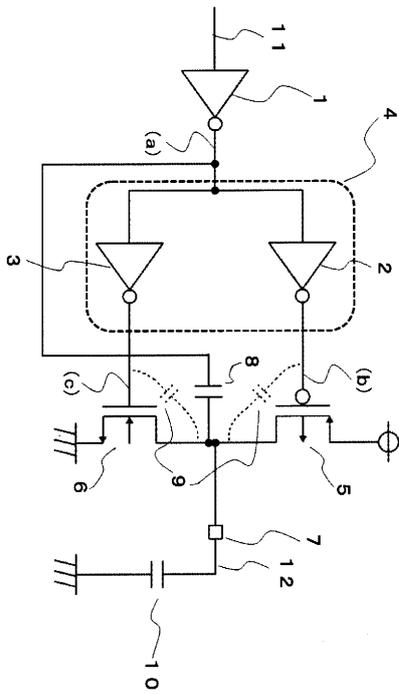
30

40

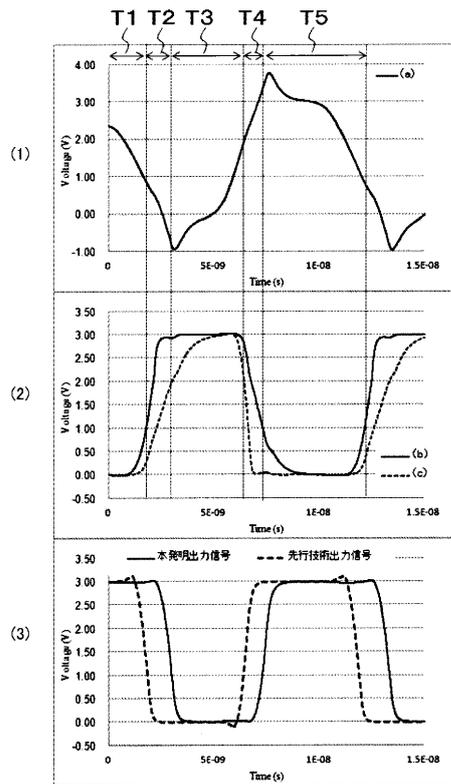
50

- 3 第3CMOSインバータ
- 4 貫通電流防止回路
- 5 最終段用のPMOS
- 6 最終段用のNMOS
- 7 出力端子
- 8 容量
- 9 オーバーラップ容量
- 10 外部負荷容量
- 11 入力信号
- 12 出力信号

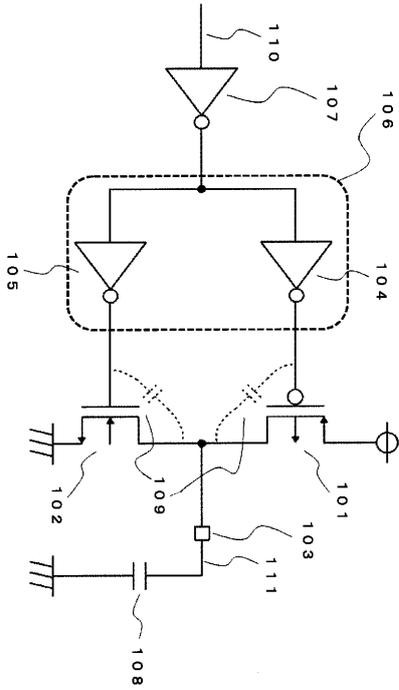
【図1】



【図2】



【 図 3 】



【 図 4 】

