

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191964

(P2017-191964A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl.	F I	テーマコード(参考)
H03M 1/10 (2006.01)	H03M 1/10 A	5J022
H03M 1/36 (2006.01)	H03M 1/36	
H03M 1/14 (2006.01)	H03M 1/14 A	

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願2016-78798 (P2016-78798)
 (22) 出願日 平成28年4月11日(2016.4.11)

(71) 出願人 000003193
 凸版印刷株式会社
 東京都台東区台東1丁目5番1号
 (72) 発明者 河内 周平
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 (72) 発明者 瀬戸 健二
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
 Fターム(参考) 5J022 AA06 AA14 BA01 BA07 CB02
 CD03 CD04 CF01 CF07

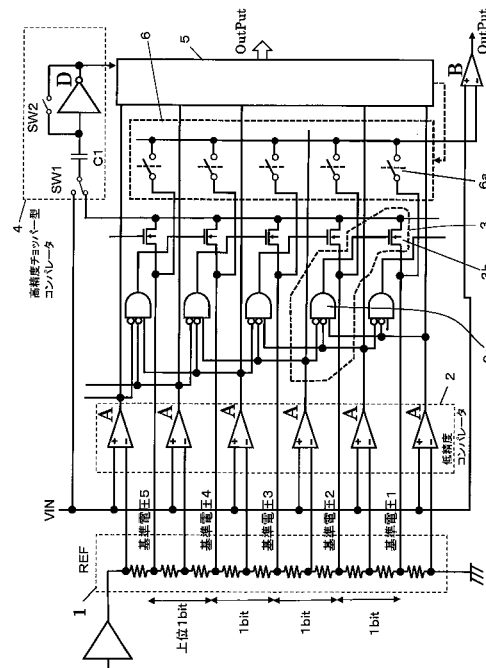
(54) 【発明の名称】 AD変換回路

(57) 【要約】

【課題】本発明は、従来のオフセットを有し応答速度の遅いコンパレータを用い、そのため消費電流を抑えることができる、精度の向上したAD変換回路を提供する。

【解決手段】入力電圧を上位ビット用基準電圧と比較した結果に基づき仮上位ビット電圧信号を作成する仮上位ビット電圧選択回路と、前記入力電圧と前記仮上位ビット電圧信号を比較する高精度コンパレータ回路を有し、前記高精度コンパレータ回路の出力に基づき上位ビットデジタルデータを補正して作成する上位ビットデジタルデータ補正エンコード回路を有し、前記上位ビットデジタルデータに係わる下位ビット用基準電圧を選択する下位ビット用基準電圧選択スイッチ群を有し、前記入力電圧を前記下位ビット用基準電圧と比較して下位ビットデジタルデータを作成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力電圧を上位ビット用基準電圧と比較した結果に基づき仮上位ビット電圧信号を作成する仮上位ビット電圧選択回路と、前記入力電圧と前記仮上位ビット電圧信号を比較する高精度コンパレータ回路を有し、
前記高精度コンパレータ回路の出力に基づき上位ビットデジタルデータを補正して作成する上位ビットデジタルデータ補正エンコード回路を有し、
前記上位ビットデジタルデータに係わる下位ビット用基準電圧を選択する下位ビット用基準電圧選択スイッチ群を有し、
前記入力電圧を前記下位ビット用基準電圧と比較して下位ビットデジタルデータを作成する下位ビットデジタルデータ作成回路を有することを特徴とする A D 変換回路。

10

【請求項 2】

請求項 1 記載の A D 変換回路であって、前記入力電圧の入力端子と前記上位ビット用基準電圧の入力端子にバッファ回路を備えた上位ビット用低精度コンパレータ群回路を用いて前記入力電圧を前記上位ビット用基準電圧と比較することを特徴とする A D 変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ信号をデジタル信号に変換して出力する A D 変換回路に関する。

【背景技術】

20

【0002】

近年、デジタル電気製品では、例えば画像処理の高精細化が進んでおり、A D 変換回路の高解像化、高ビット化、高速化が求められている。また、例えばセンサのアナログフロントエンドで使用される A D 変換回路などでは、さらに低消費電力が求められている。このような高解像化、高ビット化、高速化の要求に対し、従来の A D 変換回路では対応が出来難くなっている。

【0003】

図 4 は従来の並列型 A D 変換回路の一例である。抵抗 R を直列接続したラダー抵抗 101 と、ラダー抵抗 101 より出力される基準電圧と入力電圧 V_{IN} とを比較して高低電圧を出力するコンパレータ群回路 102 と、コンパレータ群回路 102 の出力からデジタル量に変換して出力するエンコード回路 103 と、から形成されている。ラダー抵抗 101 にはオペアンプより出力されるリファレンス電圧 R_{EF} が印加され、各抵抗間から、基準電圧が出力される。入力電圧は、変換の対象であるアナログ信号である。

30

【0004】

入力電圧に対し、それより低い基準電圧が接続されているコンパレータは、全て高電圧が出力される。それ以上の基準電圧が接続されているコンパレータは低電圧が出力される。このようなコンパレータの出力に対し、エンコード回路 103 で符号化され、デジタル信号が出力される。並列型 A D 変換回路は入力電圧 V_{IN} に対し、クロックで同時に各ビットが出力されるので、高速 A D 変換に有利である。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献 1】特開 2011 - 193340 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、このような A D 変換回路の精度を向上させるには、特許文献 1 のように、コンパレータの精度を良くしなければならない。また、応答速度やオフセットにより誤判定が起きてしまうことも阻害要因である。そしてオフセットを抑えるため、また応答速度を速めるためにコンパレータの面積を広くすると全体の面積が増加し、さらに電流が増加し消

50

費電力が増えてしまうという問題が起こる。nビット符号の信号では、 $2n - 1$ 個のコンパレータが必要とされる。

【0007】

本発明は、従来のオフセットを有し、応答速度の遅いコンパレータを用いることで、消費電流を抑えることができ、かつ精度の向上したAD変換回路を提供することを課題とする。

【課題を解決するための手段】

【0008】

本発明は上記の課題を解決するために、入力電圧を上位ビット用基準電圧と比較した結果に基づき仮上位ビット電圧信号を作成する仮上位ビット電圧選択回路と、前記入力電圧と前記仮上位ビット電圧信号を比較する高精度コンパレータ回路を有し、前記高精度コンパレータ回路の出力に基づき上位ビットデジタルデータを補正して作成する上位ビットデジタルデータ補正エンコード回路を有し、前記上位ビットデジタルデータに係わる下位ビット用基準電圧を選択する下位ビット用基準電圧選択スイッチ群を有し、前記入力電圧を前記下位ビット用基準電圧と比較して下位ビットデジタルデータを作成する下位ビットデジタルデータ作成回路を有することを特徴とするAD変換回路である。

10

【0009】

本発明は、これにより、従来の仕様のサイズ、従来のオフセットを有する上位ビット用低精度コンパレータを用い、従ってコンパレータの面積が削減でき、応答速度が遅くても良く、そのため消費電流を抑えることができる、精度の向上したAD変換回路とすることができる効果がある。

20

【0010】

また、本発明は、上記のAD変換回路であって、前記入力電圧の入力端子と前記上位ビット用基準電圧の入力端子にバッファ回路を備えた上位ビット用低精度コンパレータ群回路を用いて前記入力電圧を前記上位ビット用基準電圧と比較することを特徴とするAD変換回路である。

【発明の効果】

【0011】

本発明のAD変換回路は、以上のような構成であるので、使用すべき高精度のコンパレータは、上位ビット用の1つのみで済む。また、ラダーに接続される低精度コンパレータは高精度を必要としないため、面積が小さく応答速度が遅い低精度コンパレータを用いることができる。

30

【0012】

すなわち、本発明によれば、精度が高く応答速度が速いAD変換回路でありながら、従来の仕様のサイズ、従来のオフセットを有するコンパレータを用いることができ、コンパレータの消費電力を抑え、製造コストも低減できるAD変換回路が得られる効果がある。

【図面の簡単な説明】

【0013】

【図1】本発明の第1の実施形態の高精度上位ビットデジタルデータ作成回路を備えたAD変換回路をあらわす回路図である。

40

【図2】本発明の第2の実施形態の高精度上位ビットデジタルデータ作成回路を備えたAD変換回路をあらわす回路図である。

【図3】本発明の第3の実施形態の高精度上位ビットデジタルデータ作成回路を備えたAD変換回路をあらわす回路図である。

【図4】従来の並列型AD変換回路を示す回路図である。

【発明を実施するための形態】

【0014】

< 第1の実施形態 >

50

以下本発明の第1の実施形態について図1を参照して説明する。図1は、本発明のAD変換回路の第1の実施形態における高精度上位ビットデジタルデータ作成回路と、1ビットの下位ビットデジタルデータ作成回路との全体回路をあらわす回路図である。

【0015】

(1ビットの下位ビットデジタルデータ作成回路)

1ビットの下位ビットデジタルデータ作成回路は、下位ビット用基準電圧選択スイッチ群6と、下位ビット用コンパレータ回路Bから成る。

【0016】

(下位ビット用基準電圧選択スイッチ群6)

下位ビット用基準電圧選択スイッチ群6は、上位ビットデジタルデータ補正エンコード回路5の出力データで制御され、下位ビット用基準電圧選択スイッチ群6は、上位ビットデジタルデータ補正エンコード回路5の出力データに係わる下位ビット用基準電圧を選択し、その下位ビット用基準電圧の信号を下位ビット用コンパレータ回路Bの一方の入力端子に接続する。

10

【0017】

下位ビット用コンパレータ回路Bの他方の入力端子には入力電圧VINを接続して、入力電圧VINと与えられた下位ビット用の基準電圧とを比較する。

【0018】

(高精度上位ビットデジタルデータ作成回路)

高精度上位ビットデジタルデータ作成回路は、複数の抵抗素子を直列接続し複数の基準電圧を発生するラダー抵抗1と、上位ビット用低精度コンパレータAの群による上位ビット用低精度コンパレータ群回路2と、仮上位ビット電圧選択回路3と、高精度コンパレータ回路4と、上位ビットデジタルデータ補正エンコード回路5から成る。高精度コンパレータ回路4は、回路のオフセット電圧を小さくして精度の良い電圧比較をするオフセットキャンセル機能を有する

20

【0019】

(上位ビット用低精度コンパレータ群回路2)

図1のように、高精度上位ビットデジタルデータ作成回路は、ラダー抵抗1が発生した複数の基準電圧のうち上位ビット用基準電圧と入力電圧VINを比較する上位ビット用低精度コンパレータAの群から成る上位ビット用低精度コンパレータ群回路2を持つ。

30

【0020】

上位ビット用低精度コンパレータ群回路2の2値データの信号の出力端子は、仮上位ビット電圧選択回路3及び上位ビットデジタルデータ補正エンコード回路5の入力端子に接続する。

【0021】

(仮上位ビット電圧選択回路3)

1つの仮上位ビット電圧選択回路3毎に1つの3入力論理和回路3aを備え、その3入力論理和回路の各入力端子に、上位ビット用低精度コンパレータ群回路2において隣り合う3つの上位ビット用低精度コンパレータAの出力端子を接続する。

40

【0022】

詳しくは、仮上位ビット電圧選択回路3に接続する3つの上位ビット用低精度コンパレータAの内の最下位の上位ビット用低精度コンパレータAの出力端子を3入力論理和回路3aの1つの入力端子に接続する。そして、その上位ビット用低精度コンパレータAより上位の2つの上位ビット用低精度コンパレータAの出力信号をインバータで反転した出力信号端子を3入力論理和回路3aの残りの入力端子に接続する。

【0023】

3入力論理和回路3aはその3入力の論理和を取って出力端子から出力する。その出力端子は、その仮上位ビット電圧選択回路3毎の、仮上位ビット電圧信号出力スイッチ回路3bの制御端子に出力する。

【0024】

50

ここで、ある3入力論理和回路3 aの3つの入力端子へ接続する3つの上位ビット用低精度コンパレータAの出力信号が、下位の端子から順に(論理'1')、(論理'0')、(論理'0')である場合に、その3入力論理和回路3 aが、仮上位ビット電圧信号出力スイッチ回路3 bの制御端子を制御して、仮上位ビット電圧信号出力スイッチ回路3 bに仮上位ビット電圧信号を出力させる。

【0025】

仮上位ビット電圧信号出力スイッチ回路3 bは、3入力論理和回路3 aの入力端子に接続する3つの低精度コンパレータAの入力端子が接続する3つの基準電圧のうち、最下位の基準電圧の上の基準電圧を仮上位ビット電圧信号として出力し、その出力端子を高精度コンパレータ回路4の入力端子に接続する。

10

【0026】

(高精度コンパレータ回路4)

高精度コンパレータ回路4は、オフセットキャンセル機能を有する高精度チョッパ型コンパレータの回路に構成する。その高精度チョッパ型コンパレータにより、仮上位ビット電圧選択回路3から受け取った仮上位ビット電圧信号と入力電圧VINを比較し、比較結果の上位ビットデジタルデータの1ビット補正信号を上位ビットデジタルデータ補正エンコード回路5に出力する。

【0027】

(上位ビットデジタルデータ補正エンコード回路5)

上位ビットデジタルデータ補正エンコード回路5は、上位ビット用低精度コンパレータ群回路2の出力信号の2値データを作成する。詳しくは、高精度コンパレータ回路4(高精度チョッパ型コンパレータ)から受信した上位ビットデジタルデータの1ビット補正信号に基づき1ビット補正した正確な上位ビットデジタルデータを作成する。

20

【0028】

(高精度上位ビットデジタルデータ作成回路の動作)

以下で、高精度上位ビットデジタルデータ作成回路の動作を説明する。

【0029】

(仮上位ビット電圧選択回路3)

仮上位ビット電圧選択回路3の3入力論理和回路3 aの3つの入力端子に、上位ビット用低精度コンパレータ群回路2において隣り合う3つの上位ビット用低精度コンパレータAの出力端子を接続する。

30

【0030】

そして、仮上位ビット電圧選択回路3は、隣り合う3つの上位ビット用低精度コンパレータAのうち最下位の上位ビット用低精度コンパレータAの出力電圧が高電圧(論理'1')となっていて、その上に続く2つの上位ビット用低精度コンパレータAの出力が低電圧(論理'0')となっている場合に、仮上位ビット電圧信号出力スイッチ回路3 bに仮上位ビット電圧信号を出力させる。

【0031】

仮上位ビット電圧信号出力スイッチ回路3 bは、3入力論理和回路3 aの入力端子に接続する3つの低精度コンパレータAの入力端子が接続する3つの基準電圧のうち、最下位の基準電圧の上の基準電圧を仮上位ビット電圧信号として、高精度コンパレータ回路4の入力端子に出力する。

40

【0032】

(高精度コンパレータ回路4)

高精度コンパレータ回路4は、オフセットキャンセル機能を有する高精度チョッパ型コンパレータの回路で構成する。その高精度チョッパ型コンパレータにより、仮上位ビット電圧選択回路3から受け取った仮上位ビット電圧信号と入力電圧VINを比較し、上位ビットデジタルデータの1ビット補正信号を出力する。

【0033】

高精度チョッパ型コンパレータの回路構成の高精度コンパレータ回路4は、インバー

50

タDの入力側に、コンデンサC1を經由してスイッチSW1の出力端子を接続し、スイッチSW1の第1の入力端子は入力電圧VINに接続し、第2の入力端子は選択された仮上位ビット電圧信号に接続する。スイッチSW1により、コンデンサC1に、入力電圧VINと選択された仮上位ビット電圧信号を切り替えて接続する。またインバータDの入力を、スイッチSW2を經由してインバータDの出力端子に接続する。

【0034】

このような高精度チョッパ型コンパレータの回路構成により、高精度コンパレータ回路4は、まず、スイッチSW2を接続し、スイッチSW1を入力電圧VIN側に接続し、コンデンサC1を入力電圧VIN（高精度コンパレータの閾値電圧を減じる）で充電しておく。この場合に、インバータDの入力には、閾値電位と、コンデンサを介して入力電圧VINとが直列に印加され、オフセットキャンセルがなされる。

10

【0035】

次に、スイッチSW2を切り、スイッチSW1を仮上位ビット電圧信号側に切り替える。そうすると、インバータDの入力には、コンデンサC1に充電された入力電圧VINと、仮上位ビット電圧信号との差、 $V_{IN} - V_{IN}$ が印加される。

【0036】

高精度コンパレータ回路4（高精度チョッパ型コンパレータ）は、インバータDのオフセットが補償されて動作する。

【0037】

そして、 $V_{IN} > V_{IN}$ が正の場合は、インバータDの出力が低電圧（論理‘0’）になる。その出力信号を受け取った上位ビットデジタルデータ補正エンコード回路5が、上位ビット用低精度コンパレータ群回路2の出力信号の2値データから正規な上位ビットデジタルデータを作成して出力する。

20

【0038】

一方、 $V_{IN} < V_{IN}$ が負の場合は、インバータDの出力が高電圧（論理‘1’）になる。その出力信号を受け取った上位ビットデジタルデータ補正エンコード回路5は、上位ビット用低精度コンパレータ群回路2の出力信号の2値データを1ビット増したデータから正規な上位ビットデジタルデータを作成して出力する。

【0039】

このようにして、コンパレータ回路2の精度が低精度であっても、オフセットがキャンセルされた高精度コンパレータ回路4を用いることにより、正確にAD変換した上位ビットデジタルデータが得られる。

30

【0040】

この高精度上位ビットデジタルデータ作成回路では、特に、上位ビット用低精度コンパレータAが、時間的に遅延が存在するので、最大の誤差を含む。そのため、先ず、上位ビット用低精度コンパレータ群回路2が、複数の基準電圧から、誤差を含んだ仮上位ビット電圧信号を選択し、仮の決定をしておく。

【0041】

次に、その仮上位ビット電圧信号を高精度コンパレータ回路4（高精度チョッパ型コンパレータ）で入力電圧VINと比較し、最小ビットに対応する基準電圧を正確に決定し、その結果に基づき上位ビットデジタルデータ補正エンコード回路5が1ビット補正した正確な上位ビットデジタルデータを作成して出力する。これにより、コンパレータの持つ誤差を含まない出力データを得ることができる。

40

【0042】

（1ビットの下位ビットデジタルデータ作成回路）

以下で、1ビット下位ビットデジタルデータ作成回路の動作を説明する。

【0043】

（基準電圧選択スイッチ）

図1の回路図のように、下位ビット用基準電圧選択スイッチ群6が、上位ビットデジタルデータ補正エンコード回路5が作成した高精度上位ビットデジタルデータで制御さ

50

れて下位ビット用コンパレータ回路 B に接続する下位ビット用基準電圧を選択して出力する。その出力端子を下位ビット用コンパレータ回路 B の入力端子に接続する。

【0044】

詳しくは、下位ビット用基準電圧選択スイッチ群 6 が、上位ビットデジタルデータ補正エンコード回路 5 の出力する高精度上位ビットデジタルデータで制御されて下位ビット用基準電圧選択スイッチ 6 a を選択して回路を閉じることで、下位ビット用基準電圧を選択して下位ビット用コンパレータ回路 B の入力端子に接続する。

【0045】

(下位ビット用コンパレータ回路 B)

下位ビット用コンパレータ回路 B のもう 1 つの入力端子に入力電圧 V_{IN} を接続する。そして、下位ビット用コンパレータ回路 B の出力信号の 2 値データを、1 ビットの下位ビットデジタルデータ作成回路の下位ビットデジタルデータとして出力する。

10

【0046】

こうして、上位ビットデジタルデータ補正エンコード回路 5 が出力した正確な上位ビットデジタルデータと、下位ビット用コンパレータ回路 B が出力した下位ビットデジタルデータとを合わせて、正確に AD 変換したデジタルデータを得ることができる。

【0047】

本実施形態は以上のような構成、および作用を有するから、低速仕様の小さい面積を持ち、低精度用のオフセットを有する低精度コンパレータを主な素子に用いることができるので、高速 AD 変換回路の集積回路の面積を削減できる効果がある。また、用いるコンパレータの応答速度が遅くても良いため、AD 変換回路の消費電流を抑えることができる、高精度高速 AD 変換回路が得られる効果がある。

20

【0048】

< 第 2 の実施形態 >

以下本発明の第 2 の実施形態について図 2 を参照して説明する。第 2 の実施形態の AD 変換回路は、図 2 の様に 2 ビットの下位ビットデジタルデータ作成回路を有する。それ以外の回路は、第 1 の実施形態と同様に、ラダー抵抗 1 と高精度上位ビットデジタルデータ作成回路を有する。

【0049】

(高精度上位ビットデジタルデータ作成回路)

高精度上位ビットデジタルデータ作成回路は、第 1 の実施形態と同様に構成し、同様に動作させる。

30

【0050】

(下位ビットデジタルデータ作成回路)

第 2 の実施形態の 2 ビットの下位ビットデジタルデータ作成回路は、下位ビット用基準電圧選択スイッチ群 6 と、下位ビット用コンパレータ回路 B の群による下位ビット用コンパレータ群回路 2 b と下位ビット用エンコード回路 5 b から構成する。

【0051】

(下位ビット用基準電圧選択スイッチ群 6)

下位ビット用基準電圧選択スイッチ群 6 は、上位ビットデジタルデータ補正エンコード回路 5 の出力データで制御される。下位ビット用基準電圧選択スイッチ群 6 は、上位ビットデジタルデータ補正エンコード回路 5 の出力データに係わる複数の下位ビット用基準電圧を選択し、その複数の下位ビット用基準電圧の信号を下位ビット用コンパレータ群回路 2 b の各下位ビット用コンパレータ回路 B の入力端子に接続する。

40

【0052】

各下位ビット用コンパレータ回路 B の他の入力端子には入力電圧 V_{IN} を接続して、各下位ビット用コンパレータ回路 B に、入力電圧 V_{IN} と与えられた基準電圧とを比較させる。

【0053】

(下位ビットデジタルデータ作成回路の動作)

50

以下で、図 2 を参照して、第 2 の実施形態の下位ビットデジタルデータ作成回路の動作を説明する。

【 0 0 5 4 】

(下位ビット用基準電圧選択スイッチ群 6 の動作)

図 2 の回路図のように、下位ビット用基準電圧選択スイッチ群 6 が、上位ビットデジタルデータ補正エンコード回路 5 の出力信号により、すなわち、図 1 の高精度上位ビットデジタルデータ作成回路が作成した高精度上位ビットデジタルデータに制御される。そして、下位ビット用基準電圧選択スイッチ群 6 は、上位ビットデジタルデータ補正エンコード回路 5 の出力データに係わる複数の下位ビット用基準電圧を選択し、下位ビット用コンパレータ群回路 2 b の各下位ビット用コンパレータ回路 B に接続する。

10

【 0 0 5 5 】

詳しくは、下位ビット用基準電圧選択スイッチ群 6 が、上位ビットデジタルデータ補正エンコード回路 5 の出力する高精度上位ビットデジタルデータにより制御されて下位ビット用基準電圧選択スイッチ 6 a を選択して複数の下位ビット用基準電圧を選択し、下位ビット用コンパレータ群回路 2 b の各下位ビット用コンパレータ回路 B に接続する。

【 0 0 5 6 】

図 2 の様に、下位ビット用コンパレータ群回路 2 b の各下位ビット用コンパレータ回路 B の出力信号の 2 値データを下位ビット用エンコード回路 5 b に導く。下位ビット用エンコード回路 5 b は、各下位ビット用コンパレータ回路 B の出力信号を用いて、下位ビットである 2 ビットの下位ビットデジタルデータを作成する。

20

【 0 0 5 7 】

こうして、上位ビットデジタルデータ補正エンコード回路 5 が出力した正確な上位ビットデジタルデータと、下位ビット用エンコード回路 5 b が出力した 2 ビットの下位ビットデジタルデータとを合わせて、正確に A D 変換したデジタルデータを得ることができる。

【 0 0 5 8 】

< 第 3 の実施形態 >

以下本発明の第 3 の実施形態について図 3 を参照して説明する。本実施形態の A D 変換回路の構成は第 1 の実施形態と同様に、図 3 の様に、ラダー抵抗 1 と高精度上位ビットデジタルデータ作成回路と、下位ビットデジタルデータ作成回路で構成する。

30

【 0 0 5 9 】

(高精度上位ビットデジタルデータ作成回路)

第 3 の実施形態は、図 3 の様に、高精度上位ビットデジタルデータ作成回路の上位ビット用低精度コンパレータ群回路 2 の、ラダー抵抗 1 が発生した複数の基準電圧を入力する入力端子に、ソースフォロア回路等で構成するバッファ回路 7 を設置する。また、上位ビット用低精度コンパレータ群回路 2 の、入力電圧 V_{IN} を入力する入力端子に、ソースフォロア回路等で構成するバッファ回路 8 を設置する。

【 0 0 6 0 】

それ以外の回路は、第 1 の実施形態又は第 2 の実施形態と同様に、複数の、仮上位ビット電圧選択回路 3 と、1 つの高精度コンパレータ回路 4 と、上位ビットデジタルデータ補正エンコード回路 5、下位ビットデジタルデータ作成回路で構成する。

40

【 0 0 6 1 】

先の実施形態では、入力電圧 V_{IN} の信号線に、低精度コンパレータ回路 A の入力端子が複数接続されることにより入力容量が大きくなってしまいう問題があった。第 3 の実施形態は、バッファ回路 8 を用いることで、入力電圧 V_{IN} の信号線に接続する入力容量を小さくできる効果がある。

【 0 0 6 2 】

通常の回路では、低精度コンパレータ回路 A の入力端子にバッファ回路 7 とバッファ回路 8 を挿入するとバッファ回路のオフセットにより、低精度コンパレータ回路 A の変換誤差を生じる。しかし、本実施形態では、高精度コンパレータ回路 4 と、上位ビットディ

50

タルデータ補正エンコード回路 5 を用いることで、正確な上位ビットデジタルデータを得ることができるので、バッファ回路 7 とバッファ回路 8 によるオフセット誤差を 1 L S B 以下にすれば、変換誤差を生じさせずにバッファ回路を挿入することが可能である。

【 0 0 6 3 】

このため、通常では変換誤差を生じるために挿入することができないバッファ回路 7 とバッファ回路 8 を低精度コンパレータ回路 A の入力端子に設置することが可能になる効果がある。そして、そのバッファ回路 7 とバッファ回路 8 を挿入することにより、入力電圧 V I N の信号線に接続する入力容量と、ラダー抵抗 1 が発生した基準電圧の信号線に接続する入力容量を大きく減らすことができる効果がある。それにより、低精度コンパレータ回路 A の動作を高速化できる効果がある。

10

【符号の説明】

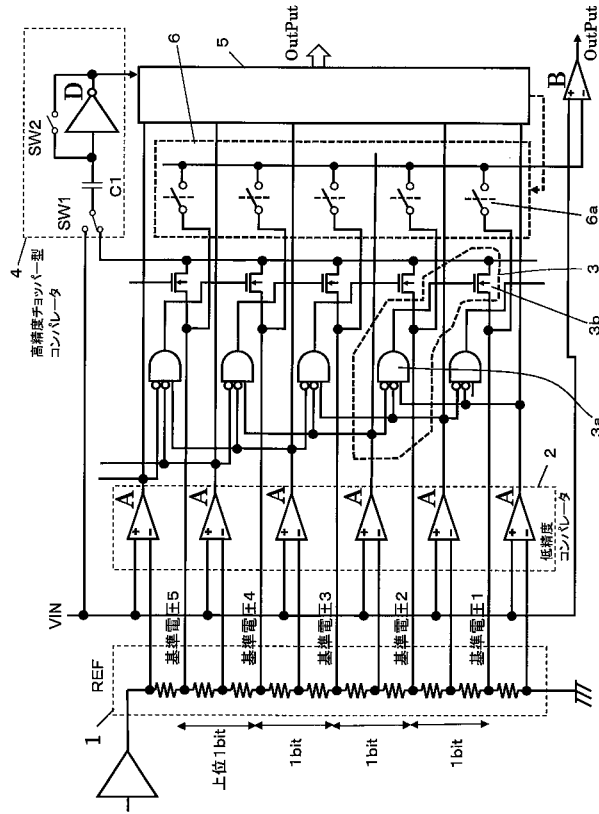
【 0 0 6 4 】

- 1、1 0 1・・・ラダー抵抗
- 2・・・上位ビット用低精度コンパレータ群回路
- 2 b・・・下位ビット用コンパレータ群回路
- 3・・・仮上位ビット電圧選択回路
- 3 a・・・3 入力論理和回路
- 3 b・・・仮上位ビット電圧信号出力スイッチ回路
- 4・・・高精度コンパレータ回路
- 5・・・上位ビットデジタルデータ補正エンコード回路
- 5 b・・・下位ビット用エンコード回路
- 6・・・下位ビット用基準電圧選択スイッチ群
- 6 a・・・下位ビット用基準電圧選択スイッチ
- 7、8・・・バッファ回路
- 1 0 2・・・コンパレータ群回路
- 1 0 3・・・エンコード回路
- A・・・(上位ビット用)低精度コンパレータ回路
- B・・・(下位ビット用)コンパレータ回路
- C 1・・・高精度コンパレータ回路用コンデンサ
- D・・・インバータ
- O u t P u t・・・デジタルデータ
- R E F・・・リファレンス電圧
- S W 1・・・高精度コンパレータ回路入力端子スイッチ
- S W 2・・・高精度コンパレータ回路のインバータ D の入出力短絡用スイッチ
- V I N・・・入力電圧

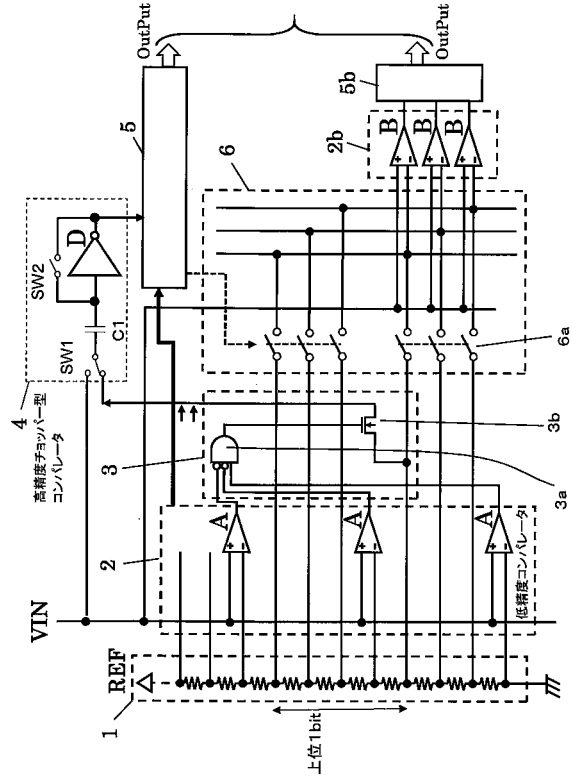
20

30

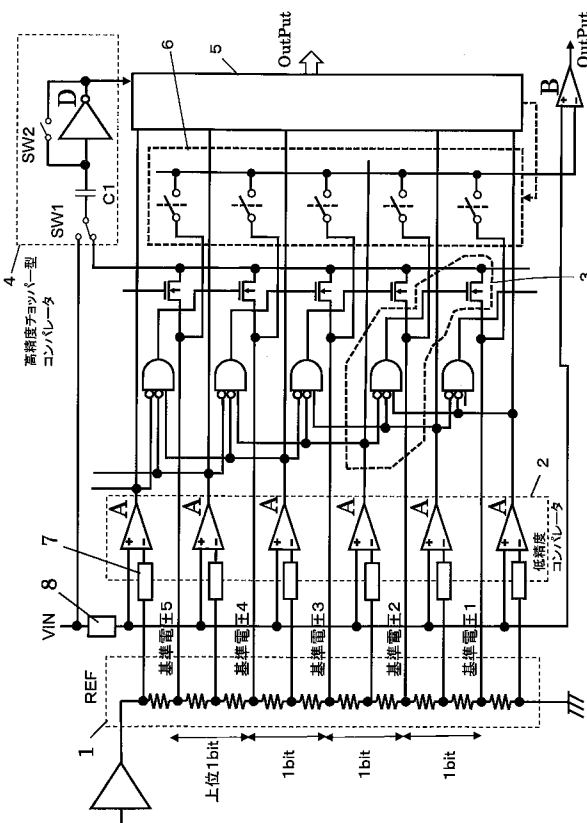
【図 1】



【図 2】



【図 3】



【図 4】

