

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-211365

(P2014-211365A)

(43) 公開日 平成26年11月13日(2014.11.13)

(51) Int.Cl.	F I	テーマコード (参考)
G O 1 L 9/00 (2006.01)	G O 1 L 9/00 3 O 3 C	2 F O 5 5
H O 1 L 29/84 (2006.01)	H O 1 L 29/84 B	4 M 1 1 2

審査請求 未請求 請求項の数 11 O L (全 12 頁)

(21) 出願番号 特願2013-87796 (P2013-87796)
 (22) 出願日 平成25年4月18日 (2013.4.18)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (74) 代理人 100127236
 弁理士 天城 聡
 (72) 発明者 秋山 豊
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 中柴 康隆
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 Fターム(参考) 2F055 AA40 BB01 CC02 DD05 EE14
 FF01 GG15 GG16
 最終頁に続く

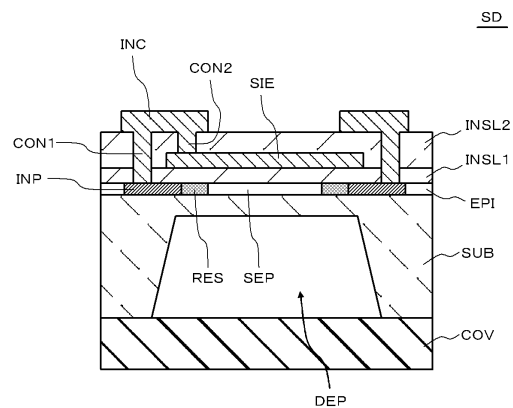
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 環境の温度が変化したときに、圧力センサの検出値に誤差が生じることを抑制する。

【解決手段】 半導体基板SUBは第1導電型の半導体基板である。半導体層EPIは半導体基板SUBの第1面に形成されている。複数の抵抗部RESは、いずれも第2導電型を有しており、半導体層EPIに形成されている。複数の抵抗部RESは互いに離間している。分離領域SEPは半導体層EPIに形成された第1導電型の領域であり、複数の抵抗部RESを電氣的に互いに分離している。凹部DEPは半導体基板SUBの第2面に形成されており、平面視で複数の抵抗部RESと重なっている。そして半導体層EPIはエピタキシャル層である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板と、
 前記半導体基板の第 1 面に形成された半導体層と、
 前記半導体層に形成され、互いに離間している複数の第 2 導電型の抵抗部と、
 前記半導体層に形成され、前記複数の抵抗部を互いに分離する第 1 導電型の分離領域と
 前記半導体層の第 2 面に形成され、平面視で前記分離領域及び前記複数の抵抗部と重なる凹部と、
 を備え、
 前記半導体層はエピタキシャル層である半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、
 前記分離領域は、前記抵抗部と同一の第 2 導電型の不純物を含んでおり、
 前記分離領域の厚さ方向における前記第 2 導電型の不純物の濃度プロファイルは、前記抵抗部の厚さ方向における前記第 2 導電型の不純物の濃度プロファイルと略同一である半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、
 前記抵抗部における前記第 2 導電型の不純物濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下である半導体装置。

20

【請求項 4】

請求項 1 に記載の半導体装置において、
 前記半導体層の厚さは $0.05 \mu\text{m}$ 以上 $0.2 \mu\text{m}$ 以下である半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、
 前記半導体基板の第 1 面の表層に位置しており、前記半導体基板よりも高濃度の高濃度第 1 導電型層を備え、
 前記半導体層は前記高濃度第 1 導電型層上に位置している半導体装置。

【請求項 6】

請求項 1 に記載の半導体装置において、
 前記エピタキシャル層は第 2 導電型であり、
 前記複数の抵抗部及び前記分離領域は、前記半導体層に第 1 導電型の不純物を注入して前記分離領域を形成することにより、形成されている半導体装置。

30

【請求項 7】

第 1 導電型の半導体基板と、
 前記半導体基板の第 1 面に形成された半導体層と、
 前記半導体層に形成され、互いに離間している複数の第 2 導電型の抵抗部と、
 前記半導体層に形成され、前記複数の抵抗部を互いに分離する第 1 導電型の分離領域と
 前記半導体層の第 2 面に形成され、平面視で前記分離領域及び前記複数の抵抗部と重なる凹部と、
 を備え、
 前記抵抗部のうち前記半導体層内に位置する部分の厚さ方向において、不純物の濃度プロファイルの最大値と最小値の差は、当該最小値の 20% 以下である半導体装置。

40

【請求項 8】

請求項 7 に記載の半導体装置において、
 前記半導体層はエピタキシャル層である半導体装置。

【請求項 9】

第 1 導電型の半導体基板の第 1 面に第 2 導電型のエピタキシャル層を形成する工程と、
 前記エピタキシャル層に第 1 導電型の不純物を導入することにより、第 1 導電型の分離領域、及び前記分離領域によって互いに分離された複数の第 2 導電型の抵抗部を形成する

50

工程と、
を備える半導体装置の製造方法。

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、
前記エピタキシャル層を形成する工程において、前記エピタキシャル層の前記第 2 導電型の不純物濃度を、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下にする半導体装置の製造方法。

【請求項 11】

請求項 9 に記載の半導体装置の製造方法において、
前記エピタキシャル層の厚さを $0.05 \mu\text{m}$ 以上 $0.2 \mu\text{m}$ 以下にする半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関し、例えば圧力センサを有する半導体装置に適用可能な技術である。

【背景技術】

【0002】

圧力を検出する圧力センサとしては、例えば特許文献 1 に記載の半導体装置がある。この半導体装置は、シリコン基板の第 1 面に歪ゲージを有している。この歪ゲージは、シリコン基板の第 1 面に不純物を拡散またはイオン注入させることにより、形成されている。そしてシリコン基板の第 2 面には、凹部が形成されている。この凹部が形成されていることにより、シリコン基板のうち歪ゲージが形成されている部分は薄くなっている。このような構造において、外部の圧力が変動すると歪ゲージに歪が生じ、歪ゲージの抵抗が変化する。上記した圧力センサは、この歪ゲージの抵抗の変化に基づいて、圧力を検出する。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2008 - 190970 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

近年は、圧力センサを有する半導体装置が様々な環境で使用されるようになっている。一方、半導体層に不純物を導入することにより形成された導電層の抵抗の変化率は、温度依存性を有している。このような温度依存性を有している場合、圧力センサの検出値が環境の温度によって変化してしまい、圧力センサの検出値に誤差が生じてしまう。本発明者は、この誤差を小さくすることを検討した。その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0005】

40

一実施の形態によれば、半導体基板の第 1 面には半導体層が形成されている。この半導体層には、互いに離間している複数の抵抗部が設けられている。また、半導体基板の第 2 面には、凹部が設けられている。この凹部は、平面視で複数の抵抗部と重なっている。そして、半導体層はエピタキシャル層である。

【発明の効果】

【0006】

前記一実施の形態によれば、環境の温度が変化したときに圧力センサの検出値に誤差が生じることを抑制できる。

【図面の簡単な説明】

【0007】

50

【図 1】第 1 の実施形態に係る半導体装置の構成を示す断面図である。

【図 2】複数の抵抗部の平面レイアウトの一例を示す図である。

【図 3】抵抗部を有する圧力センサの等価回路図である。

【図 4】半導体装置の製造方法の一例を示す断面図である。

【図 5】半導体装置の製造方法の一例を示す断面図である。

【図 6】半導体装置の製造方法の一例を示す断面図である。

【図 7】抵抗部の抵抗値の温度依存性を示すグラフである。

【図 8】第 2 の実施形態に係る半導体装置の構成を示す断面図である。

【図 9】第 3 の実施形態に係る半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0008】

10

以下、実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0009】

(第 1 の実施形態)

図 1 は、第 1 の実施形態に係る半導体装置 S D の構成を示す断面図である。本実施形態に係る半導体装置 S D は、半導体基板 S U B 、半導体層 E P I 、複数の抵抗部 R E S 、分離領域 S E P 、及び凹部 D E P を有している。半導体基板 S U B は第 1 導電型の半導体基板である。半導体層 E P I は半導体基板 S U B の第 1 面に形成されている。複数の抵抗部 R E S は、いずれも第 2 導電型を有しており、半導体層 E P I に形成されている。複数の抵抗部 R E S は互いに離間している。分離領域 S E P は半導体層 E P I に形成された第 1 導電型の領域であり、複数の抵抗部 R E S を電氣的に互いに分離している。凹部 D E P は半導体基板 S U B の第 2 面に形成されており、平面視で複数の抵抗部 R E S と重なっている。そして半導体層 E P I はエピタキシャル層である。また、抵抗部 R E S のうち半導体層 E P I 内に位置する部分において、厚さ方向における不純物の濃度プロファイルの最大値と最小値の差は、この最小値の 20 % 以下である。以下、詳細に説明する。

20

【0010】

なお、以下の説明において、第 1 導電型を n 型として、第 2 導電型を p 型とする。ただし、第 1 導電型は p 型であり、第 2 導電型は n 型であってもよい。

【0011】

30

半導体基板 S U B は例えば n 型の単結晶のシリコン基板である。ただし、半導体基板 S U B の第 1 面は、サファイア層やポリシリコン層であっても良い。半導体基板 S U B がシリコン基板である場合、半導体基板 S U B の表面の結晶方位は、例えば (1 0 0) である。そして、半導体基板 S U B の第 1 面には、半導体層 E P I が形成されている。半導体層 E P I の厚さは、例えば 0 . 0 5 μ m 以上 0 . 2 μ m 以下である。ただし半導体層 E P I の厚さはこの範囲に限定されない。また、半導体基板 S U B の第 2 面には凹部 D E P が形成されている。半導体基板 S U B のうち凹部 D E P が形成されている部分の厚さは、例えば 5 ~ 1 5 μ m である。

【0012】

半導体層 E P I は、p 型のエピタキシャル層、例えば p 型のシリコン層である。半導体層 E P I は、半導体基板 S U B の第 1 面上にエピタキシャル成長する際に、不純物が導入されている。分離領域 S E P は、半導体層 E P I に n 型の不純物を導入することにより、形成されている。そして、抵抗部 R E S は、いずれも、半導体層 E P I のうち n 型の不純物が導入されていない部分である。複数の抵抗部 R E S は、圧力センサの一部である。

40

【0013】

このため、抵抗部 R E S の厚さ方向における不純物の濃度プロファイルは、ほぼ一定になり、上記したように最大値と最小値の差は、この最小値の 20 % 以下になっている。そして抵抗部 R E S の p 型の不純物濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下であるのが好ましい。

【0014】

50

また、分離領域SEPは抵抗部RESと同一のp型不純物を含有している。そして、分離領域SEPの厚さ方向におけるp型の不純物の濃度プロファイルは、抵抗部RESの厚さ方向におけるp型の不純物の濃度プロファイルと略同一である。

【0015】

また、半導体層EPIには配線部INPが形成されている。配線部INPはp型の不純物層であり、半導体層EPIにp型の不純物を導入することにより形成されている。このため、配線部INPのp型の不純物濃度は、抵抗部RESのp型の不純物濃度よりも高くなっている。配線部INPの不純物濃度は、例えば $5 \times 10^{19} / \text{cm}^3$ 以上 $5 \times 10^{20} / \text{cm}^3$ 以下である。配線部INPは、複数の抵抗部RESそれぞれに対して設けられており、いずれも抵抗部RESに繋がっている。配線部INPは、抵抗部RESを後述する第1コンタクトCON1に接続するために設けられている。

10

【0016】

半導体層EPI上には、第1絶縁膜INS L1及び第2絶縁膜INS L2がこの順に形成されている。第1絶縁膜INS L1及び第2絶縁膜INS L2は、例えば酸化シリコン膜である。第2絶縁膜INS L2上には、配線INCが形成されている。配線INCは、第1絶縁膜INS L1及び第2絶縁膜INS L2に埋め込まれた第1コンタクトCON1を介して配線部INPに接続している。

【0017】

また、第1絶縁膜INS L1上にはシールド部材SIEが形成されている。シールド部材SIEは導電性の材料、例えばポリシリコンによって形成されており、平面視で複数の抵抗部RESと重なっている。シールド部材SIEは、第2絶縁膜INS L2に埋め込まれた第2コンタクトCON2を介して、いずれかの配線INCに接続している。これにより、シールド部材SIEには固定電位、例えば電源電位が印加される。そして、シールド部材SIEは抵抗部RESにノイズが届くことを抑制するシールドとして機能する。

20

【0018】

また、半導体基板SUBの第2面には、封止部材COVが設けられている。封止部材COVは、例えばガラス基板であり、凹部DEPを封止している。このため、半導体装置SDの周囲の圧力が変動したとき、凹部DEP内と半導体装置SDの周囲の圧力差に変動が生じる。封止部材COVはこの圧力差の変動によってもほとんど変形しない。このため、圧力差の変動は、半導体基板SUBのうち凹部DEPの底面に位置する部分が歪むことによって吸収される。そして、この部分が歪むと、抵抗部RESの抵抗値に変化が生じる。

30

【0019】

なお、封止部材COVがガラス基板である場合、封止部材COVは半導体基板SUBの第2面に陽極接合されている。

【0020】

なお、凹部DEPの内部は真空状態になっている。このようにすると、半導体装置SDの圧力センサの検出値は、圧力の絶対値を示すことになる。ただし、半導体装置SDの圧力センサが差圧を示せばよい場合、封止部材COVはなくても良い。

【0021】

図2は、複数の抵抗部RESの平面レイアウトの一例を示す図である。図2に示す例において、凹部DEPの底面の形状は円形である。そして半導体層EPIには4つの抵抗部RESが設けられている。4つの半導体層EPIのうちの2つ(抵抗部RES1)は、平面視において凹部DEPの底面の縁の近くに位置しており、残りの2つ(抵抗部RES2)は凹部DEPの底面の中心の近くに位置している。2つの抵抗部RES1は、凹部DEPの底面の中心を基準に点対称に配置されており、2つの抵抗部RES2も、凹部DEPの底面の中心を基準に点対称に配置されている。2つの抵抗部RES1を結ぶ直線と2つの抵抗部RES2を結ぶ直線は、直交している。

40

【0022】

図3は、抵抗部RESを有する圧力センサの等価回路図である。2つの抵抗部RES1及び2つの抵抗部RES2は、第1の抵抗部RES1、第1の抵抗部RES2、第2の抵

50

抗部 R E S 1、及び第 2 の抵抗部 R E S 2 の順に直列に接続されている。そして第 2 の抵抗部 R E S 1 の後端は、第 1 の抵抗部 R E S 1 の先端に接続されている。すなわち 2 つの抵抗部 R E S 1 及び 2 つの抵抗部 R E S 2 は、一つのループ回路を形成している。

【 0 0 2 3 】

第 1 の抵抗部 R E S 1 と第 1 の抵抗部 R E S 2 の接続部、及び第 2 の抵抗部 R E S 1 と第 2 の抵抗部 R E S 2 の接続部の間には、定電流源 C S が接続されている。そして、第 1 の抵抗部 R E S 2 と第 2 の抵抗部 R E S 1 の接続部には出力端子 T E R 1 が接続されており、第 2 の抵抗部 R E S 2 と第 1 の抵抗部 R E S 1 の接続部には出力端子 T E R 2 が接続されている。半導体装置 S D が有する圧力センサは、出力端子 T E R 1 と出力端子 T E R 2 の間の電位差の変化を、圧力を示す信号として出力する。

10

【 0 0 2 4 】

図 4 ~ 図 6 は、図 1 ~ 図 3 に示した半導体装置 S D の製造方法の一例を示す断面図である。これらの図に示す半導体装置 S D の製造方法は、以下の工程を有している。まず、半導体基板 S U B の第 1 面に半導体層 E P I を形成する。半導体層 E P I は、p 型のエピタキシャル層である。次いで、半導体層 E P I に n 型の不純物を導入することにより、分離領域 S E P を形成する。複数の抵抗部 R E S は、半導体層 E P I のうち n 型の不純物が導入されなかった領域である。以下、詳細に説明する。

【 0 0 2 5 】

まず、図 4 (a) に示すように、n 型の半導体基板 S U B を準備する。次いで、半導体基板 S U B の第 1 面上に半導体層 E P I をエピタキシャル成長させる。このとき、原料ガスに不純物ガスを導入する。これにより、半導体層 E P I には、成膜時に p 型の不純物が導入される。また、半導体層 E P I の深さ方向における p 型の不純物濃度はほぼ一定になる。この不純物濃度は、上記したように、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 以下であるのが好ましい。

20

【 0 0 2 6 】

次いで、図 4 (b) に示すように、半導体層 E P I 上にレジストパターン R S T 1 を形成する。レジストパターン R S T 1 は、半導体層 E P I のうち抵抗部 R E S となる領域及び配線部 I N P となる領域を覆っている。次いで、レジストパターン R S T 1 をマスクとして、半導体層 E P I に n 型の不純物をイオン注入する。これにより、半導体層 E P I には分離領域 S E P が形成される。また、半導体層 E P I のうち n 型の不純物が注入されなかった領域の少なくとも一部は、抵抗部 R E S となる。なお、レジストパターン R S T 1 は、半導体層 E P I のうち抵抗部 R E S となる領域のみを覆っていても良い。

30

【 0 0 2 7 】

その後、図 5 (a) に示すように、レジストパターン R S T 1 を除去する。次いで、半導体層 E P I 上にレジストパターン R S T 2 を形成する。レジストパターン R S T 2 は、半導体層 E P I のうち抵抗部 R E S となる領域及び分離領域 S E P を覆っているが、配線部 I N P となる領域を覆っていない。次いで、レジストパターン R S T 2 をマスクとして、半導体層 E P I に p 型の不純物をイオン注入する。これにより、半導体層 E P I には配線部 I N P が形成される。

【 0 0 2 8 】

その後、図 5 (b) に示すように、レジストパターン R S T 2 を除去する。次いで、半導体層 E P I 上に、第 1 絶縁膜 I N S L 1 を、例えば C V D 法を用いて形成する。次いで、第 1 絶縁膜 I N S L 1 上に導電膜、例えばポリシリコン膜を形成する。このポリシリコン膜には成膜時に不純物が導入されても良い。この導電膜は、C V D 法を用いて形成されても良いし、スパッタリング法を用いて形成されても良い。次いで、この導電膜上にレジストパターン (図示せず) を形成し、このレジストパターンをマスクとして導電膜を選択的に除去する。これにより、第 1 絶縁膜 I N S L 1 上にシールド部材 S I E が形成される。その後、レジストパターンを除去する。

40

【 0 0 2 9 】

次いで、図 6 にしめすように、シールド部材 S I E 上及び第 1 絶縁膜 I N S L 1 上に、

50

第2絶縁膜INS L2を、例えばCVD法を用いて形成する。次いで、第2絶縁膜INS L2上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして第2絶縁膜INS L2及び第1絶縁膜INS L1をエッチングする。これにより、第1コンタクトCON1及び第2コンタクトCON2を埋め込むための接続孔が形成される。その後、レジストパターンを除去する。

【0030】

次いで、接続孔内及び第2絶縁膜INS L2上に導電膜、例えばA1膜を形成する。次いで、この導電膜上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして導電膜をエッチングする。これにより、第1コンタクトCON1、第2コンタクトCON2、及び配線INCが形成される。なお、第1コンタクトCON1及び第2コンタクトCON2と、配線INCは別工程で形成されても良い。この場合、第1コンタクトCON1及び第2コンタクトCON2は、配線INCとは異なる材料により形成されても良い。また、配線INC及び第2絶縁膜INS L2は、保護絶縁膜によって覆われても良い。

10

【0031】

その後、半導体基板SUBの第2面にマスクパターン(図示せず)を形成し、このマスクパターンをマスクとして半導体基板SUBを第2面側からエッチングする。これにより、半導体基板SUBには凹部DEPが形成される。このときのエッチングは、ドライエッチングでもよいし、ウェットエッチングであっても良い。そして、必要に応じて半導体基板SUBの第2面に封止部材COVを取り付ける。

20

【0032】

次に、本実施形態の効果について説明する。半導体層EPIの抵抗変化の温度依存性は、半導体層EPIの不純物濃度によって変化し、かつ、極小値を持つ。このため、抵抗部RESの不純物濃度をこの極小値又はその近くにすると、圧力センサの検出値に、温度変化に起因した誤差が生じることを抑制できる。

【0033】

抵抗部RESをイオン注入法で形成した場合、抵抗部RESの不純物濃度は深さ方向に変化する。この場合、抵抗部RESのうち厚さ方向における少なくとも一部の抵抗値は、温度によって大きく変化してしまう。従って、圧力センサの検出値の誤差を抑制することは難しい。

30

【0034】

これに対して本実施形態では、半導体層EPIをp型のエピタキシャル層で形成している。そして、半導体層EPIのうちn型の不純物が導入されていない部分を、抵抗部RESとして使用している。従って、抵抗部RESの不純物濃度は、深さ方向で変化しにくい。従って、圧力センサの検出値に誤差が生じることを抑制できる。

【0035】

図7は、半導体層EPIをシリコン層とした場合における、抵抗部RESの抵抗値の温度依存性を示すグラフである。本図に示すように、抵抗部RESの不純物が $1 \times 10^{17} \text{ cm}^{-3}$ である場合、抵抗部RESの抵抗値は温度によって大きく変化する。これに対して、不純物が $1 \times 10^{19} \text{ cm}^{-3}$ に近づくとつれて、抵抗部RESの抵抗値の温度依存性は小さくなる。この温度依存性は、抵抗部RESの不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ のときに極小となる。そして、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ よりも大きくなるにつれて、この温度依存性は少しずつ大きくなる。

40

【0036】

このことから、抵抗部RESのp型の不純物濃度(すなわち半導体層EPIのp型の不純物濃度)を $5 \times 10^{18} / \text{cm}^{-3}$ 以上 $5 \times 10^{19} / \text{cm}^{-3}$ 以下にすると、圧力センサの検出値に誤差が生じることを特に抑制できる。

【0037】

(第2の実施形態)

図8は、第2の実施形態に係る半導体装置SDの構成を示す断面図であり、第1の実施

50

形態における図 1 に対応している。本実施形態に係る半導体装置 S D は、以下の点を除いて、第 1 の実施形態に係る半導体装置 S D と同様の構成である。

【 0 0 3 8 】

まず、半導体基板 S U B は S O I 基板であり、シリコンからなるベース基板 B S U B 上に埋込絶縁層 B I N S 及び n 型のシリコン層 S I L をこの順に積層させた構成を有している。そして半導体層 E P I はシリコン層 S I L 上に形成されており、凹部 D E P はベース基板 B S U B に形成されている。そして、凹部 D E P を形成するためのエッチングにおいて、埋込絶縁層 B I N S はエッチングストップパとして機能する。このため、凹部 D E P の底面には、埋込絶縁層 B I N S が露出している。

【 0 0 3 9 】

本実施形態によっても、第 1 の実施形態と同様の効果が得られる。また、埋込絶縁層 B I N S を、凹部 D E P を形成するときのエッチングストップパとして用いているため、凹部 D E P の深さがばらつくことを抑制できる。

【 0 0 4 0 】

(第 3 の実施形態)

図 9 は、第 3 の実施形態に係る半導体装置 S D の構成を示す断面図であり、第 2 の実施形態における図 8 に対応している。本実施形態に係る半導体装置 S D は、n 型の高濃度第 1 不純物層 H D L を有している点を除いて、第 2 の実施形態に係る半導体装置 S D と同様の構成である。

【 0 0 4 1 】

高濃度第 1 不純物層 H D L は、半導体基板 S U B の第 1 面の表層に位置している。高濃度第 1 不純物層 H D L の n 型の不純物濃度は、半導体基板 S U B (本実施形態ではシリコン層 S I L) の n 型の不純物濃度よりも高い。高濃度第 1 不純物層 H D L は、半導体基板 S U B の第 1 面に n 型の不純物をイオン注入することにより、形成されている。このイオン注入工程は、半導体層 E P I を形成する前に行われる。

【 0 0 4 2 】

本実施形態によっても、第 2 の実施形態と同様の効果が得られる。また、半導体基板 S U B の第 1 面の表層に高濃度第 1 不純物層 H D L を形成しているため、抵抗部 R E S から半導体基板 S U B に p 型の不純物が拡散しても、抵抗部 R E S が深さ方向に広がることを抑制できる。なお、抵抗部 R E S が深さ方向に広がった場合、抵抗部 R E S の底部の不純物濃度は低くなり、その結果、抵抗部 R E S の下部の抵抗値は、温度によって大きく変化してしまう。

【 0 0 4 3 】

なお、第 1 の実施形態に係る半導体装置 S D において、本実施形態に示した高濃度第 1 不純物層 H D L を設けても良い。

【 0 0 4 4 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 符号の説明 】

【 0 0 4 5 】

B I N S 埋込絶縁層
 B S U B ベース基板
 C O N 1 第 1 コンタクト
 C O N 2 第 2 コンタクト
 C O V 封止部材
 C S 定電流源
 D E P 凹部
 E P I 半導体層
 H D L 高濃度第 1 不純物層

10

20

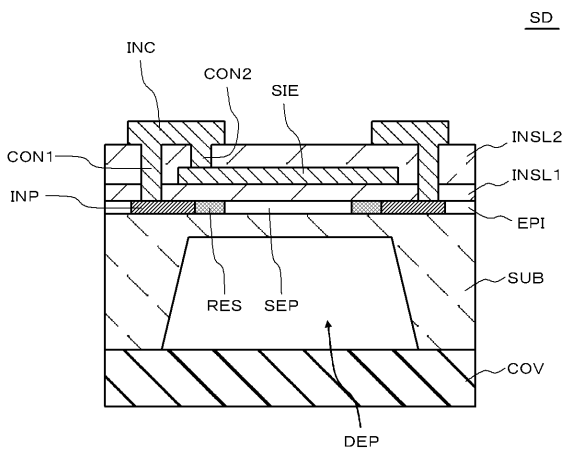
30

40

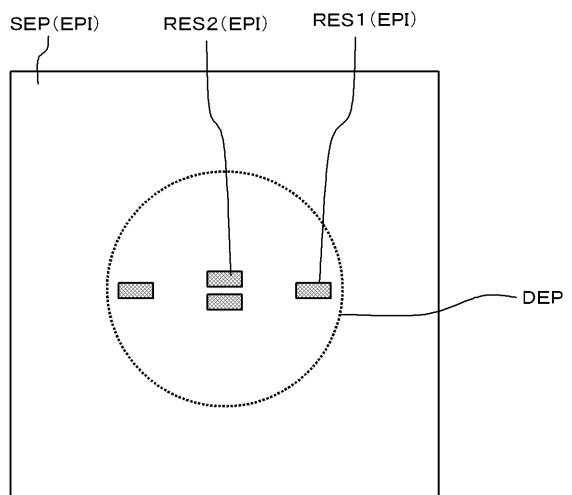
50

- I N C 配線
- I N P 配線部
- I N S L 1 第 1 絶縁膜
- I N S L 2 第 2 絶縁膜
- R E S 抵抗部
- R S T 1 レジストパターン
- R S T 2 レジストパターン
- S D 半導体装置
- S E P 分離領域
- S I E シールド部材
- S I L シリコン層
- S U B 半導体基板
- T E R 1 出力端子
- T E R 2 出力端子

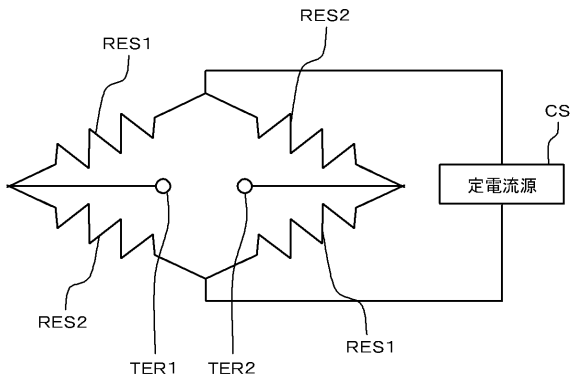
【 図 1 】



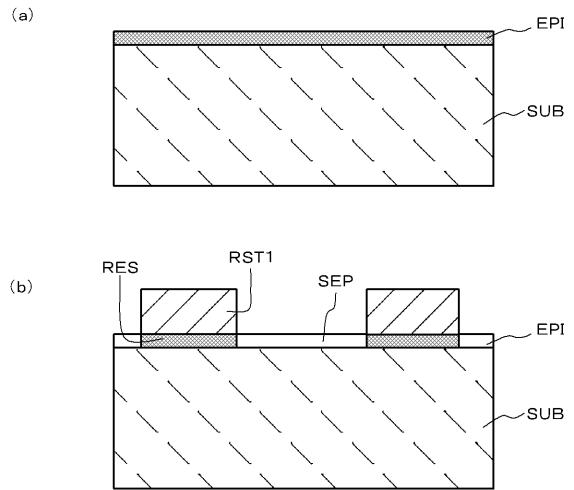
【 図 2 】



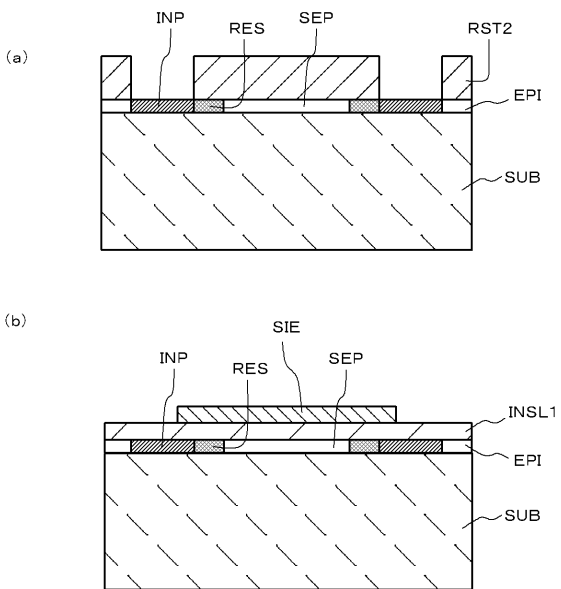
【 図 3 】



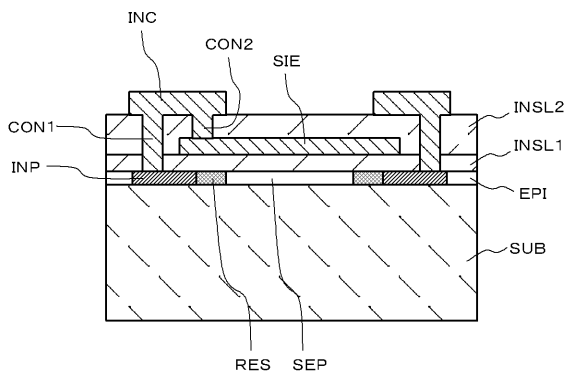
【 図 4 】



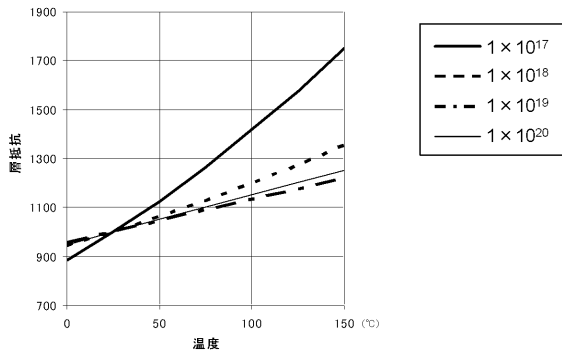
【 図 5 】



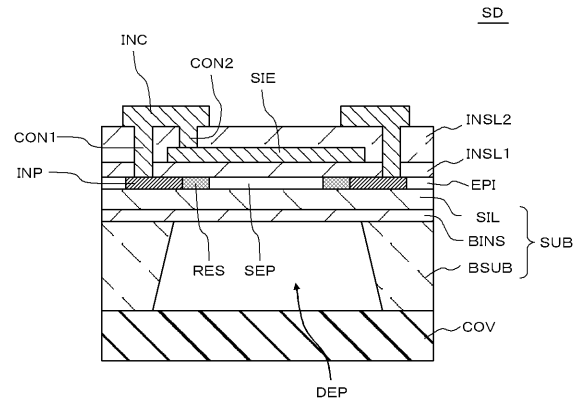
【 図 6 】



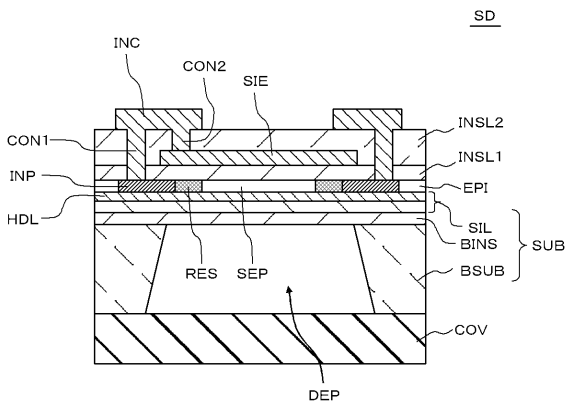
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

Fターム(参考) 4M112 AA01 BA01 CA01 CA03 CA04 CA05 CA09 CA12 CA13 CA14
DA03 DA04 DA06 DA07 DA09 DA10 DA15 DA18 EA03 EA04
EA06 FA05