

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-144391
(P2015-144391A)

(43) 公開日 平成27年8月6日(2015. 8. 6)

(51) Int.Cl. F I テーマコード (参考)
H04L 1/00 (2006.01) H04L 1/00 B 5K014

審査請求 未請求 請求項の数 20 O L (全 13 頁)

(21) 出願番号 特願2014-17403 (P2014-17403)
(22) 出願日 平成26年1月31日 (2014. 1. 31)

(71) 出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町2 1 番地
(74) 代理人 100105924
弁理士 森下 賢樹
(74) 代理人 100133215
弁理士 真家 大樹
(72) 発明者 齋藤 晋一
京都府京都市右京区西院溝崎町2 1 番地
ローム株式会社内
Fターム(参考) 5K014 BA01 FA07

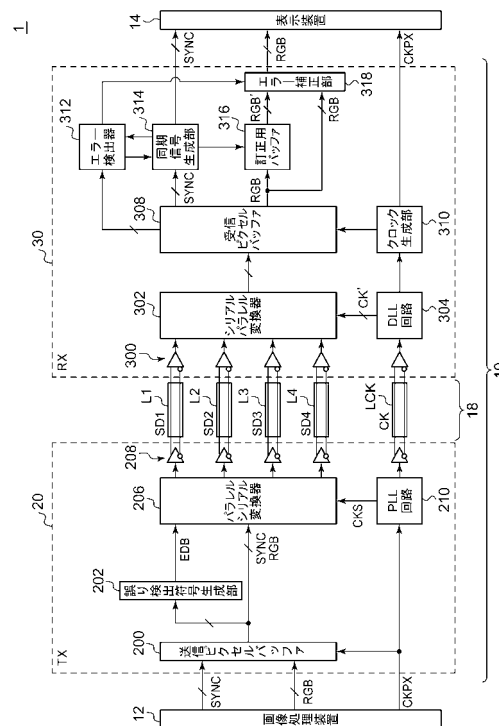
(54) 【発明の名称】 画像データの受信回路およびそれを用いた電子機器、画像データの伝送方法

(57) 【要約】

【課題】 伝送エラーが生じた場合でも、表示パネルに表示される画像の乱れを抑制する。

【解決手段】 受信回路30は、画像データを構成するピクセルデータを含むシリアルデータSDを、送信回路20から受信する。シリアルデータSDは、受信回路30が伝送エラーを検出できる形式を有する。シリアルパラレル変換器302は、シリアルデータSDをパラレルデータPDに変換する。エラー検出器312は、パラレルデータPDにもとづいて、当該パラレルデータPDが正しいデータであるか誤ったデータであるかを判定する。訂正用バッファ316は、エラー検出器312によってパラレルデータPDが正しいデータであると判定されたとき、当該パラレルデータPDに含まれるピクセルデータを保持しておく。補正部318は、エラー検出器312によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、訂正用バッファ316に格納されたピクセルデータに応じた値に置換する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

画像データを構成するピクセルデータを含むシリアルデータを、送信回路から受信する受信回路であって、

前記シリアルデータは、前記受信回路が伝送エラーを検出できる形式を有するものであり、

前記受信回路は、

前記シリアルデータを受信し、パラレルデータに変換するシリアルパラレル変換器と、前記パラレルデータにもとづいて、当該パラレルデータが正しいデータであるか誤ったデータであるかを判定するエラー検出器と、

前記エラー検出器によって前記パラレルデータが正しいデータであると判定されたとき、当該パラレルデータに含まれる前記ピクセルデータを保持しておく訂正用バッファと、

前記エラー検出器によって誤ったデータであると判定された前記パラレルデータに含まれるピクセルデータを、前記訂正用バッファに格納されたピクセルデータに応じた値に置換する補正部と、

を備えることを特徴とする受信回路。

【請求項 2】

前記補正部は、前記エラー検出器によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、前記訂正用バッファに格納されたピクセルデータに置換することを特徴とする請求項 1 に記載の受信回路。

【請求項 3】

前記補正部は、前記エラー検出器によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、前記訂正用バッファに格納されたピクセルデータから演算される値に置換することを特徴とする請求項 1 に記載の受信回路。

【請求項 4】

前記補正部は、前記エラー検出器によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、前記訂正用バッファに格納されたピクセルデータであって、それと隣接するピクセルデータに応じた値に置換することを特徴とする請求項 1 または 2 に記載の受信回路。

【請求項 5】

前記訂正用バッファは、1 ライン分のピクセルデータを保持することを特徴とする請求項 1 から 4 のいずれかに記載の受信回路。

【請求項 6】

前記訂正用バッファは、1 フレーム分のピクセルデータを保持することを特徴とする請求項 1 から 4 のいずれかに記載の受信回路。

【請求項 7】

前記シリアルデータにパラレルシリアル変換される前のパラレルデータは、誤り検出用の少なくともひとつのビットを含むことを特徴とする請求項 1 から 6 のいずれかに記載の受信回路。

【請求項 8】

前記シリアルデータにパラレルシリアル変換される前のパラレルデータは、前記受信回路におけるデコード処理によって伝送エラーを検出する形式にてエンコードされ、

前記受信回路は、

前記シリアルパラレル変換器が生成したパラレルデータをデコード処理するとともに、コードエラーを検出可能に構成されたデコーダをさらに備えることを特徴とする請求項 1 から 7 のいずれかに記載の受信回路。

【請求項 9】

前記シリアルデータにパラレルシリアル変換される前のパラレルデータは、前記ピクセルデータに加えて、時間的に規則的に変化する同期信号を含んでおり、

前記エラー検出器は、前記パラレルデータに含まれる前記同期信号をその期待値パター

10

20

30

40

50

ンと比較することにより、前記パラレルデータが正しいデータであるか、誤ったデータであることを判定することを特徴とする請求項 1 から 8 のいずれかに記載の受信回路。

【請求項 10】

前記同期信号をその期待値パターンと比較し、前記同期信号が前記期待値パターンと異なるとき、前記同期信号を前記期待値パターンにもとづいて補正する同期信号生成部をさらに備えることを特徴とする請求項 9 に記載の受信回路。

【請求項 11】

前記シリアルデータは、Mビット（Mは2以上の整数）を含み、並列なN（Nは2以上の整数）レーンを介して伝送され、

1回に伝送されるM×Nビットは、前記ピクセルデータとして、Rデータ、Gデータ、Bデータを含むことを特徴とする請求項 1 から 10 のいずれかに記載の受信回路。

10

【請求項 12】

M = 7、N = 4 であり、前記 R データ、前記 G データ、前記 B データはそれぞれ 8 ビットからなり、1回に伝送される少なくとも 28 ビットは、前記ピクセルデータの 24 ビットに加えて、イネーブル信号の 1 ビット、垂直同期信号の 1 ビット、水平同期信号の 1 ビットを含むことを特徴とする請求項 11 に記載の受信回路。

【請求項 13】

1回に伝送される少なくとも前記 28 ビットは、誤り検出用の 1 ビットを含むことを特徴とする請求項 12 に記載の受信回路。

【請求項 14】

ひとつの半導体基板に一体集積化されたことを特徴とする請求項 1 から 13 のいずれかに記載の受信回路。

20

【請求項 15】

請求項 1 から 14 のいずれかに記載の受信回路を備えることを特徴とする電子機器。

【請求項 16】

画像データを構成するピクセルデータの伝送方法であって、

送信側において、前記ピクセルデータを受信側において伝送エラーを検出できる形式を有するシリアルデータを生成するステップと、

受信側において、前記シリアルデータをパラレルデータに変換するステップと、

前記パラレルデータにもとづいて、当該パラレルデータが正しいデータであるか誤ったデータであることを判定するステップと、

30

前記パラレルデータが正しいデータであると判定されたとき、当該パラレルデータに含まれる前記ピクセルデータを、訂正用バッファに保持しておくステップと、

誤ったデータであると判定された前記パラレルデータに含まれるピクセルデータを、前記訂正用バッファに格納されたピクセルデータに応じた値に置換するステップと、
を備えることを特徴とする伝送方法。

【請求項 17】

送信側において、前記シリアルデータにパラレルシリアル変換される前のパラレルデータに、誤り検出用の少なくともひとつのビットを付加するステップをさらに備え、

前記判定するステップは、前記誤り検出用の少なくともひとつのビットにもとづいて伝送エラーを検出することを特徴とする請求項 16 に記載の伝送方法。

40

【請求項 18】

送信側において、前記シリアルデータにパラレルシリアル変換される前のパラレルデータは、前記受信側におけるデコード処理によって伝送エラーを検出する形式にてエンコードするステップをさらに備え、

前記判定するステップは、受信側におけるデコード処理によって伝送エラーを検出することを特徴とする請求項 16 または 17 に記載の伝送方法。

【請求項 19】

送信側において、シリアルデータにパラレルシリアル変換される前のパラレルデータに、前記ピクセルデータに加えて、時間的に規則的に変化する同期信号を含ませるステップ

50

と、

をさらに備え、

前記判定するステップは、受信した前記同期信号をその期待値パターンと比較することにより、前記パラレルデータが正しいデータであるか、誤ったデータであるかを判定することを特徴とする請求項 16 から 18 のいずれかに記載の伝送方法。

【請求項 20】

前記同期信号をその期待値パターンと比較し、前記同期信号が前記期待値パターンと異なるとき、前記同期信号を前記期待値パターンにもとづいて補正するステップをさらに備えることを特徴とする請求項 19 に記載の伝送方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像データを伝送するシリアル伝送システムに関する。

【背景技術】

【0002】

少ない本数のデータ伝送線路を介して半導体集積回路間でデータを送受信するために、シリアルデータ伝送が利用される。シリアルデータ伝送では、送信すべきパラレルデータをシリアルデータに変換し、シリアルデータをそれに付随した同期クロックとともに伝送する。受信側では、シリアルデータを同期クロックを利用してパラレルデータに再変換する。

【0003】

たとえば、表示パネルを備える電子機器においては、画像データ（動画、静止画を含む）が格納されるフレームメモリから、表示パネルのドライバ回路に画像データを伝送する際に、シリアルデータ伝送が利用されるのが一般的である。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2000 - 78027 号公報

【特許文献 2】特開 2007 - 96903 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

近年の高画質化に伴い、1フレームのピクセル数およびフレームレートが増大する傾向にあり、これにともない伝送システムに必要とされる伝送容量も増大している。このような大容量の画像データを高速シリアル伝送する場合、伝送エラーが発生したとしても、正しいデータを再送する時間的な余裕はない。したがって、伝送エラーにより誤った画像データをそのまま表示パネルに表示することとなり、画像の乱れとしてユーザに視認されてしまう。

【0006】

本発明は係る状況に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、伝送エラーが生じた場合でも、表示パネルに表示される画像の乱れを抑制可能な伝送技術の提供にある。

【課題を解決するための手段】

【0007】

本発明のある態様は、画像データを構成するピクセルデータを含むシリアルデータを送信回路から受信する受信回路に関する。シリアルデータは、受信回路が伝送エラーを検出できる形式を有する。受信回路は、シリアルデータを受信し、パラレルデータに変換するシリアルパラレル変換器と、パラレルデータにもとづいて、当該パラレルデータが正しいデータであるか誤ったデータであるかを判定するエラー検出器と、エラー検出器によってパラレルデータが正しいデータであると判定されたとき、当該パラレルデータに含まれる

10

20

30

40

50

ピクセルデータを保持しておく訂正用バッファと、エラー検出器によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、訂正用バッファに格納されたピクセルデータに応じた値に置換する補正部と、を備える。

【0008】

画像データを構成するひとつのピクセルに注目すると、そのピクセルの輝度は、その近傍のピクセルの輝度に近い場合が多く、あるいは、同一ピクセルの1フレーム前の輝度に近い場合が多い。この態様では、過去において正しいと判定されたパラレルデータに含まれるピクセルデータを、正しい輝度を示すピクセルデータとして保持しておく。これにより、誤っていると判定されたパラレルデータに含まれるピクセルデータ、つまり誤った輝度を示すピクセルデータを、正しい輝度を示すピクセルデータから復元することができ、画像の乱れを抑制できる。

10

【0009】

補正部は、エラー検出器によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、訂正用バッファに格納されたピクセルデータに置換してもよい。

【0010】

補正部は、エラー検出器によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、訂正用バッファに格納されたピクセルデータから演算される値に置換してもよい。たとえば訂正用バッファに格納される周囲のピクセルデータの平均値を計算してもよい。

20

【0011】

補正部は、エラー検出器によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータを、訂正用バッファに格納されたピクセルデータであって、それと隣接するピクセルデータに応じた値に置換してもよい。

【0012】

訂正用バッファは、1ライン分のピクセルデータを保持してもよい。

【0013】

訂正用バッファは、1フレーム分のピクセルデータを保持してもよい。

【0014】

シリアルデータにパラレルシリアル変換される前のパラレルデータは、誤り検出用の少なくともひとつのビットを含んでもよい。

30

【0015】

シリアルデータにパラレルシリアル変換される前のパラレルデータは、受信回路におけるデコード処理によって伝送エラーを検出する形式にてエンコードされてもよい。

【0016】

シリアルデータにパラレルシリアル変換される前のパラレルデータは、ピクセルデータに加えて、時間的に規則的に変化する同期信号を含んでおり、エラー検出器は、パラレルデータに含まれる同期信号をその期待値パターンと比較することにより、パラレルデータが正しいデータであるか、誤ったデータであるかを判定してもよい。

40

【0017】

ある態様の受信回路は、同期信号をその期待値パターンと比較し、同期信号が期待値パターンと異なるとき、同期信号を期待値パターンにもとづいて補正する同期信号生成部をさらに備えてもよい。

これにより、同期信号に伝送エラーが発生した場合であっても、正しく画像を表示できる。

【0018】

シリアルデータは、Mビット(Mは2以上の整数)を含み、並列なN(Nは2以上の整数)レーンを介して伝送され、1回に伝送されるM×Nビットは、ピクセルデータとして、Rデータ、Gデータ、Bデータを含んでもよい。

【0019】

50

M 7、N = 4であり、Rデータ、Gデータ、Bデータはそれぞれ8ビットからなり、1回に伝送される28ビットは、ピクセルデータの24ビットに加えて、イネーブル信号の1ビット、垂直同期信号の1ビット、水平同期信号の1ビットを含んでもよい。

【0020】

1回に伝送される28ビットは、誤り検出用の1ビットを含んでもよい。

これにより、すべてのビットを有効利用できる。

【0021】

受信回路は、ひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

10

回路を1つのICとして集積化することにより、回路面積を削減することができるとともに、回路素子の特性を均一に保つことができる。

【0022】

本発明の別の態様は、電子機器に関する。電子機器は、上述のいずれかの受信回路を備える。

【0023】

なお、以上の構成要素を任意に組み合わせたもの、あるいは本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

【発明の効果】

20

【0024】

本発明のある態様によれば、表示パネルに表示される画像の乱れを抑制できる。

【図面の簡単な説明】

【0025】

【図1】実施の形態に係る伝送システムのブロック図である。

【図2】パラレルデータのデータ構造の一例を示す図である。

【図3】第1の補正処理を示す図である。

【図4】変形例1に係る伝送システムのブロック図である。

【図5】電子機器を示す斜視図である。

【発明を実施するための形態】

30

【0026】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0027】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

40

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

【0028】

図1は、実施の形態に係る伝送システム10のブロック図である。伝送システム10は、表示装置を有する電子機器1に利用される。電子機器1は、伝送システム10に加えて、画像処理装置12および表示装置14を備える。画像処理装置12は、CPU (Central Processing Unit) やGPU (Graphics Processing Unit) であって、表示装置14に表示すべき画像データ (静止画、動画を含む) を生成する。多くの電子機器1において、画像処理装置12と表示装置14は離間して配置される。伝送システム10は、画像処理

50

装置 1 2 から表示装置 1 4 へ画像データを伝送する。

【 0 0 2 9 】

伝送システム 1 0 は、送信回路 2 0、伝送チャネル 1 8、受信回路 3 0 を備える。送信回路 2 0 と受信回路 3 0 は、伝送チャネル 1 8 を介して、画像データを構成するピクセルデータをシリアル形式に変換して高速シリアル伝送を行う。本実施の形態では、伝送チャネル 1 8 は、複数 M 個のレーン（本実施の形態では $M = 4$ ）L 1 ~ L 4 と、クロックレーン L C K を含む場合を説明する。画像データを構成するピクセルデータ（以下、R G B データとも称する）は、そのピクセルに含まれる R、G、B 3 色のサブピクセルの輝度データ（以下、サブピクセルデータあるいは R データ、G データ、B データと称する）で構成される。送信回路 2 0 は、画像処理装置 1 2 から R G B データと、それと同期したピクセルクロック C K P X を受ける。ピクセルクロック C K P X の周期は、R G B データの生成周期に比例する。

10

【 0 0 3 0 】

また送信回路 2 0 は、R G B データに付随して画像処理装置 1 2 により生成された同期信号 S Y N C をさらに受ける。同期信号 S Y N C は、後述するように、水平同期信号 H S Y N C、垂直同期信号 V S Y N C、データイネーブル信号 D E を含む。

【 0 0 3 1 】

送信回路 2 0 は、送信ピクセルバッファ 2 0 0、誤り検出符号生成部 2 0 2、パラレルシリアル変換器 2 0 6、差動ドライバ 2 0 8、P L L（Phase Locked Loop）回路 2 1 0 を備え、ひとつの半導体基板に集積化された機能 I C（Integrated Circuit）である。

20

【 0 0 3 2 】

送信ピクセルバッファ 2 0 0 は、画像処理装置 1 2 から出力されたピクセルデータ R G B および同期信号 S Y N C を、ピクセルクロック C K P X を利用してラッチし、保持する。

【 0 0 3 3 】

誤り検出符号生成部 2 0 2 は、受信回路 3 0 側において、伝送エラーを検出するために必要な信号処理を行う。具体的には、伝送チャネル 1 8 を伝送するシリアルデータに埋め込まれる誤り検出符号 E D B（Error Detection Bit）を生成する。誤り検出は、公知技術を用いればよく、本発明において特に限定されるものではない。たとえばチェックサムデータ方式、パリティビット方式、B C C（Block Check Character）方式、C R C（Cyclic Redundancy Check）を利用してもよい。

30

【 0 0 3 4 】

パラレルシリアル変換器 2 0 6 は、送信ピクセルバッファ 2 0 0 に格納されたピクセルデータ R G B および同期信号 S Y N C および誤り検出符号 E D B を受け、それにもとづいて M（= 4）個のパラレルデータ P D 1 ~ P D 4 にエンコードする。図 2 は、パラレルデータ P D 1 ~ P D 4 のデータ構造の一例を示す図である。各パラレルデータ P D は、N ビットからなる。図 2 には、N = 7 ビットの例が示される。サブピクセルデータはそれぞれ 8 ビットからなる。

【 0 0 3 5 】

各パラレルデータが 1 ワード N ビットであるとき、M 個のパラレルデータによって、M × N ビットが同時伝送可能である。本実施の形態では、 $4 \times 7 = 28$ ビットが同時伝送される。この 28 ビットのうち、24 ビットは R G B データにより占有され、そのうち同期信号 S Y N C によって 3 ビットが占有され、残りの 1 ビットが誤り検出符号 E D B に割り当てられる。なお、パラレルデータ P D 1 ~ P D 4 のデータ構造は特に限定されず、各ビットを適宜いれかえてもよい。

40

【 0 0 3 6 】

P L L 回路 2 1 0 は、ピクセルクロック C K P X の周波数を N 逡倍し、シリアルクロック C K S を生成する。パラレルシリアル変換器 2 0 6 は、シリアルクロック C K S と同期して、4 個のパラレルデータ P D 1 ~ P D 4 を、シリアルデータ S D 1 ~ S D 4 に変換する。かくして、送信ピクセルバッファ 2 0 0 によって、受信回路 3 0 側において伝送エラ

50

ーを検出できる形式を有するシリアルデータが生成される。

【0037】

差動ドライバ208は、4個のシリアルデータSD1～SD4を第1データレーンL1～第4データレーンL4に出力するとともに、シリアルクロックCKSと同じ周波数あるいはそれを分周したクロック信号CKを、クロックレーンLCKに出力する。

【0038】

以上が送信回路20の構成である。続いて受信回路30について説明する。

【0039】

受信回路30は、差動レシーバ300、シリアルパラレル変換器302、DLL(Delay Locked Loop)回路304、受信ピクセルバッファ308、クロック生成部310、エラー検出器312、同期信号生成部314、訂正用バッファ316、エラー補正部318を備え、ひとつの半導体基板に集積化された機能IC(Integrated Circuit)である。

10

【0040】

差動レシーバ300は、伝送チャンネル18を介して入力されるシリアルデータSD1～SD4およびクロック信号CKを受信する。

【0041】

DLL回路304は、クロック信号CKと同期して、サンプリングクロックCK'を生成する。シリアルパラレル変換器302は、サンプリングクロックCK'と同期して、4個のシリアルデータSD1～SD4それぞれを、パラレルデータPD1～PD4にシリアルパラレル変換する。

20

【0042】

クロック生成部310は、送信回路20側のピクセルクロックCKPXと同一の周波数を有するピクセルクロックCKPXを生成する。受信ピクセルバッファ308よりも下流の処理は、ピクセルクロックCKPXと同期して行われる。

【0043】

エラー検出器312は、受信ピクセルバッファ308に格納された誤り検出符号EDBを参照し、伝送エラーの有無を判定する。エラー検出器312は、伝送エラーが検出されると、パラレルデータPD1～PD4が正しくないものと判定し、伝送エラーが検出されない場合、パラレルデータPD1～PD4が正しいものと判定する。

【0044】

同期信号生成部314は、同期信号SYNCを受け、表示装置14に同期信号SYNCを出力する。ここで同期信号SYNC、具体的には、垂直同期信号VSYNC、水平同期信号HSYNC、イネーブル信号DEは、時間的に規則的に変化する。つまり受信回路30は、各ピクセルにおいて、同期信号SYNCがとるべき正しい値(期待値パターン)を予測することができる。そこでエラー検出器312は、同期信号SYNCをその期待値パターンと比較することにより、パラレルデータPD1～PD4が正しいデータであるか、誤ったデータであるかを判定する。

30

【0045】

たとえば、ある同期信号SYNCについて、連続する4ピクセルに着目する。同期信号SYNCは、連続する4ピクセル内で2回遷移することは起こりえない。したがって、同期信号SYNCのレベル遷移(エッジ)に着目し、連続する4ピクセル内で、2回以上のレベル遷移を検出した場合、伝送エラーと判定してもよい。

40

【0046】

加えて、同期信号生成部314は、同期信号SYNCと期待値パターンの比較結果にもとづいて、同期信号SYNCを補正してもよい。つまり受信した同期信号SYNCが、期待値パターンから外れたときは、期待値パターンにもとづいて同期信号SYNCを補正してもよい。これにより、同期信号SYNCに伝送エラーが生じた場合であっても、正しい同期信号SYNCを再生し、画像を正しく表示できる。

【0047】

訂正用バッファ316は、エラー検出器312によってパラレルデータが正しいデータ

50

であると判定されたとき、当該パラレルデータに含まれるピクセルデータRGBを保持しておく。たとえば訂正用バッファ316は、現在受信したピクセルからさかのぼって1ライン分のピクセルデータを保持するラインバッファである。たとえば表示装置14が、640×480ピクセルの表示領域を有する場合、ラインバッファは直前の連続する640ピクセル分のピクセルデータRGBを保持する。あるピクセルに対して、正しくないピクセルデータRGBが発生した場合、ラインバッファには、その近傍のピクセルの正しいピクセルデータRGBを格納してもよい。

【0048】

エラー補正部318は、エラー検出器312によって誤ったデータであると判定されたパラレルデータPD1～PD4に含まれるピクセルデータRGBを、訂正用バッファ316に格納されたピクセルデータRGB'に応じた値に置換する。

10

【0049】

補正されたRGBデータは、後段の表示装置14に供給される。

以上が伝送システム10の構成である。続いてその動作を説明する。

【0050】

上述のように、伝送チャンネル18を伝送するシリアルデータSD1～SD4は、受信回路30によりエラー検出可能な形式を有している。そしてエラー検出器312は、誤り検出符号EDBにもとづいて、伝送エラーを検出する。

【0051】

訂正用バッファ316に格納されるピクセルデータは、エラー検出器312によるエラー検出の有無に応じて更新されていく。エラー補正部318は、伝送エラーが検出されるとき、訂正用バッファ316に格納されたピクセルデータRGB'を選択し、伝送エラーが検出されないとき、受信ピクセルバッファ308のピクセルデータRGB'を選択し、選択されたピクセルデータに応じた値を、表示装置14に出力する。

20

【0052】

エラー補正部318の処理について説明する。

【0053】

(第1の補正処理)

図3は、第1の補正処理を示す図である。たとえばエラー補正部318は、エラー検出器312によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータRGBを、訂正用バッファ316に格納されたピクセルデータRGB'に置換する。図3において座標(X, Y)は、現在受信しているピクセルを示す。ピクセルデータRGB'は、エラーが検出されたピクセルの近傍のピクセルのデータである。近傍のピクセルとは、水平方向に(左方向に)隣接するピクセルP_Hであってもよいし、ひとつ前のラインに垂直方向(上方向)に隣接するピクセルP_Vであってもよい。

30

【0054】

なお、1行目のピクセルについては、上方向に隣接するラインが存在しない。そこで、訂正用バッファ316は、1フレーム前の1行目のピクセルデータをさらに保持してもよい。これにより、過去のフレームデータFRにもとづいて、補正が可能となる。

【0055】

(第2の処理)

エラー補正部318は、エラー検出器312によって誤ったデータであると判定されたパラレルデータに含まれるピクセルデータRGBを、訂正用バッファ316に格納されたピクセルデータRGB'から演算される値に置換する。たとえば現在のピクセル(X, Y)の近傍の複数のピクセルのデータRGB'を平均した値を利用してもよい。

40

【0056】

(第3の処理)

訂正用バッファ316は、1ライン分ではなく、1フレーム分のピクセルデータを保持してもよい。この場合、1フレーム前の同一ピクセルのピクセルデータを参照して、現在の誤ったデータを補正できる。

50

【 0 0 5 7 】

以上が伝送システム 1 0 の動作である。

画像データを構成するひとつのピクセルに注目すると、そのピクセルの輝度は、その近傍のピクセルの輝度に近い場合が多く、あるいは、同一ピクセルの 1 フレーム前の輝度に近い場合が多い。訂正用バッファ 3 1 6 は、過去において正しいと判定されたパラレルデータに含まれるピクセルデータを、正しい輝度を示すピクセルデータとして保持しておく。これにより、誤っていると判定されたパラレルデータに含まれるピクセルデータ、つまり誤った輝度を示すピクセルデータを、正しい輝度を示すピクセルデータから復元することができ、画像の乱れを抑制できる。

【 0 0 5 8 】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセス、それらの組み合わせには、さまざまな変形例が存在しうる。以下、こうした変形例について説明する。

【 0 0 5 9 】

(変形例 1)

図 4 は、変形例 1 に係る伝送システム 1 0 a のブロック図である。

実施の形態では、伝送されるデータに、誤り検出符号 E D B を挿入することで、受信回路 3 0 側で伝送エラーを検出するようにしたが、本発明はそれには限定されない。この変形例では、送信回路 2 0 a は、エンコーダ 2 0 4 をさらに備える。

【 0 0 6 0 】

エンコーダ 2 0 4 は、送信ピクセルバッファ 2 0 0 に格納されたピクセルデータ R G B および同期信号 S Y N C および誤り検出符号 E D B を受け、それにもとづいて M (= 4) 個のパラレルデータ P D 1 ~ P D 4 にエンコードする。エンコードは、受信回路 3 0 a 側において、コードエラーを検出可能なアルゴリズムが採用される。たとえば、8 B 1 0 B 符号化、1 0 B 1 2 B 符号化、6 4 B / 6 6 B 符号化、マンチェスター符号、R L L (R u n L e n g t h L i m i t e d e n c o d i n g) 方式、E F M (E i g h t t o F o u r t e e n M o d u l a t i o n) などを用いてもよい。特に 8 B 1 0 B、1 0 B 1 2 B 符号化などの D C バランスエンコードを採用した場合、ビットストリームのハイレベルとローレベルの出現頻度を均一化できるため、E M I 対策にもなる。

【 0 0 6 1 】

つまり、この変形例では、誤り検出ビット E D B にもとづくエラー検出、同期信号にもとづくエラー検出に加えて、受信側におけるデコード処理によるエラー検出が可能となっている。

【 0 0 6 2 】

受信回路 3 0 a は、デコーダ 3 0 6 をさらに備える。デコーダ 3 0 6 は、エンコーダ 2 0 4 と逆の手順で、パラレルデータ P D 1 ~ P D 4 から、誤り検出符号 E D B、同期信号 S Y N C、ピクセルデータ R G B をデコードする。デコードされたデータは、受信ピクセルバッファ 3 0 8 に格納される。

エラー検出器 3 1 2 は、デコーダ 3 0 6 のデコード結果にもとづいて、パラレルデータ P D 1 ~ P D 4 が正しいデータであるか誤ったデータであるかを判定する。デコーダ 3 0 6 は、コードエラーを検出すると、コードエラー信号 C E をアサート(たとえばハイレベル)する。コードエラーは、エンコーダ 2 0 4 におけるエンコードに際して生ずるエラー、伝送チャンネル 1 8 を伝送する際に生ずる伝送エラー、デコーダ 3 0 6 におけるデコードに際して生ずるエラーを含み得るが、受信回路 3 0 は、それらを特に区別せずに伝送エラーとして扱う。

【 0 0 6 3 】

この変形例によれば、より高い確率でエラー検出が可能となるため、より画像の乱れを抑制することができる。

【 0 0 6 4 】

(変形例 2)

10

20

30

40

50

実施の形態では、訂正用バッファ 316 が、1ライン分、あるいは1フレーム分のピクセルデータを保持する場合を説明したが本発明はそれには限定されない。

たとえば現在のピクセルと最隣接する2個、あるいは4個の程度のピクセルのみを保持するようにしてもよい。あるいは、1ライン分あるいは1フレーム分のピクセルデータを圧縮して保持してもよいし、解像度を低下させて保持してもよい。この場合、メモリを大幅に削減することができる。

【0065】

(変形例3)

実施の形態では、4つのレーンで、7相のシリアル伝送を行う場合を説明したが、レーン数M、相数Nは特に限定されない。またRGBデータのビット数も特に限定されない。

【0066】

(変形例4)

実施の形態では、クロックレーンLCKを介してクロック信号CKを伝送する場合を説明したが、本発明はそれには限定されない。たとえばCDR (Clock Data Recovery)方式を採用して、クロック信号をシリアルデータに埋め込んでもよい。この場合、クロック信号とシリアルデータの位相ずれ(ジッタ)の問題から開放されるため、より大きな容量のデータ伝送に対応できる。

【0067】

(第5の処理)

実施の形態では、伝送エラーを、(i)誤り検出符号EDB、(ii)同期信号にもとづいて検出し、あるいは(ii)エラー検出可能な形式でエンコードする場合について説明したが、エラー検出の方法は特に限定されず、その他の方式を用いてもよい。

【0068】

最後に、伝送システム10の用途を説明する。

図5は、電子機器を示す斜視図である。図5の電子機器500は、ノートPCやタブレット端末、スマートフォン、ポータブルゲーム機、オーディオプレイヤーなどであり得る。電子機器500は、筐体502に内蔵された画像処理装置12、伝送システム10、表示装置14を備える。表示装置14は、具体的には、ディスプレイパネル504およびその駆動回路506を備える。駆動回路506は、タイミングコントローラ506a、ゲートドライバ506bおよびデータドライバ506cを備える。

【0069】

あるいは伝送システム10は、車載用のカーナビゲーションシステム、あるいはコンソールパネルに設置されるディスプレイへのデータ伝送に利用可能である。車載では、ノイズに対する強い耐性が求められるため、伝送システム10の用途として好適である。また伝送システム10は、ぱちんこ遊技機などに利用することもできる。ぱちんこ遊技機では、球が釘にあたるときにノイズが発生し、伝送エラーの原因となるが、伝送システム10を用いることで画像乱れを低減できる。

【0070】

実施の形態にもとづき、具体的な語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

【符号の説明】

【0071】

1...電子機器、10...伝送システム、12...画像処理装置、14...表示装置、20...送信回路、200...送信ピクセルバッファ、202...誤り検出符号生成部、204...エンコーダ、206...パラレルシリアル変換器、208...差動ドライバ、210...PLL回路、300...差動レシーバ、302...シリアルパラレル変換器、304...DLL回路、306...デコーダ、308...受信ピクセルバッファ、310...クロック生成部、312...エラー検出器、314...同期信号生成部、316...訂正用バッファ、318...エラー補正部、18...伝送チャネル、30...受信回路。

10

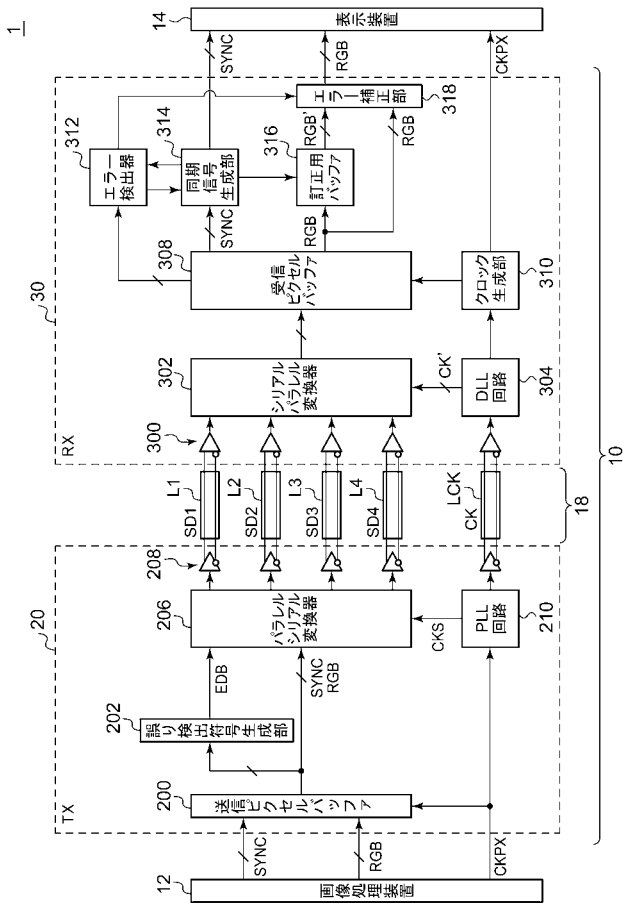
20

30

40

50

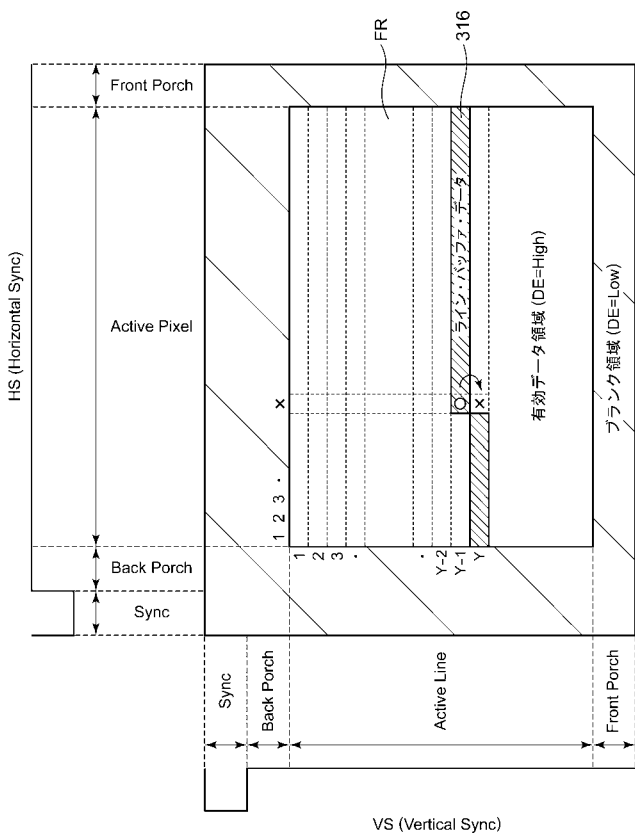
【図1】



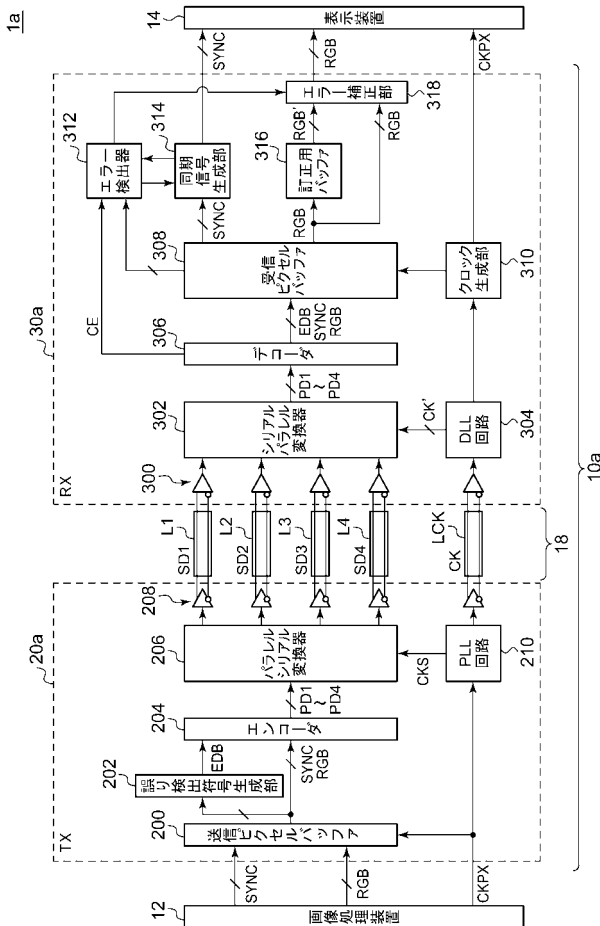
【図2】

	6	5	4	3	2	1	0
PD1	(G	R	R	R	R	R	R)
PD2	(B	B	G	G	G	G	G)
PD3	(DE	VS	HS	B	B	B	B)
PD4	(EDB	B	B	G	G	R	R)

【図3】



【図4】



【 図 5 】

