

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-255035

(P2013-255035A)

(43) 公開日 平成25年12月19日(2013.12.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/378 (2011.01)	HO4N 5/335 780	4M118
HO4N 5/374 (2011.01)	HO4N 5/335 740	5C024
HO1L 27/146 (2006.01)	HO1L 27/14 A	
HO1L 27/14 (2006.01)	HO1L 27/14 D	

審査請求 未請求 請求項の数 6 OL (全 14 頁)

(21) 出願番号 特願2012-128262 (P2012-128262)
 (22) 出願日 平成24年6月5日(2012.6.5)

(71) 出願人 000004112
 株式会社ニコン
 東京都千代田区有楽町1丁目12番1号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 網井 史郎
 東京都千代田区有楽町一丁目12番1号
 株式会社ニコン内
 Fターム(参考) 4M118 AA10 AB01 BA14 CA02 CA24
 CA32 DD04 FA06 GA02 GC08
 GC14 GD03 GD04 HA22 HA31
 5C024 AX01 EX22 EX43 EX52 GX03
 GX07 GX24 GY31 HX12 HX23
 HX40 HX57

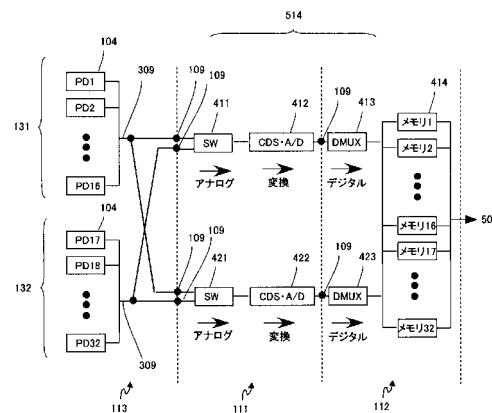
(54) 【発明の名称】 撮像素子

(57) 【要約】

【課題】出力線、バンプおよびCDS・A/D回路のいずれかに異常があった場合にはセル全体からの画素信号が得られない、または、異常がない場合であってもセルとCDS・A/D回路との組み合わせが固定されていて処理の自由度が低い。

【解決手段】入射光を画素信号に変換する複数の画素を含む単位グループと、前記単位グループに対応して設けられ、前記単位グループの前記複数の画素のそれぞれから読み出される前記画素信号が出力される出力線との組を複数有する撮像部と、入力された画素信号をデジタル化して出力する複数のA/D変換部と、前記複数の出力線のそれぞれを前記複数のA/D変換部のいずれに入力させるかを切り替える切替部とを備える撮像素子が提供される。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

入射光を画素信号に変換する複数の画素を含む単位グループと、前記単位グループに対応して設けられ、前記単位グループの前記複数の画素のそれぞれから読み出される前記画素信号が出力される出力線との組を複数有する撮像部と、

入力された画素信号をデジタル化して出力する複数の A / D 変換部と、

複数の前記出力線のそれぞれを前記複数の A / D 変換部のいずれに入力させるかを切り替える切替部と
を備える撮像素子。

【請求項 2】

前記撮像部は一の基板に配されるとともに、前記複数の A / D 変換部および前記切替部は、前記一の基板に積層された他の基板に配されている請求項 1 に記載の撮像素子。

【請求項 3】

前記複数の出力線のそれぞれは、複数の配線に分岐しており、前記複数の配線のそれぞれに対応したバンプにより前記他の基板へ電氣的に接続されている請求項 2 に記載の撮像素子。

【請求項 4】

前記撮像部は、裏面照射型である請求項 1 から 3 のいずれか 1 項に記載の撮像素子。

【請求項 5】

前記複数の A / D 変換部の少なくとも一つは、処理速度が他と異なる請求項 1 から 4 のいずれか 1 項に記載の撮像素子。

【請求項 6】

前記複数の A / D 変換部の少なくとも一つは、デジタル化のビット数が他と異なる請求項 1 から 5 のいずれか 1 項に記載の撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子に関する。

【背景技術】

【0002】

裏面照射型撮像チップと信号処理チップが、複数画素をまとめたセル単位ごとにマイクロバンプを介して接続された撮像ユニットが知られている。

【先行技術文献】

【特許文献】

【特許文献 1】特開 2006 - 49361 号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

上記撮像ユニットにあっては、一つのセルに対して一つの出力線が一つのバンプにより一つの CDS・A / D 回路に入力されている。しかしながら、出力線、バンプおよび CDS・A / D 回路のいずれかに異常があった場合にはセル全体からの画素信号が得られない、または、異常がない場合であってもセルと CDS・A / D 回路との組み合わせが固定されていて処理の自由度が低いという不具合があった。

【課題を解決するための手段】

【0004】

本発明の第 1 の態様においては、入射光を画素信号に変換する複数の画素を含む単位グループと、前記単位グループに対応して設けられ、前記単位グループの前記複数の画素のそれぞれから読み出される前記画素信号が出力される出力線との組を複数有する撮像部と、入力された画素信号をデジタル化して出力する複数の A / D 変換部と、前記複数の出力線のそれぞれを前記複数の A / D 変換部のいずれに入力させるかを切り替える切替部とを

10

20

30

40

50

備える撮像素子が提供される。

【0005】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0006】

【図1】本実施形態に係る裏面照射型のMOS型撮像素子の断面図である。

【図2】撮像チップの画素配列と単位グループを説明する図である。

【図3】撮像チップの単位グループに対応する回路図である。

【図4】本実施形態に係る撮像装置の構成を示すブロック図である。

【図5】駆動部の機能ブロックの一部を示す。

【図6】信号処理部等の機能的構成を示すブロック図である。

【図7】他の撮像素子の単位グループを模式的に示す。

【図8】単位グループ内の画素ユニットの回路図を示す。

【発明を実施するための形態】

【0007】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0008】

図1は、本実施形態に係る裏面照射型の撮像素子100の断面図である。撮像素子100は、入射光に対応した画素信号を出力する撮像チップ113と、画素信号を処理する信号処理チップ111と、画素信号を記憶するメモリチップ112とを備える。これら撮像チップ113、信号処理チップ111およびメモリチップ112は積層されており、Cu等の導電性を有するパンプ109により互いに電氣的に接続される。

【0009】

なお、図示するように、入射光は主に白抜き矢印で示すZ軸プラス方向へ向かって入射する。本実施形態においては、撮像チップ113において、入射光が入射する側の面を裏面と称する。また、座標軸に示すように、Z軸に直交する紙面左方向をX軸プラス方向、Z軸およびX軸に直交する紙面手前方向をY軸プラス方向とする。以降のいくつかの図においては、図1の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

【0010】

撮像チップ113の一例は、裏面照射型のMOSイメージセンサである。PD層106は、配線層108の裏面側に配されている。PD層106は、二次元的に配され、入射光に応じた電荷を蓄積する複数のPD(フォトダイオード)104、および、PD104に対応して設けられたトランジスタ105を有する。

【0011】

PD層106における入射光の入射側にはパッシベーション膜103を介してカラーフィルタ102が設けられる。カラーフィルタ102は、互いに異なる波長領域を透過する複数の種類を有しており、PD104のそれぞれに対応して特定の配列を有している。カラーフィルタ102の配列については後述する。カラーフィルタ102、PD104およびトランジスタ105の組が一つの画素を形成する。

【0012】

カラーフィルタ102における入射光の入射側には、それぞれの画素に対応して、マイクロレンズ101が設けられる。マイクロレンズ101は、対応するPD104へ向けて入射光を集光する。

【0013】

配線層108は、PD層106からの画素信号を信号処理チップ111に伝送する配線107を有する。配線107は多層であってもよく、また、受動素子および能動素子が設

10

20

30

40

50

けられてもよい。

【0014】

配線層108の表面には複数のバンプ109が配される。当該複数のバンプ109が信号処理チップ111の対向する面に設けられた複数のバンプ109と位置合わせされて、撮像チップ113と信号処理チップ111とが加圧等されることにより、位置合わせされたバンプ109同士が接合されて、電氣的に接続される。

【0015】

同様に、信号処理チップ111およびメモリチップ112の互いに対向する面には、複数のバンプ109が配される。これらのバンプ109が互いに位置合わせされて、信号処理チップ111とメモリチップ112とが加圧等されることにより、位置合わせされたバンプ109同士が接合されて、電氣的に接続される。

10

【0016】

なお、バンプ109間の接合には、固相拡散によるCuバンプ接合に限らず、はんだ溶融によるマイクロバンプ結合を採用しても良い。また、バンプ109は、例えば後述する一つの単位グループに対して一つまたは数个程度設ければ良い。したがって、バンプ109の大きさは、PD104のピッチよりも大きくても良い。また、画素が配列された画素領域以外の周辺領域において、画素領域に対応するバンプ109よりも大きなバンプを併せて設けても良い。

【0017】

信号処理チップ111は、表裏面にそれぞれ設けられた回路を互いに接続するTSV(シリコン貫通電極)110を有する。TSV110は、周辺領域に設けられることが好ましい。また、TSV110は、撮像チップ113の周辺領域、メモリチップ112にも設けられて良い。

20

【0018】

図2は、撮像チップ113の画素配列と単位グループ131を説明する図である。特に、撮像チップ113を裏面側から観察した様子を示す。画素領域には2000万個以上もの画素がマトリックス状に配列されている。本実施形態においては、隣接する4画素×4画素の16画素が一つの単位グループ131を形成する。図の格子線は、隣接する画素がグループ化されて単位グループ131を形成する概念を示す。単位グループ131を形成する画素の数はこれに限られず1000個程度、例えば32画素×64画素でもよいし、それ以上でもそれ以下でもよい。

30

【0019】

画素領域の部分拡大図に示すように、単位グループ131は、緑色画素Gb、Gr、青色画素Bおよび赤色画素Rの4画素から成るいわゆるベイヤー配列を、上下左右に4つ内包する。緑色画素は、カラーフィルタ102として緑色フィルタを有する画素であり、入射光のうち緑色波長帯の光を受光する。同様に、青色画素は、カラーフィルタ102として青色フィルタを有する画素であって青色波長帯の光を受光し、赤色画素は、カラーフィルタ102として赤色フィルタを有する画素であって赤色波長帯の光を受光する。

【0020】

図3は、撮像チップ113の単位グループ131に対応する回路図である。図において、代表的に点線で囲む矩形が、1画素に対応する回路を表す。なお、以下に説明する各トランジスタの少なくとも一部は、図1のトランジスタ105に対応する。

40

【0021】

上述のように、単位グループ131は、16画素から形成される。それぞれの画素に対応する16個のPD104は、それぞれ転送トランジスタ302に接続され、各転送トランジスタ302の各ゲートには、転送パルスが供給されるTX配線307に接続される。本実施形態において、TX配線307は、16個の転送トランジスタ302に対して共通接続される。

【0022】

各転送トランジスタ302のドレインは、対応する各リセットトランジスタ303のソ

50

ースに接続されると共に、転送トランジスタ302のドレインとリセットトランジスタ303のソース間のいわゆるフローティングディフュージョンFDが増幅トランジスタ304のゲートに接続される。リセットトランジスタ303のドレインは電源電圧が供給されるVdd配線310に接続され、そのゲートはリセットパルスが供給されるリセット配線306に接続される。本実施形態において、リセット配線306は、16個のリセットトランジスタ303に対して共通接続される。

【0023】

各々の増幅トランジスタ304のドレインは電源電圧が供給されるVdd配線310に接続される。また、各々の増幅トランジスタ304のソースは、対応する各々の選択トランジスタ305のドレインに接続される。選択トランジスタの各ゲートには、選択パルスが供給されるデコーダ配線308に接続される。本実施形態において、デコーダ配線308は、16個の選択トランジスタ305に対してそれぞれ独立に設けられる。そして、各々の選択トランジスタ305のソースは、共通の出力配線309に接続される。負荷電流源311は、出力配線309に電流を供給する。すなわち、選択トランジスタ305に対する出力配線309は、ソースフォロアにより形成される。なお、負荷電流源311は、撮像チップ113側に設けても良いし、信号処理チップ111側に設けても良い。

10

【0024】

ここで、電荷の蓄積開始から蓄積終了後の画素出力までの流れを説明する。リセット配線306を通じてリセットパルスがリセットトランジスタ303に印加され、同時にTX配線307を通じて転送パルスが転送トランジスタ302に印加されると、PD104およびフローティングディフュージョンFDの電位はリセットされる。

20

【0025】

PD104は、転送パルスの印加が解除されると、受光する入射光を電荷に変換して蓄積する。その後、リセットパルスが印加されていない状態で再び転送パルスが印加されると、蓄積された電荷はフローティングディフュージョンFDへ転送され、フローティングディフュージョンFDの電位は、リセット電位から電荷蓄積後の信号電位になる。そして、デコーダ配線308を通じて選択パルスが選択トランジスタ305に印加されると、フローティングディフュージョンFDの信号電位の変動が、増幅トランジスタ304および選択トランジスタ305を介して出力配線309に伝わる。これにより、リセット電位と信号電位とに対応する画素信号は、単位画素から出力配線309に出力される。

30

【0026】

図示するように、本実施形態においては、単位グループ131を形成する16画素に対して、リセット配線306とTX配線307が共通である。すなわち、リセットパルスと転送パルスはそれぞれ、16画素全てに対して同時に印加される。したがって、単位グループ131を形成する全ての画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。ただし、蓄積された電荷に対応する画素信号は、それぞれの選択トランジスタ305が選択パルスによって順次印加されて、選択的に出力配線309に出力される。また、リセット配線306、TX配線307、出力配線309は、単位グループ131毎に別個に設けられる。

【0027】

このように単位グループ131を基準として回路を構成することにより、単位グループ131ごとに電荷蓄積時間を制御することができる。換言すると、隣接する単位グループ131同士で、異なった電荷蓄積時間による画素信号をそれぞれ出力させることができる。更に言えば、一方の単位グループ131に1回の電荷蓄積を行わせている間に、他方の単位グループ131に何回もの電荷蓄積を繰り返させてその都度画素信号を出力させることにより、これらの単位グループ131同士で異なるフレームレートで動画用の各フレームを出力することもできる。

40

【0028】

図4は、本実施形態に係る撮像装置の構成を示すブロック図である。撮像装置500は、撮影光学系としての撮影レンズ520を備え、撮影レンズ520は、光軸OAに沿って

50

入射する被写体光束を撮像素子100へ導く。撮影レンズ520は、撮像装置500に対して着脱できる交換式レンズであっても構わない。撮像装置500は、撮像素子100、システム制御部501、測光部503、ワークメモリ504、記録部505、および表示部506を主に備える。

【0029】

撮影レンズ520は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図4では瞳近傍に配置された仮想的な1枚のレンズで当該撮影レンズ520を代表して表している。

【0030】

撮像素子100は、上記撮像チップ113に加えて、駆動部502および信号処理部514を有する。駆動部502は、システム制御部501からの指示に従って撮像素子100のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。信号処理部514は、撮像チップ113の複数のPD104からの画素信号をアナログ化する等の信号処理をする。

10

【0031】

信号処理部514は、デジタル化した画素信号をシステム制御部501の画像処理部511へ引き渡す。画像処理部511は、ワークメモリ504をワークスペースとして種々の画像処理を施し、画像データを生成する。例えば、JPEGファイル形式の画像データを生成する場合は、ベイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部505に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部506に表示される。

20

【0032】

測光部503は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部503は、例えば100万画素程度のAEセンサを含む。システム制御部501の演算部512は、測光部503の出力を受けてシーンの領域ごとの輝度を算出する。演算部512は、算出した輝度分布に従ってシャッタ速度、絞り値、ISO感度を決定する。測光部503は撮像素子100で兼用してもよい。なお、演算部512は、撮像装置500を動作させるための各種演算も実行する。

【0033】

駆動部502および信号処理部514は、一部または全部が撮像チップ113に搭載されてもよいし、一部または全部が信号処理チップ111に搭載されてもよい。システム制御部501の一部が撮像チップ113または信号処理チップ111に搭載されてもよい。

30

【0034】

図5は、駆動部502の機能ブロックの一部を示す。駆動部502は、グループ制御テーブル150と、画素駆動部156と、AD制御部152と、アドレス付与部154とを有する。

【0035】

グループ制御テーブル150は、複数の単位グループ131のそれぞれを制御するのに用いる情報を有している。当該情報は撮影条件等に応じてシステム制御部501から書き込まれる。当該情報の例は、単位グループ131を特定する情報と、当該単位グループ131の各画素に対してリセットパルスおよび転送パルスを与えるタイミング、または、基準タイミングに対するそれらのシフト量等である。他の情報については後述する。

40

【0036】

画素駆動部156は、グループ制御テーブル150を参照し、単位グループ131に対応付けられた情報に基づいて、当該単位グループ131の各画素、特に各画素の転送トランジスタ302等を駆動する。これにより、画素駆動部156は、グループ制御テーブル150を参照し、単位グループ131ごとにリセットパルス、転送パルスおよび選択パルスを制御して、電荷蓄積制御を実行する。画素駆動部156、AD制御部152およびアドレス付与部154については後述する。

【0037】

50

図4は、信号処理部等の機能的構成を示すブロック図である。信号処理部514は、単位グループ131、132の出力配線309にバンプを介して電氣的に接続されたスイッチ411、421、スイッチ411、421に対応して設けられた信号処理回路412、422、信号処理回路412、422、に対応して設けられたデマルチプレクサ413、423、および、画素メモリ414を有する。

【0038】

図4に示す例において、スイッチ411、信号処理回路412およびデマルチプレクサ413の組と、スイッチ421、信号処理回路422およびデマルチプレクサ423の組とが設けられている。さらに、一方の単位グループ131からの出力配線309が分岐して、それぞれバンプ109を介して二つのスイッチ411、421に接続されている。同様に、他方の単位グループ132からの出力配線309が分岐して、それぞれバンプ109を介して二つのスイッチ411、421に接続されている。

10

【0039】

スイッチ411は、AD制御部152により制御され、二つの単位グループ131、132のうちのいずれの出力配線309を信号処理回路412に入力させるかを切り替える。同様に、スイッチ421も、AD制御部152により制御され、二つの単位グループ131、132のうちのいずれの出力配線309を信号処理回路412に入力させるかを切り替える。

【0040】

スイッチ411を介して入力された画素信号は、信号処理チップ111に形成された、相関二重サンプリング(CDS)・アナログ/デジタル(A/D)変換を行う信号処理回路412により、CDSおよびA/D変換が行われる。A/D変換された画素信号は、デマルチプレクサ413に引き渡され、それぞれの画素に対応する画素メモリ414に格納される。

20

【0041】

同様に、スイッチ421を介して入力された画素信号は、信号処理チップ111に形成された信号処理回路422により、CDSおよびA/D変換が行われる。A/D変換された画素信号は、デマルチプレクサ423に引き渡され、それぞれの画素に対応する画素メモリ414に格納される。

【0042】

画素メモリ414は、二つの信号処理回路412、422に共用される。アドレスが指摘されることにより、単位グループ131のPD1から16からの画素値が、対応する画素メモリ414のメモリ1から16に格納される。同様に、単位グループ132のPD17から32からの画素値が、対応する画素メモリ414のメモリ17から32に格納される。

30

【0043】

上記の通り図6に示す例では、二つの単位グループ131、132が二つの信号処理回路412、422と接続可能なので、接続の組み合わせは4通りある。いずれの組み合わせを選択するかは、グループ制御テーブル150を参照してAD制御部152がスイッチ411、421を切り替えることにより決定される。

40

【0044】

以下、接続の組み合わせを選択する具体例を説明する。第1の例は、バンプ109を含む信号線路の異常、信号処理回路412等の異常によって接続の組み合わせが選択される。

【0045】

この場合には、工場出荷時の試験において、または、使用中における画像上の異常値をシステム制御部501が検出することにより、異常なバンプ109、信号処理回路412等が特定される。当該異常なバンプ109、信号処理回路412等を特定する情報がグループ制御テーブル150に書き込まれる。

【0046】

50

A D制御部 152 は、グループ制御テーブル 150 に異常なバンプ 109、信号処理回路 412 等を特定する情報が書き込まれている場合に、当該異常なバンプ 109、信号処理回路 412 等を用いずに画素信号が出力される接続の組み合わせを選択する。例えば、図 6 に示す例において、信号処理回路 412 が異常である旨がグループ制御テーブル 150 に書き込まれている場合に、A D制御部 152 は、二つの単位グループ 131、132 に対して、異常な信号処理回路 412 に対応するスイッチ 411 を遮断するとともに、信号処理回路 422 に対応するスイッチ 421 を接続状態にする。この場合に、スイッチ 421 は二つの単位グループ 131、132 に対して時分割的に接続状態となってもよいし、同時に接続状態となってもよい。

【0047】

二つの単位グループ 131、132 に対して、一方の信号処理回路 422 しか用いない場合には、アドレス付与部 154 が単位グループ 131 からの出力と単位グループ 132 からの出力とにアドレスを付与する。これにより、信号処理回路 422 に対応するデマルチプレクサ 423 は、当該アドレスに基づいて、単位グループ 131 の PD1 から 16 からの画素値を、対応する画素メモリ 414 のメモリ 1 から 16 に格納するとともに、単位グループ 132 の PD17 から 32 からの画素値を、対応する画素メモリ 414 のメモリ 17 から 32 に格納する。

【0048】

なお、グループ制御テーブル 150 には、異常なバンプ 109、信号処理回路 412 等を特定する情報に代えて、二つの単位グループ 131、132 に接続されるべき信号処理回路 412 等を特定する情報が格納されてもよい。または、グループ制御テーブル 150 には、それぞれのスイッチ 411、421 を特定する情報に対応付けて、遮断状態とすべきか接続状態とすべきかを特定する情報が格納されてもよい。

【0049】

上記第 1 の例によれば、回路の異常に対する冗長性をもたせて、いずれの単位グループ 131 等からの画素信号も得ることができる。なおこの場合には、二つの信号処理回路 412、422 は同じ機能および性能を有することが好ましい。例えば、二つの信号処理回路 412、422 は同じ処理速度、デジタル化に対する同じビット数すなわち同じ解像度等であることが好ましい。

【0050】

第 2 の例は、二つの信号処理回路 412、422 は互いに異なる機能または性能を有する場合に、より適切な接続の組み合わせが選択される。例えば、異なる処理速度を有する信号処理回路 412、422 が設けられる。この場合に処理速度が速いほど、発熱量および消費電力（以降、まとめて発熱量等ということがある）が大きくなる、という正の相関を有する。発熱量が大きいと画像信号上のノイズが増える傾向がある。

【0051】

この場合に、グループ制御テーブル 150 には、二つの信号処理回路 412、422 のいずれの処理速度が速いか、または、発熱量等が大きいかを特定する情報が書き込まれている。A D制御部 152 は、システム制御部 501 から撮像の指示があった場合に、グループ制御テーブル 150 を参照して、変換速度の速さが優先のときには処理速度の速い方の信号処理回路 412 等が用いられるようにスイッチ 411、421 の一方を接続状態にして他方を遮断状態にする。また、A D制御部 152 は、発熱量等の大きさが優先の場合には発熱量等の小さい方の信号処理回路 412 等が用いられるようにスイッチ 411、421 の一方を接続状態にして他方を遮断状態にする。場合に、スイッチ 411、421 は二つの単位グループ 131、132 に対して、時分割的に接続状態となってもよいし、同時に接続状態となってもよい。

【0052】

処理速度の速さが優先か否か、発熱量等の大きさが優先か否かは、例えばシステム制御部 501 から指示される。これに代えて、A D制御部 152 が予め定められた判断条件、例えば撮像素子 100 の温度が閾値を超えるか否かに従って判断してもよい。

10

20

30

40

50

【 0 0 5 3 】

A D制御部 1 5 2 は、さらに、単位グループ 1 3 1、1 3 2の一方に対して、信号処理回路 4 1 2、4 2 2のうちの処理速度が速い方を接続し、他方に対して処理速度が遅い方を接続するようにスイッチ 4 1 1、4 2 1を制御してもよい。第 2の例のいずれの場合にあっても、アドレス付与部 1 5 4は、単位グループ 1 3 1の P D 1 から 1 6を画素メモリ 4 1 4のメモリ 1 から 1 6に対応付け、単位グループ 1 3 2の P D 1 7 から 3 2を画素メモリ 4 1 4のメモリ 1 7 から 3 2に対応付けるようにアドレスを付与する。

【 0 0 5 4 】

以上、第 2の例によれば、処理速度が優先か発熱量等が優先かに応じて、それぞれ適切な信号処理回路を用いることができる。さらに、二つの単位グループ 1 3 1、1 3 2に対して、上記優先事項が異なる場合に、一方に処理速度優先の信号処理回路を用い、他方に発熱量等優先の信号処理回路を用いることができる。

10

【 0 0 5 5 】

第 3の例は、二つの信号処理回路 4 1 2、4 2 2は互いに異なる他の機能または性能を有する場合に、より適切な接続の組み合わせが選択される。例えば、異なるデジタル化のビット数を有する信号処理回路 4 1 2、4 2 2が設けられる。異なるデジタル化のビット数の例は例えば 1 2ビットと 1 6ビットである。この場合にビット数が多いほど多階調を得ることができるが、その後には扱う信号量が多くなるという、正の相関を有する。また、ビット数が多いほど、処理速度は遅くなるという負の相関を有する場合がある。

【 0 0 5 6 】

この場合に、グループ制御テーブル 1 5 0には、二つの信号処理回路 4 1 2、4 2 2のいずれのビット数が多いか、または、いずれの信号量が大きいかを特定する情報が書き込まれている。A D制御部 1 5 2は、システム制御部 5 0 1から撮像の指示があった場合に、グループ制御テーブル 1 5 0を参照して、ビット数が優先の場合にはビット数の多い方の信号処理回路 4 1 2等が用いられるようにスイッチ 4 1 1、4 2 1の一方を接続状態にして他方を遮断状態にする。また、A D制御部 1 5 2は、信号量が優先の場合には信号量の少ない方の信号処理回路 4 1 2等が用いられるようにスイッチ 4 1 1、4 2 1の一方を接続状態にして他方を遮断状態にする。

20

【 0 0 5 7 】

A D制御部 1 5 2は、さらに、単位グループ 1 3 1、1 3 2の一方に対して、信号処理回路 4 1 2、4 2 2のうちのビット数が多い方を接続し、他方に対してビット数が少ない方を接続するようにスイッチ 4 1 1、4 2 1を制御してもよい。なお第 3の例において、時分割的に接続状態となっても同時に接続状態となってもよいこと、および、いずれの機能等を優先するかをシステム制御部 5 0 1が指示してもよし、A D制御部 1 5 2が判断してもよいことは、第 2の例と同様である。また、アドレス付与部 1 5 4の機能についても第 2の例と同様である。

30

【 0 0 5 8 】

以上、第 3の例によれば、ビット数が優先か信号量が優先かに応じて、それぞれ適切な信号処理回路を用いることができる。さらに、二つの単位グループ 1 3 1、1 3 2に対して、上記優先事項が異なる場合に、一方にビット数優先の信号処理回路を用い、他方に信号量優先の信号処理回路を用いることができる。なお、優先事項を信号量とビット数との比較に代えて、処理速度とビット数との比較にしてもよい。

40

【 0 0 5 9 】

図 7は他の撮像素子 6 5 4の単位グループ 6 5 5を模式的に示す。図 8は単位グループ 6 5 5内の画素ユニット 6 5 6の回路図を示す。

【 0 0 6 0 】

単位グループ 6 5 5は、図 2と同様にペイヤー配列で画素が二次元的に配列されている。行選択線は画素 2行に一つずつ設けられおり、各行選択線に 2行分の画素が共通に接続されている。さらに列選択線が画素 2列に一つずつ設けられおり、各列選択線に 2列分の画素が共通に接続されている。

50

【0061】

また、ペイヤー配列における一単位が画素ユニット656を形成している。すなわち、画素ユニット656は4画素Gb、Gr、B、Rを有する。

【0062】

電源配線Vdd、リセット配線は、単位グループ131に含まれる画素全体で共通に接続されている。また、Gb転送配線は、単位グループ131のうち画素Gbで共通に接続されている。同様に、Gr転送配線は単位グループ131のうち画素Grで共通に接続され、B転送配線は単位グループ131のうち画素Bで共通に接続され、R転送配線は単位グループ131のうち画素Rで共通に接続されている。さらに、リセット配線および各転送配線は複数の単位グループ131間では別個に設けられる。

10

【0063】

画素ユニット603の画素Gb、Gr、B、Rはリセットトランジスタ620、増幅トランジスタ622、選択トランジスタ624、642を共有している。また、画素Gb1は転送トランジスタ626、628を有する。同様に、画素Grは転送トランジスタ630、632を有し、画素Bは転送トランジスタ634、636を有し、画素Rは転送トランジスタ638、640を有する。

【0064】

各画素に注目した場合には、当該画素とリセットトランジスタ620および増幅トランジスタ622の接続関係は、図3と同じである。一方、転送トランジスタ626等は図3と接続関係が異なる。画素Gbの転送トランジスタ626のゲート、ドレイン、ソースはそれぞれ、Gb転送配線、行選択線1、転送トランジスタ628のゲートに接続される。また、転送トランジスタ628のソース、ドレインはそれぞれ、画素GbのPDの一端、増幅トランジスタ622のゲートに接続される。画素Gr、B、Rの接続関係も同様である。

20

【0065】

また、列選択線は、画素ユニット656の各転送トランジスタ626、630、634、638のドレインに接続されている。また、画素ユニット656の出力配線604には、列選択線とゲートが接続された選択トランジスタ642が設けられている。

【0066】

出力配線604は画素2列に一つずつ設けられているが、互いに電氣的に接続されている。さらに、出力配線604は二つに分岐して、それぞれ、パンプ606、608に接続されている。一方のパンプ606はスイッチ610を介して一方のA/D変換回路614の入力側に接続されている。他方のパンプ608はスイッチ612を介して他方のA/D変換回路616の入力側に接続されている。

30

【0067】

図7および図8の形態において、各画素の画像信号は下記の通りに読み出される。なお、説明を簡単にするためにリセット動作の説明を省く。

【0068】

行選択線のいずれか、例えば行選択線1がオンされる。その状態でいずれかの転送線路、例えばGb転送配線がオンされる。その状態でさらに、列選択線のいずれか、例えば列選択線1がオンされる。これにより、単位グループ655の内の一つの画素ユニット656の画素Gbの転送トランジスタ626、628が両方オンになり、画素Gbの電荷が増幅トランジスタ622のゲートに転送される。ここで、行選択線1がオン状態なので、選択トランジスタ624もオンになっており、増幅トランジスタ622のゲートに転送された電荷に応じて増幅された画素信号が、当該画素ユニット653に対応した出力配線604から出力される。

40

【0069】

さらに、行選択線1およびGb転送配線をオン状態に保って、列選択線のオン状態を順次切り替えることにより、それぞれの出力配線604から、1行分の画素Gbの画素信号が順次出力される。よって、画素Gbからの画素信号が1画素分ずつパンプ606を介し

50

てA/D変換回路614に入力される。この場合に、各画素ユニット656には選択トランジスタ642が配されているので、列選択線で選択されていない画素ユニット656の画素Gbからの出力が遮断される。よって、単位グループ655の1行分の画素Gbの画素信号のそれぞれが、他の画素信号の影響を受けることなく読み出されて画素メモリ414に格納される。

【0070】

次に、行選択線1およびGr転送配線がオンされた状態で、列選択線のオン状態を順次切り替えることにより、それぞれの出力配線604から、1行分の画素Grの画素信号が順次出力される。同様に、行選択線1およびB転送配線がオンされた状態で列選択線のオン状態を順次切り替えることにより、それぞれの出力配線604から1行分の画素Bの画素信号が順次出力され、行選択線1およびR転送配線がオンされた状態で列選択線のオン状態を順次切り替えることにより、それぞれの出力配線604から1行分の画素Rの画素信号が順次出力される。

10

【0071】

以上により、単位グループ655の2行分の画素の画素信号が読み出される。次に行選択線2をオンにして上記手順を繰り返すことにより単位グループ655の次の2行分の画素の画素信号が読み出される。すべての行選択線に対して上記手順を繰り返すことにより、単位グループ655内のすべての画素の画素信号が読み出される。

【0072】

また、画素ユニットが4画素からなり、行選択配線は画素2行ごとに配され、出力配線は画素2列ごとに配されているが、これに限られない。例えば、画素ユニットがm行n列からなる場合に、単位グループに対して、行選択配線をm行ごとに一つずつ、出力配線をn列ごとに一つずつ設けるとともに、 $m \times n$ 個の別個の転送配線を設けてもよい。なお、各転送配線は画素グループ内で共通であってよい。

20

【0073】

上記図7および図8に示す単位グループ655を、図1から図6に示す単位グループ131、132に代えて本実施形態を適用することができる。なお、単位グループと信号処理回路との組み合わせは図6に示す2対2、図7に示す1対2に限られず、1対多または多対多であれば数は限られない。

【0074】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

30

【0075】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

40

【符号の説明】

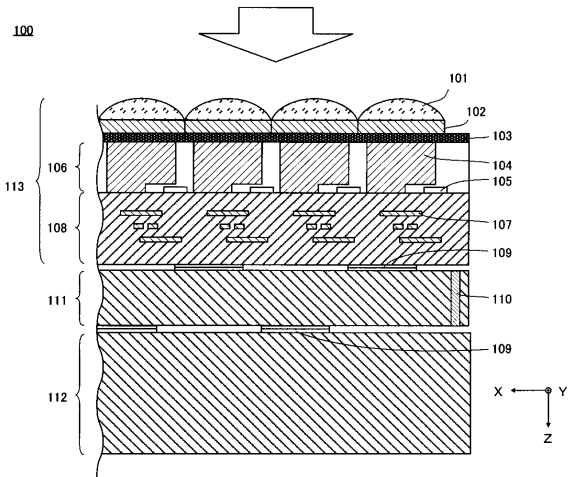
【0076】

100 撮像素子、101 マイクロレンズ、102 カラーフィルタ、103 パッシベーション膜、104 PD、105 トランジスタ、106 PD層、107 配線、108 配線層、109 パンプ、110 TSV、111 信号処理チップ、112 メモリチップ、113 撮像チップ、131 単位グループ、132 単位グループ、150 グループ制御テーブル、152 AD制御部、154 アドレス付与部、156 画素駆動部、302 転送トランジスタ、303 リセットトランジスタ、304 増幅トランジスタ、305 選択トランジスタ、306 リセット配線、307 TX配線

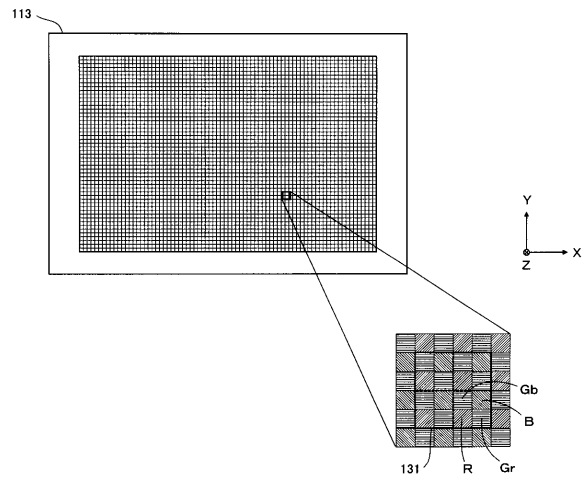
50

、 3 0 8 デコーダ配線、 3 0 9 出力配線、 3 1 0 V d d 配線、 3 1 1 負荷電流源、 4 1 1 スイッチ、 4 1 2 信号処理回路、 4 1 3 デマルチプレクサ、 4 1 4 画素メモリ、 4 2 1 スイッチ、 4 2 2 信号処理回路、 4 2 3 デマルチプレクサ、 5 0 0 撮像装置、 5 0 1 システム制御部、 5 0 2 駆動部、 5 0 3 測光部、 5 0 4 ワークメモリ、 5 0 5 記録部、 5 0 6 表示部、 5 1 1 画像処理部、 5 1 2 演算部、 5 1 4 信号処理部、 5 2 0 撮影レンズ、 6 0 4 出力配線、 6 0 6 バンプ、 6 0 8 バンプ、 6 1 0 スイッチ、 6 1 2 スイッチ、 6 1 4 A / D 変換回路、 6 1 6 A / D 変換回路、 6 2 0 リセットトランジスタ、 6 2 2 増幅トランジスタ、 6 2 4 選択トランジスタ、 6 2 6 転送トランジスタ、 6 2 8 転送トランジスタ、 6 3 0 転送トランジスタ、 6 3 2 転送トランジスタ、 6 3 4 転送トランジスタ、 6 3 6 転送トランジスタ、 6 3 8 転送トランジスタ、 6 4 0 転送トランジスタ、 6 4 2 選択トランジスタ、 6 5 4 撮像素子、 6 5 5 単位グループ、 6 5 6 画素ユニット

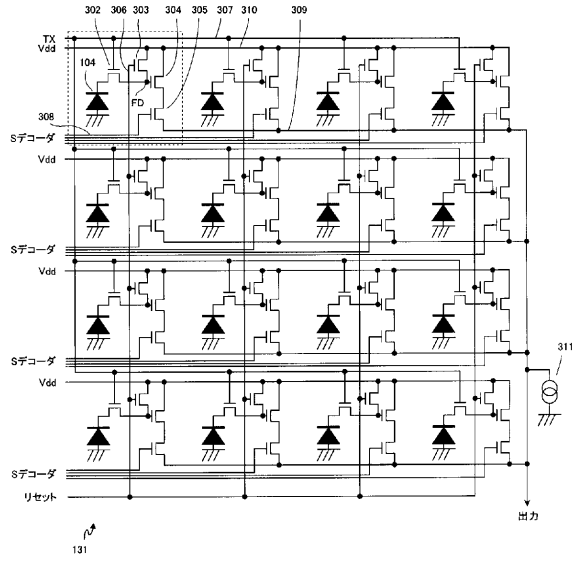
【 図 1 】



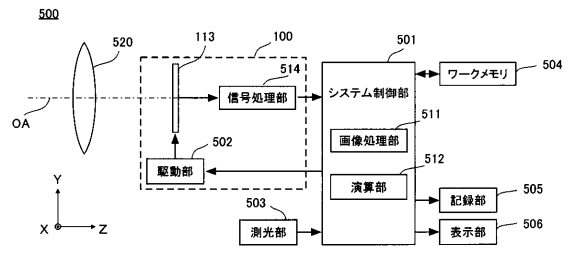
【 図 2 】



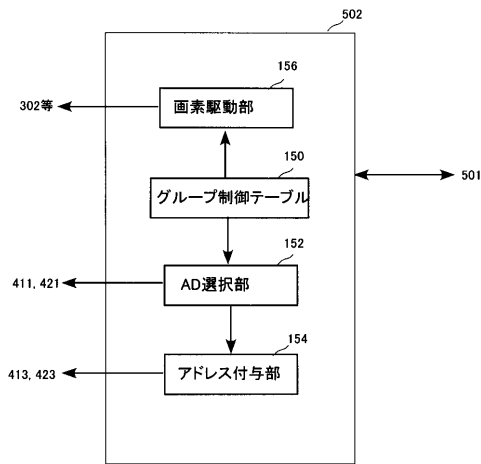
【図3】



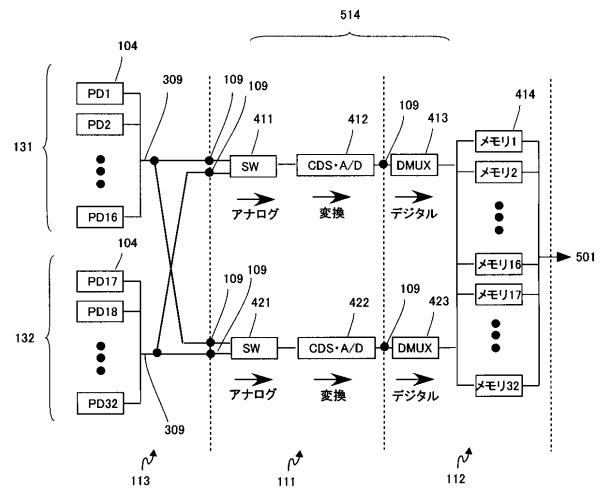
【図4】



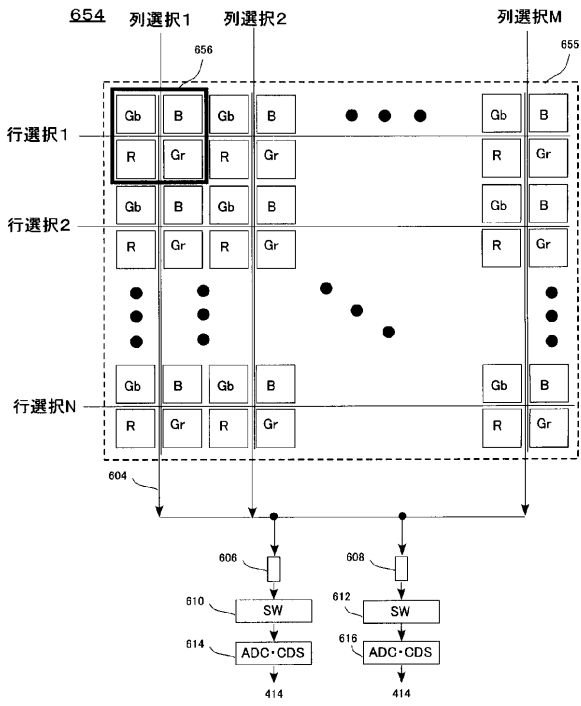
【図5】



【図6】



【 図 7 】



【 図 8 】

