

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-146893

(P2014-146893A)

(43) 公開日 平成26年8月14日(2014.8.14)

(51) Int.Cl.
H03M 3/02 (2006.01)

F I
H03M 3/02

テーマコード(参考)
5J064

審査請求 未請求 請求項の数 6 O L (全 13 頁)

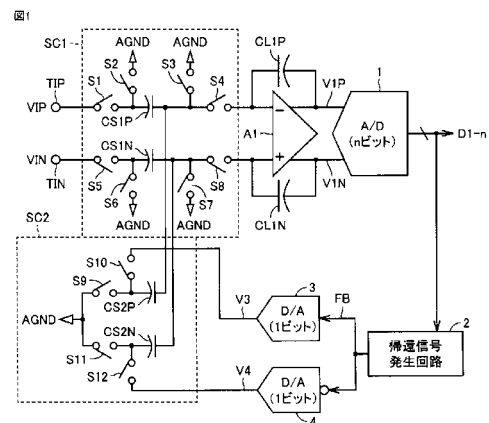
(21) 出願番号 特願2013-13128 (P2013-13128)
(22) 出願日 平成25年1月28日(2013.1.28)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 110001195
特許業務法人深見特許事務所
(72) 発明者 富澤 淳
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
(72) 発明者 西川 和康
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
(72) 発明者 諸熊 健一
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
Fターム(参考) 5J064 AA01 BA03 BC06 BC07 BC10

(54) 【発明の名称】 マルチビットΔΣ変調器およびそれを用いたマルチビットA/D変換器

(57) 【要約】

【課題】高精度なマルチビット ΔΣ変調器を提供する。
【解決手段】このマルチビット ΔΣ変調器は、差動入力信号を第1の周期 T₁でサンプリングして積分する積分回路と、第2の周期 T₂(=2ⁿ・T₁)で積分回路の出力信号をデジタル信号D₁~D_nに変換するA/D変換器1と、そのデジタル信号D₁~D_nを2値の帰還信号FBに変換する帰還信号生成回路2と、第1の周期 T₁で帰還信号FBの論理レベルを電圧に変換する1ビットのD/A変換器3,4と、D/A変換器3,4で生成された電圧に応じた量の電荷を積分回路の積分値から減算する減算回路とを備える。したがって、nビットのD/A変換器の製造ばらつきの影響を受けない。
【選択図】図1



【特許請求の範囲】

【請求項 1】

アナログ入力信号を n ビット（ただし、 n は 2 以上の整数である）のデジタル信号列に変換するマルチビット変調器であって、

前記アナログ入力信号の電圧に応じた量の電荷を第 1 の周期でサンプリングし、サンプリングした電荷量を積分し、積分値に応じた電圧の信号を出力する第 1 の積分回路と、

前記第 1 の周期の 2^n 倍の第 2 の周期で前記第 1 の積分回路の出力信号の電圧を n ビットのデジタル信号に変換して出力する A / D 変換器と、

前記 A / D 変換器で生成されたデジタル信号を 2 値の帰還信号に変換する帰還信号生成回路とを備え、

前記帰還信号は前記第 1 の周期で第 1 または第 2 の論理レベルに設定され、

前記第 2 の周期内において前記帰還信号が前記第 1 の論理レベルとなる時間は前記デジタル信号の値を示しており、

さらに、前記第 1 の周期で前記帰還信号の論理レベルを電圧に変換する 1 ビットの D / A 変換器と、

前記 D / A 変換器で生成された電圧に応じた量の電荷を前記第 1 の積分回路の積分値から前記第 1 の周期で減算する減算回路とを備える、マルチビット変調器。

【請求項 2】

前記帰還信号発生回路は、

前記第 1 の周期のクロック信号のパルス数をカウントし、そのカウント値を示す n ビットのカウント信号を出力し、前記第 2 の周期でリセットされるカウンタと、

前記デジタル信号の値と前記カウント信号の値との大小を比較し、比較結果を示す信号を前記帰還信号として出力する比較器とを含む、請求項 1 に記載のマルチビット変調器。

【請求項 3】

前記帰還信号発生回路は、

前記第 1 の周期のクロック信号のパルス数をカウントし、そのカウント値を示す n ビットのアップカウント信号を出力し、前記第 2 の周期でリセットされるアップカウンタと、

前記第 1 の周期のクロック信号のパルス数をカウントし、そのカウント値を示す n ビットのダウンカウント信号を出力し、前記第 2 の周期でリセットされるダウンカウンタと、

前記アップカウント信号および前記ダウンカウント信号のうちのいずれか一方のカウント信号を選択するマルチプレクサと、

前記デジタル信号の値と前記マルチプレクサによって選択された前記アップカウント信号または前記ダウンカウント信号の値との大小を比較し、比較結果を示す信号を前記帰還信号として出力する比較器とを含む、請求項 1 に記載のマルチビット変調器。

【請求項 4】

前記帰還信号発生回路は第 1 および第 2 の信号保持回路と加算器とを含み、

前記第 1 の信号保持回路は、前記 A / D 変換器で生成された n ビットのデジタル信号を前記第 1 の周期で取り込み、取り込んだデジタル信号を保持および出力し、

前記第 2 の信号保持回路は、前記加算器から出力される n ビットのデジタル信号を前記第 1 の周期で取り込み、取り込んだデジタル信号を保持および出力し、

前記加算器は、前記第 1 および第 2 の信号保持回路から出力される n ビットのデジタル信号を加算して前記第 2 の信号保持回路に出力するとともに、キャリーアウト信号を前記帰還信号として出力する、請求項 1 に記載のマルチビット変調器。

【請求項 5】

さらに、前記第 1 の積分回路と前記 A / D 変換器との間に介挿され、前記第 1 の積分回路の出力信号の電圧に応じた量の電荷を前記第 1 の周期でサンプリングし、サンプリングした電荷量を積分し、積分値に応じた電圧の信号を出力する第 2 の積分回路を備え、

前記 A / D 変換器は、前記第 2 の周期で前記第 2 の積分回路の出力信号の電圧を n ビットのデジタル信号に変換して出力する、請求項 1 から請求項 4 までのいずれか 1 項に記載

10

20

30

40

50

のマルチビット 変調器。

【請求項 6】

請求項 1 から請求項 5 までのいずれか 1 項に記載のマルチビット 変調器と、前記マルチビット 変調器から出力されるデジタル信号列のノイズを除去してデジタルコードに変換するデジタルフィルタとを備える、マルチビット A / D 変換器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明はマルチビット 変調器およびそれを用いたマルチビット A / D 変換器に関し、特に、アナログ入力信号を複数ビットのデジタル信号列に変換するマルチビット 10
変調器と、それを用いたマルチビット A / D 変換器に関する。

【背景技術】

【0002】

M E M S (Micro Electro Mechanical Systems) 技術による加速度センサや角速度センサの検出精度は近年急速に向上し、それらの制御に用いるセンサ A S I C (Application Specific Integrated Circuit) の S / N (signal-noise) 比の向上も要求されている。センサ A S I C の入力部分である A / D (Analog/Digital) 変換器も高次数化などにより高 S / N 比を実現できる回路構成となっている。

【0003】

特許文献 1 は、実際のクロック周波数を上げずに、高 S / N 化、入力信号の広帯域化を実現することができる 型 A / D 変換器を提供することを目的としている。このため、コンパレータ、D F F (D Flip-Flop)、D / A 変換器を複数組用意し、インターリーブ動作を行なうことによって、実効的なオーバーサンプリング率を上げている。つまり、フィードバックのクロック周波数を上げることで分解能を改善している。 20

【0004】

また、特許文献 2 には、高精度化を実現する高次数のシングルビット 変調器が開示されている。 型 A / D 変換器において、 変調器が微小 A C 入力または無入力の場合に、量子化データの量子化ノイズ中に発生するトーン成分が出力に現れないようにする。5 つの積分器は縦続接続され、それぞれの出力は加算され、その加算結果は比較器により、1 ビットのデータ信号に量子化される。1 ビットの D / A 変換器はデータ信号の極性に 30
応じて、+ V r e f または - V r e f の量子化ステップを、積分器への入力から減算する。積分器の入力側に D C オフセット電圧を加えることによって量子化ノイズのトーン成分の周波数をデジタルフィルタのパスバンド外に移動させる。したがって、このトーン成分はデジタルフィルタによってフィルタリングされ、折返しなどによってパスバンドに現れることがない。一般に高次の 変調器において動作の安定性のために、フィードバックの内蔵 D / A 変換器はマルチビット化していることが好ましい。

【0005】

また、特許文献 3 には、オーバーサンプル比やアナログ積分器の次数を高くせずに、高精度化と広帯域化を実現するマルチビット A / D 変換器が開示されている。このマルチビット A / D 変換器は、アナログ入力信号とアナログ帰還信号との差の信号を出力する 40
アナログ加算器と、アナログ加算器の出力信号を積分するアナログ積分器と、アナログ積分器の出力信号を多ビットで量子化する n ビット量子化器と、減算器によって、n ビット量子化器の出力から、デジタル減算器の出力の最上位ビットを除く下位ビットを遅延器で遅延した信号を減算した信号の最上位ビットを出力する処理を行なうデジタル処理部と、デジタル処理部の出力信号をアナログ信号に変換してアナログ帰還信号として出力する 1 ビット D / A 変換器とから構成される。最上位ビットをフィードバックするので D / A 変換器で生じる量子化誤差は大きい。

【0006】

また、特許文献 4 には、A / D 変換器を高精度化するため、マルチビット 変調器の非線形性をキャリブレーションする方法が開示されている。キャリブレーション用マルチ 50

プレクサは、キャリブレーション時に電圧 0 を 変調器 (3 値出力) に与える。 + 1 プロセッサと補償回路の出力は総和部にて総和される。その値は A / D 変換器のデジタル出力である。 - 1 プロセッサの出力は、補償回路において、係数 に基づいて補償される。プロセッサは、フィルタの係数と接地電圧間を切り替えるアキュムレータ (レジスタおよび演算器) で構成されている。 係数は、キャリブレーション時間の間に プロセッサで計算される。 プロセッサは乗算器に値を出力する。キャリブレーション後、 の係数は凍結されて、キャリブレーション用のマルチプレクサはアナログ入力を選択する。マルチビット 変調器では、内蔵する D / A 変換器の非線形性により、補正が必要である。

【先行技術文献】

【特許文献】

【 0 0 0 7 】

【特許文献 1】特開平 6 - 3 2 6 6 1 0 号公報

【特許文献 2】特開平 7 - 1 4 3 0 0 6 号公報

【特許文献 3】特開 2 0 0 1 - 1 5 6 6 4 2 号公報

【特許文献 4】米国特許第 5 2 5 7 0 2 6 号明細書

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

以上のように、 変調器 (A / D 変換器) を高精度化するためには、 変調器の次数を上げることや、内部の量子化器のビット数を増やす必要があった。次数を上げて安定動作するためには、内部の量子化器のビット数を増やす必要があるので、内部の量子化器に関して着目する。量子化器のビット数を増やすと、内部の D / A 変換器のビット数を増やす必要があるが、D / A 変換器自体には製造ばらつきが生じる。このため、内蔵の D / A 変換器の精度が劣化し、 変調器全体としての精度が劣化する問題点があった。

【 0 0 0 9 】

それゆえに、この発明の主たる目的は、高精度なマルチビット 変調器と、それを用いたマルチビット A / D 変換器を提供することである。

【課題を解決するための手段】

【 0 0 1 0 】

この発明に係るマルチビット 変調器は、アナログ入力信号を n ビット (ただし、n は 2 以上の整数である) のデジタル信号列に変換するマルチビット 変調器であって、アナログ入力信号の電圧に応じた量の電荷を第 1 の周期でサンプリングし、サンプリングした電荷量を積分し、積分値に応じた電圧の信号を出力する第 1 の積分回路と、第 1 の周期の 2ⁿ 倍の第 2 の周期で第 1 の積分回路の出力信号の電圧を n ビットのデジタル信号に変換して出力する A / D 変換器と、A / D 変換器で生成されたデジタル信号を 2 値の帰還信号に変換する帰還信号生成回路とを備えたものである。帰還信号は、第 1 の周期で第 1 または第 2 の論理レベルに設定される。また、第 2 の周期内において帰還信号が第 1 の論理レベルとなる時間はデジタル信号の値を示している。このマルチビット 変調器は、さらに、第 1 の周期で帰還信号の論理レベルを電圧に変換する 1 ビットの D / A 変換器と、D / A 変換器で生成された電圧に応じた量の電荷を第 1 の積分回路の積分値から第 1 の周期で減算する減算回路とを備える。

【 0 0 1 1 】

また、この発明に係るマルチビット A / D 変換器は、マルチビット 変調器と、マルチビット 変調器から出力されるデジタル信号列のノイズを除去してデジタルコードに変換するデジタルフィルタとを備えたものである。

【発明の効果】

【 0 0 1 2 】

この発明に係るマルチビット 変調器では、A / D 変換器で生成された n ビットのデジタル信号を帰還信号発生回路によって 2 値の帰還信号に変換し、その帰還信号を 1 ビットの D / A 変換器によって第 1 の周期で電圧に変換して第 1 の積分回路に帰還させる。し

10

20

30

40

50

たがって、 n ビットのD/A変換器の代わりに帰還信号発生回路および1ビットのD/A変換器を設けたので、 n ビットのD/A変換器の製造ばらつきの影響を受けることがない。よって、高精度のマルチビット変調器を実現することができる。

【図面の簡単な説明】

【0013】

【図1】この発明の実施の形態1によるマルチビット変調器の構成を示す回路ブロック図である。

【図2】図1に示した帰還信号発生回路の構成を示すブロック図である。

【図3】この発明の実施の形態2によるマルチビット変調器の要部を示すブロック図である。

【図4】この発明の実施の形態3によるマルチビット変調器の要部を示すブロック図である。

【図5】この発明の実施の形態4によるマルチビット変調器の構成を示す回路ブロック図である。

【図6】この発明の実施の形態5によるマルチビットA/D変換器の構成を示すブロック図である。

【図7】図6に示したデジタルフィルタの構成を示すブロック図である。

【発明を実施するための形態】

【0014】

[実施の形態1]

本発明の実施の形態1によるマルチビット変調器は、図1に示すように、入力端子TIP, TIN、スイッチトキャパシタ回路SC1, SC2、差動増幅回路A1、キャパシタCL1P, CL1N、A/D変換器1、帰還信号発生回路2、およびD/A変換器3, 4を備える。

【0015】

入力端子TIP, TINは、それぞれ差動入力信号VIP, VINを受ける。差動入力信号VIP, VINの各々は、アナログ信号である。差動入力信号VIP, VINは、スイッチトキャパシタ回路SC1に与えられる。スイッチトキャパシタ回路SC1は、スイッチS1~S8およびキャパシタCS1P, CS1Nを含む。

【0016】

スイッチS1、キャパシタCS1P、およびスイッチS4は、入力端子TIPと差動増幅回路A1の反転入力端子(-入力端子)との間に直列接続される。スイッチS2の一方端子はスイッチS1とキャパシタCS1Pの一方電極との間のノードに接続され、スイッチS2の他方端子はリファレンス電圧AGNDを受ける。リファレンス電圧AGNDは、たとえば、電源電圧と接地電圧の間の電圧である。スイッチS3の一方端子はキャパシタCS1Pの他方電極とスイッチS4との間のノードに接続され、スイッチS3の他方端子はリファレンス電圧AGNDを受ける。

【0017】

同様に、スイッチS5、キャパシタCS1N、およびスイッチS8は、入力端子TINと差動増幅回路A1の非反転入力端子(+入力端子)との間に直列接続される。スイッチS6の一方端子はスイッチS5とキャパシタCS1Nの一方電極との間のノードに接続され、スイッチS6の他方端子はリファレンス電圧AGNDを受ける。スイッチS7の一方端子はキャパシタCS1Nの他方電極とスイッチS8との間のノードに接続され、スイッチS7の他方端子はリファレンス電圧AGNDを受ける。

【0018】

キャパシタCL1Pは、差動増幅回路A1の反転入力端子と非反転出力端子との間に接続される。キャパシタCL1Nは、差動増幅回路A1の非反転入力端子と反転出力端子との間に接続される。

【0019】

スイッチS1~S8のうちの奇数番のスイッチS1, S3, S5, S7と偶数番のスイ

10

20

30

40

50

ッチ S_2 , S_4 , S_6 , S_8 とは、第 1 の周期 T_1 で交互にオンされる。奇数番のスイッチ S_1 , S_3 , S_5 , S_7 がオンされると、キャパシタ C_{S1P} , C_{S1N} がそれぞれ差動入力信号 V_{IP} , V_{IN} の電圧に充電され、キャパシタ C_{S1P} , C_{S1N} にはそれぞれ差動入力信号 V_{IP} , V_{IN} の電圧に応じた量の電荷が蓄えられる。

【 0 0 2 0 】

次に、偶数番のスイッチ S_2 , S_4 , S_6 , S_8 がオンされると、キャパシタ C_{S1P} , C_{S1N} に蓄えられた電荷がそれぞれキャパシタ C_{L1P} , C_{L1N} に転送される。差動増幅回路 A_1 は、それぞれキャパシタ C_{L1P} , C_{L1N} の端子間電圧に応じたレベルの差動信号 V_{1P} , V_{1N} を出力する。

【 0 0 2 1 】

すなわち、スイッチトキャパシタ回路 SC_1 、差動増幅回路 A_1 、およびキャパシタ C_{L1P} , C_{L1N} 回路は、積分回路を構成する。この積分回路は、差動入力信号 V_{IP} , V_{IN} の電圧に応じた量の電荷を第 1 の周期 T_1 でサンプリングし、サンプリングした電荷量を積分し、積分値に応じた電圧の差動信号 V_{1P} , V_{1N} を出力する。

【 0 0 2 2 】

A/D 変換器 1 は、差動信号 V_{1P} , V_{1N} の差の電圧を第 2 の周期 T_2 で n ビット (ただし、 n は 2 以上の整数であり、たとえば 2 である) のデジタル信号 $D_1 \sim D_n$ に変換する。第 2 の周期 T_2 は、第 1 の周期 T_1 の $2n$ 倍 (たとえば 4 倍) の周期である。帰還信号発生回路 2 は、 A/D 変換器 1 の出力信号 $D_1 \sim D_n$ を 2 値の帰還信号 FB に変換する。帰還信号 FB は、第 1 の周期 T_1 で「H」レベルまたは「L」レベルに設定される。また、第 2 の周期 T_2 内において帰還信号 FB が「H」レベルとなる時間はデジタル信号 $D_1 \sim D_n$ の値を示している。なお、本願発明の A/D 変換器の分解能が小さいものが A/D 変換器 1 として用いられる。

【 0 0 2 3 】

図 2 は、帰還信号発生回路 2 の構成を示すブロック図である。図 2 において、帰還信号発生回路 2 は、アップカウンタ 10 および比較器 11 を含む。アップカウンタ 10 は、第 1 の周期 T_1 のクロック信号 CLK のパルス数をカウントし、そのカウント値を示す n ビットのカウンタ信号 $C_1 \sim C_n$ を出力する。比較器 11 は、 A/D 変換器 1 からのデジタル信号 $D_1 \sim D_n$ の値とアップカウンタ 10 からのカウンタ信号 $C_1 \sim C_n$ の値との大小を比較し、比較結果を示す信号を帰還信号 FB として出力する。

【 0 0 2 4 】

デジタル信号 $D_1 \sim D_n$ の値がカウンタ信号 $C_1 \sim C_n$ の値よりも大きい場合は帰還信号 FB は「H」レベルにされ、デジタル信号 $D_1 \sim D_n$ の値がカウンタ信号 $C_1 \sim C_n$ の値以下である場合は帰還信号 FB は「L」レベルにされる。

【 0 0 2 5 】

たとえば、デジタル信号 D_1 , D_2 の値が 0 である場合、カウンタ信号 C_1 , C_2 の値は第 1 の周期 T_1 で順次 0 , 1 , 2 , 3 と変化し、帰還信号 FB は第 2 の周期 T_2 の全期間で「L」レベルにされる。また、デジタル信号 D_1 , D_2 の値が 1 である場合、帰還信号 FB は第 2 の周期 T_2 のうちの最初の $1/4$ 期間だけ「H」レベルにされ、後の $3/4$ 期間は「L」レベルにされる。

【 0 0 2 6 】

また、デジタル信号 D_1 , D_2 の値が 2 である場合、帰還信号 FB は第 2 の周期 T_2 のうちの最初の $1/2$ 期間だけ「H」レベルにされ、後の $1/2$ 期間は「L」レベルにされる。また、デジタル信号 D_1 , D_2 の値が 3 である場合、帰還信号 FB は第 2 の周期 T_2 のうちの最初の $3/4$ 期間だけ「H」レベルにされ、後の $1/4$ 期間は「L」レベルにされる。

【 0 0 2 7 】

D/A 変換器 3 は、帰還信号 FB の論理レベルを第 1 の周期 T_1 でアナログ電圧 V_3 に変換する。帰還信号 FB が「H」レベルである場合はアナログ電圧 V_3 は所定の正電圧 V_P となり、帰還信号 FB が「L」レベルである場合はアナログ電圧 V_3 はリファレンス電

10

20

30

40

50

圧 A G N D となる。

【 0 0 2 8 】

D / A 変換器 4 は、帰還信号 F B の反転信号の論理レベルを第 1 の周期 1 でアナログ電圧 V 4 に変換する。帰還信号 F B が「 H 」レベルである場合はアナログ電圧 V 4 は所定の負電圧 V N となり、帰還信号 F B が「 L 」レベルである場合はアナログ電圧 V 3 はリファレンス電圧 A G N D となる。

【 0 0 2 9 】

スイッチトキャパシタ回路 S C 2 は、スイッチ S 9 ~ S 1 2 およびキャパシタ C S 2 P , C S 2 N を含む。キャパシタ C S 2 P の一方電極は、スイッチ S 9 を介してリファレンス電圧 A G N D のラインに接続されるとともに、スイッチ S 1 0 を介して D / A コンバータ 3 の出力電圧 V 3 を受ける。キャパシタ C S 2 P の他方電極は、キャパシタ C S 1 P とスイッチ S 4 の間のノードに接続される。

10

【 0 0 3 0 】

キャパシタ C S 2 N の一方電極は、スイッチ S 1 1 を介してリファレンス電圧 A G N D のラインに接続されるとともに、スイッチ S 1 2 を介して D / A コンバータ 4 の出力電圧 V 4 を受ける。キャパシタ C S 2 N の他方電極は、キャパシタ C S 1 N とスイッチ S 8 の間のノードに接続される。

【 0 0 3 1 】

スイッチ S 9 ~ S 1 2 のうちの奇数番のスイッチ S 9 , S 1 1 と偶数番のスイッチ S 1 0 , S 1 2 とは、第 1 の周期 1 で交互にオンされる。奇数番のスイッチ S 9 , S 1 1 がスイッチ S 1 , S 3 , S 5 , S 7 とともにオンされると、キャパシタ C S 2 P , C S 2 N の各々の端子間電圧が 0 V にリセットされる。

20

【 0 0 3 2 】

次に、偶数番のスイッチ S 1 0 , S 1 2 がスイッチ S 2 , S 4 , S 6 , S 8 とともにオンされると、キャパシタ C S 1 P , C S 1 N に蓄えられた電荷がそれぞれキャパシタ C S 2 P , C S 2 N に転送される。

【 0 0 3 3 】

すなわち、スイッチトキャパシタ回路 S C 2 は、減算回路を構成する。この減算回路は、D / A 変換器 3 , 4 で生成された電圧 V 3 , V 4 に応じた量の電荷を上記積分回路の積分値から第 1 の周期 1 で減算する。

30

【 0 0 3 4 】

次に、図 1 および図 2 に示したマルチビット 変調器の動作について簡単に説明する。奇数番のスイッチ S 1 , S 3 , S 5 , S 7 , S 9 , S 1 1 と偶数番のスイッチ S 2 , S 4 , S 6 , S 8 , S 1 0 , S 1 2 とが、所定の第 1 の周期 1 で交互にオンされる。スイッチトキャパシタ回路 S C 1 、差動増幅回路 A 1 、およびキャパシタ C L 1 P , C L 1 N で構成される積分回路では、差動入力信号 V I P , V I N の電圧に応じた量の電荷が第 1 の周期 1 でサンプリングされ、サンプリングされた電荷量が積分され、積分値に応じた電圧の差動信号 V 1 P , V 1 N が出力される。

【 0 0 3 5 】

差動信号 V 1 P , V 1 N の電圧は、A / D 変換器 1 により、第 2 の周期 2 (= 2 ⁿ 1) で n ビットのデジタル信号 D 1 ~ D n に変換される。換言すると、A / D 変換器 1 は、デジタル信号 D 1 ~ D n の列を出力する。

40

【 0 0 3 6 】

また、デジタル信号 D 1 ~ D n は、帰還信号発生回路 2 により、第 1 の周期 2 の帰還信号 F B に変換される。帰還信号 F B は、デジタル信号 D 1 ~ D n の値に応じたパルス幅を持つ 2 値信号である。帰還信号 F B は、1 ビットの D / A コンバータ 3 , 4 によってアナログ電圧 V 3 , V 4 に変換される。スイッチトキャパシタ回路 S C 2 は、電圧 V 3 , V 4 に応じた量の電荷を上記積分回路の積分値から第 1 の周期 1 で減算する。このようにして、差動入力信号 V I P , V I N の電圧は、デジタル信号 D 1 ~ D n の列に変換される。

50

【0037】

次に、本実施の形態1の効果について説明する。従来のマルチビット変調器では、入力電圧に対して積分器で積分動作が実行され、積分器の出力電圧が後段のマルチビットA/D変換器で量子化される。A/D変換器の出力信号はマルチビットD/A変換器でアナログ電圧に変換されて、積分器にて減算される。A/D変換器にも製造ばらつきによる誤差が生じるが、この誤差は変調器におけるノイズシェイピングの対象となり、周波数域の高域へ移動し、結果として後段のデジタルフィルタで除去される。しかし、マルチビットD/A変換器の製造ばらつきの影響はノイズシェイピングの対象とならないため、結果としてS/N比が大幅に落ちてしまう。

【0038】

これに対して本実施の形態1では、A/D変換器1で生成されたデジタル信号D1~Dnを帰還信号発生回路2で2値の帰還信号FBに変換する。帰還信号FBのパルス幅は、デジタル信号D1~Dnの値に応じて変化する。スイッチトキャパシタ回路SC2に、帰還信号FBの値を積分回路の積分値から減算させる。この動作は、マルチビットD/A変換器でアナログ電圧に変換したデータ信号D1~Dnの値を積分結果から差し引くのと同じ動作となる。

【0039】

また、量子化器である内蔵A/D変換器1の分解能に相当するマルチビットD/A変換器がなく、帰還信号発生回路2と分解能が1ビットの内蔵D/A変換器3,4を設けたので、製造ばらつきの影響を受けない。その結果、マルチビット変調器であることに関わらず、製造ばらつきの影響による分解能の低下が生じないといった従来にない顕著な効果を奏する。

【0040】

[実施の形態2]

図3は、この発明の実施の形態2によるマルチビット変調器の要部を示すブロック図であって、図2と対比される図である。図3を参照して、このマルチビット変調器が実施の形態1のマルチビット変調器と異なる点は、帰還信号発生回路2が帰還信号発生回路15で置換されている点である。帰還信号発生回路15は、アップカウンタ10、ダウンカウンタ16、マルチプレクサ17、および比較器11を含む。

【0041】

アップカウンタ10は、図2で説明した通り、第1の周期1のクロック信号CLKのパルス数をカウントし、そのカウント値を示すnビットのカウント信号C1~Cnを出力する。たとえば、n=2である場合、カウント信号C1, C2の値は、0, 1, 2, 3, 0, 1, 2, 3, 0, ...とクロック信号CLKに同期して増加し、3(最大値)の次は0(最小値あるいは初期値)にリセットされる。

【0042】

ダウンカウンタ16は、第1の周期1のクロック信号CLKのパルス数をカウントし、そのカウント値を示すnビットのカウント信号C1~Cnを出力する。たとえば、n=2である場合、カウント信号C1, C2の値は、3, 2, 1, 0, 3, 2, 1, 0, ...とクロック信号CLKに同期して減少し、0(最小値)の次は3(最大値あるいは初期値)にリセットされる。

【0043】

アップカウンタ10およびダウンカウンタ16の出力信号C1~Cnは、マルチプレクサ17に与えられる。マルチプレクサ17は、切換信号Sが「H」レベルである場合はアップカウンタ10の出力信号C1~Cnを選択して通過させ、切換信号Sが「L」レベルである場合はダウンカウンタ16の出力信号C1~Cnを選択して通過させる。切換信号Sは、たとえば、第2の周期2の偶数倍の周期で交互に「H」レベルおよび「L」レベルにされる。

【0044】

比較器11は、A/D変換器1からのデジタル信号D1~Dnの値とマルチプレクサ1

10

20

30

40

50

7を通過したカウント信号C1～Cnの値との大小を比較し、比較結果を示す信号を帰還信号FBとして出力する。

【0045】

デジタル信号D1～Dnの値がカウント信号C1～Cnの値よりも大きい場合は帰還信号FBは「H」レベルにされ、デジタル信号D1～Dnの値がカウント信号C1～Cnの値以下である場合は帰還信号FBは「L」レベルにされる。

【0046】

アップカウンタ10が選択された場合は、図2で説明した通りである。ここでは、ダウンカウンタ16が選択された場合について説明する。たとえば、デジタル信号D1, D2の値が0である場合、カウント信号C1, C2の値は第1の周期1で順次3, 2, 1, 0と変化し、帰還信号FBは第2の周期2の全期間で「L」レベルにされる。また、デジタル信号D1, D2の値が1である場合、帰還信号FBは第2の周期2のうちの最初の3/4期間は「L」レベルにされ、後の1/4期間だけ「H」レベルにされる。

10

【0047】

また、デジタル信号D1, D2の値が2である場合、帰還信号FBは第2の周期2のうちの最初の1/2期間は「L」レベルにされ、後の1/2期間は「H」レベルにされる。また、デジタル信号D1, D2の値が3である場合、帰還信号FBは第2の周期2のうちの最初の1/4期間だけ「L」レベルにされ、後の3/4期間は「H」レベルにされる。

【0048】

他の構成および動作は、実施の形態1と同じであるので、その説明は繰り返さない。この実施の形態2でも、実施の形態1と同じ効果が得られる。

20

【0049】

[実施の形態3]

図4は、この発明の実施の形態3によるマルチビット変調器の要部を示すブロック図であって、図2と対比される図である。図4を参照して、このマルチビット変調器が実施の形態1のマルチビット変調器と異なる点は、帰還信号発生回路2が帰還信号発生回路20で置換されている点である。帰還信号発生回路20は、DF21, 22および加算器23を含む。

【0050】

DF21は、第1の周期1でA/D変換器1で生成されたnビットのデジタル信号D1～Dnを取り込み、取り込んだデジタル信号D1～Dnを保持および出力する。DF22は、第1の周期1で加算器23から出力されたnビットのデジタル信号を取り込み、取り込んだデジタル信号を保持および出力する。

30

【0051】

加算器23は、DF21から出力されたnビットのデジタル信号D1～DnとDF22から出力されたnビットのデジタル信号とを加算し、加算結果として、nビットのデジタル信号をDF22に出力するとともに、1ビットのキャリーアウト信号を帰還信号FBとして出力する。第2の周期2において帰還信号FBが「H」レベルになる時間の長さは、デジタル信号D1～Dnの値を示し、デジタル信号D1～Dnの値が小さいほど短くなり、デジタル信号D1～Dnの値が大きいほど長くなる。したがって、この帰還信号発生回路20は、結果として、1次のデジタル変調器と同じ動作をする。

40

【0052】

他の構成および動作は、実施の形態1と同じであるので、その説明は繰り返さない。この実施の形態3でも、実施の形態1, 2と同じ効果が得られる。また、この実施の形態3では、実施の形態1, 2よりも回路規模を縮小することができ、高精度の帰還信号FBを生成することができる。

【0053】

[実施の形態4]

図5は、この発明の実施の形態4によるマルチビット変調器の構成を示す回路プロ

50

ック図であって、図 1 と対比される図である。図 5 を参照して、このマルチビット 変調器が実施の形態 1 のマルチビット 変調器と異なる点は、差動増幅回路 A 1 と A / D 変換器 1 との間にもう 1 段の積分回路が介挿されている点である。この積分回路は、スイッチトキャパシタ回路 S C 3、差動増幅回路 A 2、およびキャパシタ C L 2 P、C L 2 N を含む。スイッチトキャパシタ回路 S C 3 は、スイッチ S 2 1 ~ S 2 8 およびキャパシタ C S 3 P、C S 3 N を含む。

【 0 0 5 4 】

スイッチ S 2 1、キャパシタ C S 3 P、およびスイッチ S 2 4 は、差動増幅回路 A 1 の非反転出力端子と差動増幅回路 A 2 の反転入力端子（- 入力端子）との間に直列接続される。スイッチ S 2 2 の一方端子はスイッチ S 2 1 とキャパシタ C S 3 P の一方電極との間のノードに接続され、スイッチ S 2 2 の他方端子はリファレンス電圧 A G N D を受ける。スイッチ S 2 3 の一方端子はキャパシタ C S 3 P の他方電極とスイッチ S 2 4 との間のノードに接続され、スイッチ S 2 3 の他方端子はリファレンス電圧 A G N D を受ける。

10

【 0 0 5 5 】

同様に、スイッチ S 2 5、キャパシタ C S 3 N、およびスイッチ S 2 8 は、差動増幅回路 A 1 の反転出力端子と差動増幅回路 A 2 の非反転入力端子（+ 入力端子）との間に直列接続される。スイッチ S 2 6 の一方端子はスイッチ S 2 5 とキャパシタ C S 3 N の一方電極との間のノードに接続され、スイッチ S 2 6 の他方端子はリファレンス電圧 A G N D を受ける。スイッチ S 2 7 の一方端子はキャパシタ C S 3 N の他方電極とスイッチ S 2 8 との間のノードに接続され、スイッチ S 2 7 の他方端子はリファレンス電圧 A G N D を受ける。

20

【 0 0 5 6 】

キャパシタ C L 2 P は、差動増幅回路 A 2 の反転入力端子と非反転出力端子との間に接続される。キャパシタ C L 2 N は、差動増幅回路 A 2 の非反転入力端子と反転出力端子との間に接続される。

【 0 0 5 7 】

スイッチ S 2 1 ~ S 2 8 のうちの奇数番のスイッチ S 2 1、S 2 3、S 2 5、S 2 7 と偶数番のスイッチ S 2 2、S 2 4、S 2 6、S 2 8 とは、第 1 の周期 1 で交互にオンされる。スイッチ S 2 1、S 2 3、S 2 5、S 2 7 は、スイッチ S 1、S 3、S 5、S 7、S 9、S 11 とともにオン / オフされる。スイッチ S 2 2、S 2 4、S 2 6、S 2 8 は、スイッチ S 2、S 4、S 6、S 8、S 10、S 12 とともにオン / オフされる。

30

【 0 0 5 8 】

奇数番のスイッチ S 2 1、S 2 3、S 2 5、S 2 7 がオンされると、キャパシタ C S 3 P、C S 3 N がそれぞれ差動増幅回路 A 1 の差動出力信号 V 1 P、V 1 N の電圧に充電され、キャパシタ C S 3 P、C S 3 N にはそれぞれ差動信号 V 1 P、V 1 N の電圧に応じた量の電荷が蓄えられる。

【 0 0 5 9 】

次に、偶数番のスイッチ S 2 2、S 2 4、S 2 6、S 2 8 がオンされると、キャパシタ C S 3 P、C S 3 N に蓄えられた電荷がそれぞれキャパシタ C L 2 P、C L 2 N に転送される。差動増幅回路 A 2 は、それぞれキャパシタ C L 2 P、C L 2 N の端子間電圧に応じたレベルの差動信号 V 2 P、V 2 N を出力する。

40

【 0 0 6 0 】

すなわち、スイッチトキャパシタ回路 S C 3、差動増幅回路 A 2、およびキャパシタ C L 2 P、C L 2 N は、積分回路を構成する。この積分回路は、差動入力信号 V 1 P、V 1 N の電圧に応じた量の電荷を第 1 の周期 1 でサンプリングし、サンプリングした電荷量を積分し、積分値に応じた電圧の差動信号 V 2 P、V 2 N を出力する。

【 0 0 6 1 】

A / D 変換器 1 は、差動信号 V 2 P、V 2 N の差の電圧を第 2 の周期 2 で n ビットのデジタル信号 D 1 ~ D n に変換する。他の構成および動作は、実施の形態 1 と同じであるので、その説明は繰り返さない。

50

【0062】

この実施の形態4では、2段の積分回路を設けたので、2次のマルチビット変調器となり、ノイズシェイピング能力が向上し、分解能の向上を図ることができる。

【0063】

なお、この実施の形態4では、2段の積分回路を設けたが、3段以上の積分回路を設けてもよい。

【0064】

[実施の形態5]

図6は、本発明の実施の形態5によるマルチビットA/D変換器の構成を示すブロック図である。図6において、このマルチビットA/D変換器は、マルチビット変調器25およびデジタルフィルタ26を備える。

10

【0065】

マルチビット変調器25は、実施の形態1~4のうちのいずれかの実施の形態(たとえば4)で示したものであり、差動入力信号VIP, VINをデジタル信号D1~Dnの列に変換する。デジタルフィルタ26は、デジタル信号D1~Dnの列の高域ノイズを除去し、さらに所望の分解能のデジタルコードに変換して出力する。

【0066】

図6は、デジタルフィルタ26の構成を例示するブロック図である。図6において、デジタルフィルタ26は、マルチビット変調器25内の積分回路の個数に1を加えた数の次数のSincフィルタを含む。図6では、3次のSincフィルタが示されている。このSincフィルタは、カスコード接続された3段の累積積分器31~33、デシメータ34、および3段の差分器35~36を含む。累積積分器31~33、デシメータ34、および差分器35~36の各々は、第2の周期2のクロック信号CLKに同期して動作する。デジタル信号D1~Dnの列は、初段の累積積分器31に与えられる。

20

【0067】

累積積分器31~33の各々は、加算器とDFFアレイを含み、入力されるデジタル信号D1~Dnを累積加算して次段に出力する。デシメータ34は、累積積分器33からのデジタル信号を1/Mに間引く。Mは、たとえば16である。差分器35~37の各々は、DFFアレイと減算器を含み、今回のデジタル信号から前回のデジタル信号を差し引いて次段に出力する。これにより、デジタル信号D1~Dnの列から高域ノイズを除去し、さらに所望の分解能のデジタルコードに変換して出力することができる。

30

【0068】

他の構成および動作は、実施の形態1と同じであるので、その説明は繰り返さない。この実施の形態5でも、実施の形態1~4と同じ効果が得られる。

【0069】

なお、本実施の形態5では、デジタルフィルタ26がSincフィルタで構成された場合について説明したが、これに限るものではなく、デジタルフィルタ26は、FIR(Finite-duration Impulse Response)フィルタでもよいし、IIR(Infinite-duration Impulse Response)フィルタでもよい。

【0070】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【符号の説明】

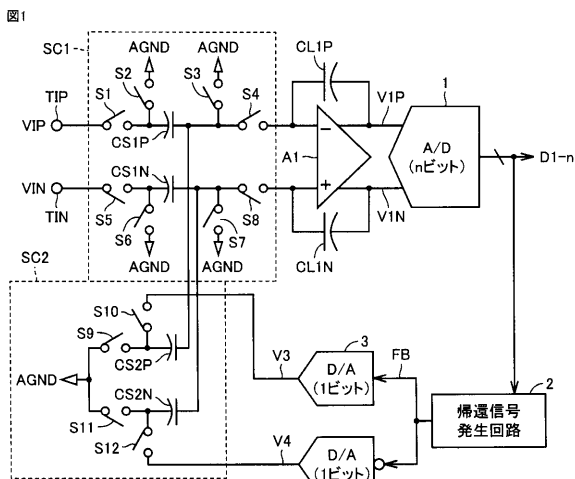
【0071】

1 A/D変換器、2, 15, 20 帰還信号発生回路、3, 4 D/A変換器、10 アップカウンタ、11 比較器、16 ダウンカウンタ、17 マルチプレクサ、21, 22 DFF、23 加算器、25 マルチビット変調器、26 デジタルフィルタ、31~33 累積積分器、34 デシメータ、35~36 差分器、A1, A2 差

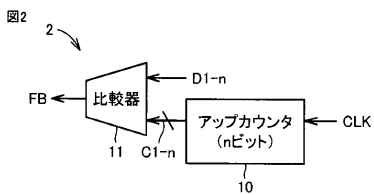
50

動増幅回路、CL1P, CL1N, CL2P, CL2N, CS1P, CS1N, CS2P, CS2N, CS3P, CS3N キャパシタ、S1~S12, S21~S28 スイッチ、SC1~SC3 スイッチトキャパシタ回路、TIP, TIN 入力端子。

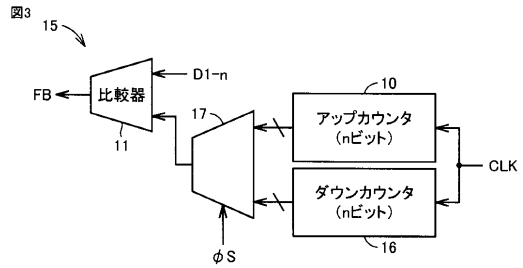
【図1】



【図2】



【図3】



【図4】

