

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-158197

(P2014-158197A)

(43) 公開日 平成26年8月28日(2014.8.28)

(51) Int.Cl. F I テーマコード(参考)
 H03M 7/30 (2006.01) H03M 7/30 Z 5J064

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号	特願2013-28661 (P2013-28661)	(71) 出願人	000000295 沖電気工業株式会社
(22) 出願日	平成25年2月18日 (2013.2.18)	(74) 代理人	100085198 弁理士 小林 久夫
		(74) 代理人	100098604 弁理士 安島 清
		(74) 代理人	100087620 弁理士 高梨 範夫
		(74) 代理人	100125494 弁理士 山東 元希
		(72) 発明者	山田 知彦 東京都港区虎ノ門一丁目7番12号 沖電気工業株式会社内
		Fターム(参考)	5J064 AA02 BA08 BD02 BD03

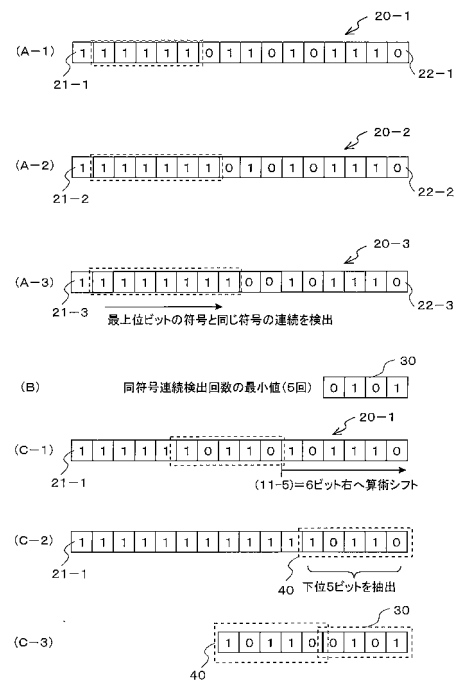
(54) 【発明の名称】 データ伝送回路及びデータ伝送方法

(57) 【要約】

【課題】データの正負で処理を分岐させることなくデータのビット数を圧縮することができるデータ伝送回路を提供する。

【解決手段】負数を2の補数で表現した整数データが複数入力され、入力された各整数データに対応する各ビット列について最上位ビット21と同符号で連続する同符号ビットの連続数を検出する同符号連続検出回路11と、各ビット列の連続数の中から最小連続数である最小値nを検出する最小値検出回路12と、各ビット列のそれぞれに対し、第1の値から最小値nを減じたビット数だけ右へ算術シフトし、最下位ビットから少なくとも有効桁数分のビットを抽出して最小値nをビットで表したものと結合するビット変換回路13と、を備えた。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

負数を 2 の補数で表現した整数データが複数入力され、入力された各整数データに対応する各ビット列について最上位ビットと同符号で連続する同符号ビットの連続数を検出する同符号連続検出回路と、

前記各ビット列の連続数の中から最小連続数である最小値 n を検出する最小値検出回路と、

前記各ビット列のそれぞれに対し、第 1 の値から前記最小値 n を減じたビット数だけ右へ算術シフトし、最下位ビットから少なくとも有効桁数分のビットを抽出して前記最小値 n をビットで表したものと結合するビット変換回路と、を備えた

ことを特徴とするデータ伝送回路。

10

【請求項 2】

前記ビット変換回路は、最下位ビットから前記有効桁数に 1 を加えた桁数分のビットを抽出することを特徴とする請求項 1 に記載のデータ伝送回路。

【請求項 3】

負数を 2 の補数で表現した整数データが複数入力されるステップと、

入力された各整数データに対応する各ビット列について最上位ビットと同符号で連続する同符号ビットの連続数を検出するステップと、

前記各ビット列の連続数の中から最小連続数である最小値 n を検出するステップと、

前記各ビット列のそれぞれに対し、第 1 の値から前記最小値 n を減じたビット数だけ右へ算術シフトし、最下位ビットから少なくとも有効桁数分のビットを抽出して前記最小値 n をビットで表したものと結合するステップと、を備えた

ことを特徴とするデータ伝送方法。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、データ伝送回路及びデータ伝送方法に関する。

【背景技術】**【0002】**

従来、デジタル化したセンサの出力信号に含まれる極性ビットを除いた上位ビットの連続するゼロ符号を検出してビットデータを圧縮するデータ伝送回路があった（特許文献 1 参照）。

30

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2002 - 230677 号公報（[0008] ~ [0010]、図 2）

【発明の概要】**【発明が解決しようとする課題】****【0004】**

40

しかしながら、一般にデジタルデータの負数は 2 の補数で表現され、最上位ビットを含む上位ビットに「1」が連続して出現することがあり、ゼロ符号の連続を検出してもゼロが検出されないことがある。したがって、2 の補数で表現された負数を極性ビットを用いた表現に変更してからゼロ符号の連続を検出する必要がある、データの正負によって処理を分岐させなければならないという課題があった。

【0005】

本発明は、上述のような課題を背景としてなされたもので、データの正負で処理を分岐させることなくデータのビット数を圧縮することができるデータ伝送回路を提供することを目的とする。

【課題を解決するための手段】

50

【 0 0 0 6 】

本発明のデータ伝送回路は、負数を2の補数で表現した整数データが複数入力され、入力された各整数データに対応する各ビット列について最上位ビットと同符号で連続する同符号ビットの連続数を検出する同符号連続検出回路と、前記各ビット列の連続数の中から最小連続数である最小値nを検出する最小値検出回路と、前記各ビット列のそれぞれに対し、第1の値から前記最小値nを減じたビット数だけ右へ算術シフトし、最下位ビットから少なくとも有効桁数分のビットを抽出して前記最小値nをビットで表したものと結合するビット変換回路と、を備えたものである。

【 0 0 0 7 】

本発明のデータ伝送方法は、負数を2の補数で表現した整数データが複数入力されるステップと、入力された各整数データに対応する各ビット列について最上位ビットと同符号で連続する同符号ビットの連続数を検出するステップと、前記各ビット列の連続数の中から最小連続数である最小値nを検出するステップと、前記各ビット列のそれぞれに対し、第1の値から前記最小値nを減じたビット数だけ右へ算術シフトし、最下位ビットから少なくとも有効桁数分のビットを抽出して前記最小値nをビットで表したものと結合するステップと、を備えたものである。

【 発明の効果 】

【 0 0 0 8 】

本発明のデータ伝送回路によれば、負数を2の補数で表現した整数データが複数入力され、入力された各整数データに対応する各ビット列について最上位ビットと同符号で連続する同符号ビットの連続数を検出する同符号連続検出回路を備える。このため、2の補数で表現された負数を極性ビットを用いた表現に変更する必要がなくなり、データの正負によって処理を分岐させる必要がなくなる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】本発明の実施の形態1に係るデータ伝送回路の構成を示すブロック図である。

【 図 2 】本発明の実施の形態1に係るデータ伝送回路のビット操作の流れを示す概略図である。

【 図 3 】本発明の実施の形態1に係るデータ伝送回路のビット操作の流れを示すフローチャートである。

【 発明を実施するための形態 】

【 0 0 1 0 】

実施の形態1 .

実施の形態に係るデータ伝送回路は、多チャンネル海中データ収集装置、特にソノブイにおけるデータ伝送回路に適用される。図1は、本発明の実施の形態1に係るデータ伝送回路100の構成を示すブロック図である。一般に、多チャンネル海中データ収集装置のデータ伝送は、センサで受信した信号を電気信号に変換し、符号化を施して行われる。本実施の形態1では、図1に示されるように、データ伝送回路100は、センサ1と、電気回路2と、サンプル・ホールド回路3-1, 3-2, 3-3と、アナログデジタル変換回路4-1, 4-2, 4-3と、パラレルシリアル変換回路5とを備えている。

【 0 0 1 1 】

なお、センサ1-1, 1-2, 1-3をセンサ1と総称することがある。また、電気回路2-1, 2-2, 2-3を電気回路2と総称することがある。また、サンプル・ホールド回路3-1, 3-2, 3-3をサンプル・ホールド回路3と総称することがある。また、アナログデジタル変換回路4-1, 4-2, 4-3をアナログデジタル変換回路4と総称することがある。また、図1には、センサ1、電気回路2、サンプル・ホールド回路3、アナログデジタル変換回路4、及びパラレルシリアル変換回路5がそれぞれ3つずつ設けられる例について示しているが、数はこれに限定されず、複数設けられていけばよい。

【 0 0 1 2 】

センサ1は、それぞれ任意の箇所において受信した音の信号を電気信号に変換するもの

である。なお、センサ 1 に入力される信号は、単音でも雑音でもよい。電気回路 2 は、各センサ 1 の出力信号の増幅及び周波数領域限定の処理を行うものである。

【0013】

サンプル・ホールド回路 3 は、電気回路 2 から出力されるアナログ信号を抜き出してサンプリングし、一定時間保持する回路である。アナログデジタル変換回路 4 は、サンプル・ホールド回路 3 でサンプリングされた信号を、負数を 2 の補数で表現した整数データとして数値化したデジタル信号とし、パラレルシリアル変換回路 5 に出力するものである。

【0014】

パラレルシリアル変換回路 5 は、同符号連続検出回路 1 1 と、最小値検出回路 1 2 と、ビット変換回路 1 3 とを備え、各アナログデジタル変換回路 4 からの各デジタル信号を変換処理し、シリアル信号として出力するものである。複数のアナログデジタル変換回路 4 からパラレルシリアル変換回路 5 に入力された信号は、図 1 に示されるように、同符号連続検出回路 1 1、最小値検出回路 1 2、ビット変換回路 1 3 の順に処理され、シリアル信号として出力される。なお、同符号連続検出回路 1 1、最小値検出回路 1 2、及びビット変換回路 1 3 の具体的な処理については後述する。

10

【0015】

図 2 は、本発明の実施の形態 1 に係るデータ伝送回路 1 0 0 のビット操作の流れを示す概略図である。以下、図 2 を用いて本実施の形態 1 のビット操作を説明する。

【0016】

対象ビット列 2 0 - 1, 2 0 - 2, 2 0 - 3 は、図 1 のアナログデジタル変換回路 4 - 1, 4 - 2, 4 - 3 からそれぞれ出力されたデジタル信号のデータに対応するビット列であり、例えば 16 ビットで構成される。なお、対象ビット列 2 0 - 1, 2 0 - 2, 2 0 - 3 の最上位のビットを最上位ビット 2 1 - 1, 2 1 - 2, 2 1 - 3 と称することがある。また、対象ビット列 2 0 - 1, 2 0 - 2, 2 0 - 3 の最下位のビットを最下位ビット 2 2 - 1, 2 2 - 2, 2 2 - 3 と称することがある。

20

【0017】

なお、対象ビット列 2 0 - 1, 2 0 - 2, 2 0 - 3 を対象ビット列 2 0 と総称することがある。また、最上位ビット 2 1 - 1, 2 1 - 2, 2 1 - 3 を最上位ビット 2 1 と総称することがある。また、最下位ビット 2 2 - 1, 2 2 - 2, 2 2 - 3 を最下位ビット 2 2 と総称することがある。

30

【0018】

同符号連続検出回路 1 1 は、各アナログデジタル変換回路 4 から出力された整数データに対応する対象ビット列 2 0 を、最上位ビット 2 1 に隣接するビットから順に最上位ビット 2 1 と異なる符号の異符号ビットが初めて表れるまで読み込み、最上位ビット 2 1 と同符号で連続する同符号ビットの連続数（以後、同符号連続数と称する）を検出する。

【0019】

ここで、図 2 の (A - 1) に示されるように、対象ビット列 2 0 - 1 の同符号連続数は「5」であり、図 2 の (A - 2) に示されるように、対象ビット列 2 0 - 2 の同符号連続数は「6」であり、図 2 の (A - 3) に示されるように、対象ビット列 2 0 - 3 の同符号連続数は「7」である。同符号連続検出回路 1 1 は、対象ビット列 2 0 - 1, 2 0 - 2, 2 0 - 3 のそれぞれの同符号連続数を最小値検出回路 1 2 に出力する。

40

【0020】

最小値検出回路 1 2 は、同符号連続検出回路 1 1 から出力されたそれぞれの同符号連続数の中から、最小連続数である最小値の「5」を検出し、最小値を 4 ビットで表したデータである「0101」（図 2 の (B)）をビット変換回路 1 3 に出力する。この 4 ビットデータ「0101」が、図 2 の (B) に示される最小値ビット列 3 0 である。最小値検出回路 1 2 は、最小値「5」が検出された対象ビット列 2 0 - 1 を示す情報もビット変換回路 1 3 に出力する。

【0021】

ビット変換回路 1 3 は、最小値「5」、及び最小値「5」が検出された対象ビット列 2

50

0 - 1を示す情報が最小値検出回路12から出力されると、図2の(C - 1)に示される対象ビット列20 - 1を「6」ビット右へ算術シフトする。ここで、算術シフトするビット数は、「11」から最小値である「5」を減じることで算出される。なお、この「11」が本発明における第1の値に相当する。

【0022】

次に、ビット変換回路13は、図2の(C - 2)に示されるような、算術シフトされた対象ビット列20 - 1について、最下位ビットから4ビットを抽出する。これは、図2の(A - 1)に示される対象ビット列20 - 1の有効桁数分のビットを抽出するための処理であり、この4ビットが本発明における有効桁数分のビットに相当する。ここで有効桁数は、図2の(A - 1)に示される対象ビット列20 - 1の情報のうちで保持することが求められる情報に関する有効桁を示す値である。図2の(A - 1)に示される対象ビット列20 - 1について有効桁数分のビットが抽出されたビット列の情報は、図2の(A - 1)に示される対象ビット列20 - 1の情報をできるだけ損なわないように保持された情報である。本実施の形態1では、ビット変換回路13は、上述したように抽出した4ビットの更にもう一つ上位のビットも抽出する。抽出ビット列40の最上位のビットは正負を表す情報となる。また、有効桁数の情報は予め記憶するようにしてもよいし、対象ビット列の長さ(この場合16ビット)から前記第1の値を減じることにより抽出するビット数を求めても良い。こうして、最下位ビットから有効桁数に1を加えた桁数分のビットである5ビットが抽出される。このように抽出されたビット列が、図2(C - 2)に示される抽出ビット列40である。そして、ビット変換回路13は、図2の(C - 3)に示されるように最小値ビット列30及び抽出ビット列40を結合し、記憶手段(図示省略)に記憶する。なお、ビット変換回路13は、対象ビット列20 - 1に対して行った図2の(C - 1) ~ (C - 3)の処理を、対象ビット列20 - 2及び対象ビット列20 - 3に対しても同様に行う。

【0023】

図3は、本発明の実施の形態1に係るデータ伝送回路100のビット操作の流れを示すフローチャートである。図3は、図2のビット操作を実現するフローチャートの一例である。

以下、図2、図3を用いて本実施の形態1のビット操作の流れを説明する。

【0024】

同符号連続検出回路11は、最上位ビット21の符号と、それよりも(1 + i) (iの初期値0)だけ下位のビットの符号とを比較し(ステップS101)、一致していれば(ステップS102でYes)、最上位ビット21と比較するビットを一つだけ下位のビットとして(ステップS103)、ステップS101及びステップS102の処理を行う。以上のステップS101 ~ ステップS103の処理は、最上位ビット21の符号と同一の符号が検出されなくなるまで繰り返される。なお、同符号連続検出回路11は、最上位ビット21と比較するビットを一つだけ下位のものとするとき、iをインクリメントする。

【0025】

次に、同符号連続検出回路11は、ステップS102において、最上位ビット21の符号とは異なる符号のビット(異符号ビット)を検出すると(ステップS102でNo)、全ての対象ビット列20についてステップS101の処理が行われたか否かを判定する(ステップS104)。そして、同符号連続検出回路11は、ステップS101の処理を行っていない対象ビット列20が他にある場合(ステップS104でNo)、ステップS101に戻り、全ての対象ビット列20について、ステップS102で最上位ビット21の符号とは異なる符号のビット(異符号ビット)が検出されると(ステップS104でYes)、ステップS105に移行する。このとき、同符号連続検出回路11は、対象ビット列20のそれぞれのiを最小値検出回路12に出力する。なお、このiは、最上位ビット21の符号と同一の符号を有するビットの連続数(同符号連続数)に相当する。

【0026】

最小値検出回路12は、各対象ビット列20に対応する同符号連続数の中から、最小連

10

20

30

40

50

続数である最小値を検出する（ステップ S 1 0 5）。なお、以後の説明において、ステップ S 1 0 5 で検出した最小値を最小値 n として説明する。最小値検出回路 1 2 は、最小値 n を検出すると、これを 4 ビットデータとしてビット変換回路 1 3 に出力する。なお、図 2 に示される例では、図 2 の (A - 1) 及び (B) から分かるように、最小値 n は「5」となる。

【0027】

ビット変換回路 1 3 は、最小値 n が最小値検出回路 1 2 から出力されると、対象ビット列 2 0 を順次読み込んで、(11 - n) ビットだけ右へ算術シフトする（ステップ S 1 0 6）。なお、図 2 に示される例では、図 2 の (C - 1) 及び (C - 2) から分かるように、 $n = 5$ であり、算術シフトするビットは 6 ビットとなる。次に、ビット変換回路 1 3 は、このように算術シフトが行われた対象ビット列 2 0 の下位 5 ビットを抽出する（ステップ S 1 0 7）。すなわち、ビット変換回路 1 3 は、最下位ビットから有効桁数分の 4 ビットに 1 を加えた桁数分のビットである 5 ビットを抽出する。そして、ビット変換回路 1 3 は、最小値ビット列 3 0 及び抽出ビット列 4 0 を結合して（ステップ S 1 0 8）、記憶手段（図示省略）に記憶する。

10

【0028】

なお、対象ビット列 2 0 が (11 - n) ビット右へ算術シフトされると、ステップ S 1 0 2 で最後に最上位ビット 2 1 と同じ符号が検出されたビットの符号が抽出ビット列 4 0 の少なくとも最上位のビットに表れる。したがって、対象ビット列 2 0 の正負を表す情報は、ビット抽出された後においても保持されており、抽出ビット列 4 0 の最上位のビットのデータを読み出すことで対象ビット列 2 0 の正負が分かる。

20

【0029】

また、振幅データの 4 ビット（抽出ビット列 4 0 のうち、最上位のビットを除く 4 ビット）を抽出して有効桁数を確保するため、同符号連続数が 1 1 以上の場合であっても、 i を「11」として扱うものとする。

【0030】

以上のように、本実施の形態 1 に係るデータ伝送回路 1 0 0 は、負数を 2 の補数で表現した整数データが複数入力され、入力された各整数データに対応する各ビット列について最上位ビット 2 1 と同符号で連続する同符号ビットの連続数を検出する同符号連続検出回路 1 1 を備える。このため、2 の補数で表現された負数を極性ビットを用いた表現に変更する必要がなくなり、データの正負によって処理を分岐させる必要がなくなる。

30

【0031】

なお、本実施の形態 1 では、対象ビット列 2 0 が 1 6 ビットで構成される例について説明したが、これに限定されず、8 ビット、2 4 ビット、3 2 ビットで構成されるデジタルデータにも適用することができる。

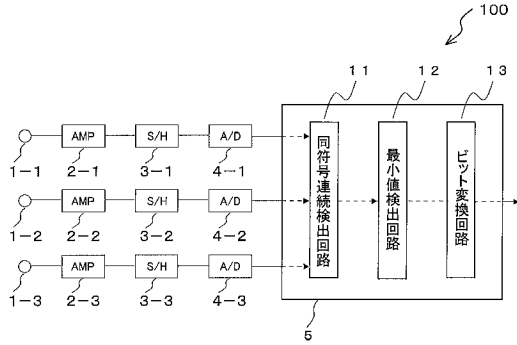
【符号の説明】

【0032】

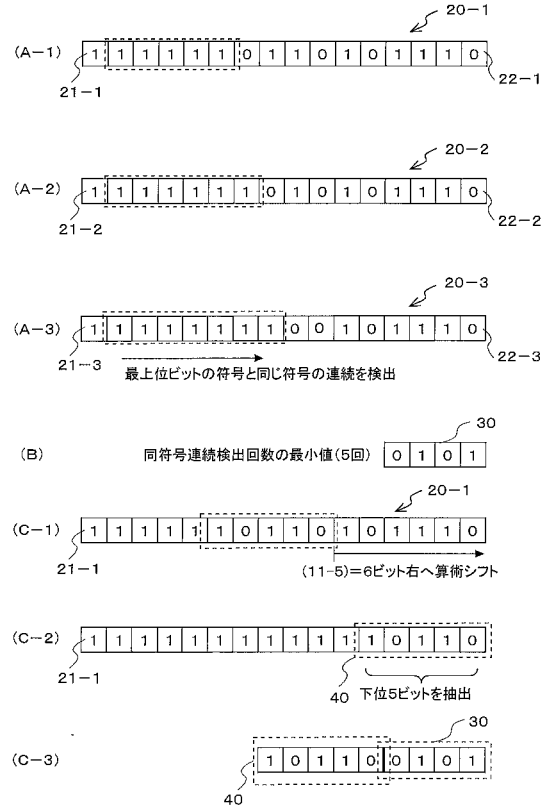
1, 1 - 1, 1 - 2, 1 - 3 センサ、2, 2 - 1, 2 - 2, 2 - 3 電気回路、3, 3 - 1, 3 - 2, 3 - 3 サンプル・ホールド回路、4, 4 - 1, 4 - 2, 4 - 3 アナログデジタル変換回路、5 パラレルシリアル変換回路、1 1 同符号連続検出回路、1 2 最小値検出回路、1 3 ビット変換回路、2 0, 2 0 - 1, 2 0 - 2, 2 0 - 3 対象ビット列、2 1, 2 1 - 1, 2 1 - 2, 2 1 - 3 最上位ビット、2 2, 2 2 - 1, 2 2 - 2, 2 2 - 3 最下位ビット、3 0 最小値ビット列、4 0 抽出ビット列、1 0 0 データ伝送回路。

40

【図1】



【図2】



【図3】

