

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-136006

(P2015-136006A)

(43) 公開日 平成27年7月27日 (2015.7.27)

(51) Int.Cl.		F I		テーマコード (参考)
H03M 9/00	(2006.01)	H03M 9/00	B	
H03K 5/00	(2006.01)	H03K 5/00	V	

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2014-5858 (P2014-5858)
 (22) 出願日 平成26年1月16日 (2014.1.16)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明
 (74) 代理人 100103263
 弁理士 川崎 康
 (72) 発明者 白石 幹雄
 東京都港区芝浦一丁目1番1号 株式会社東芝内

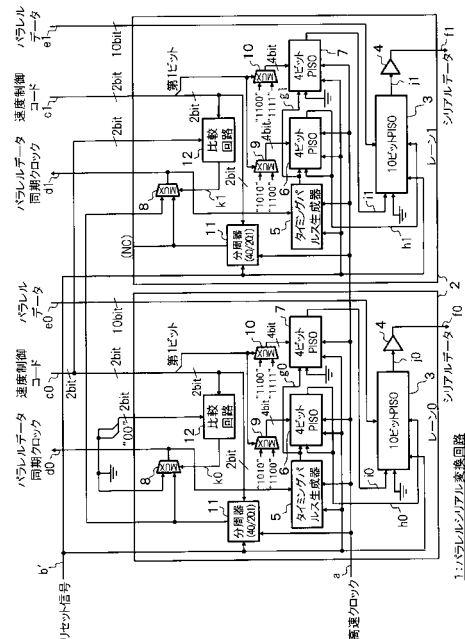
(54) 【発明の名称】 パラレルシリアル変換回路

(57) 【要約】

【課題】 高速動作が可能なパラレルシリアル変換回路を提供する。

【解決手段】 パラレルシリアル変換回路は、速度制御信号の論理に応じた分周比で基準クロック信号を分周した分周信号を生成する分周器と、分周信号に基づいてタイミングパルス信号を生成するタイミングパルス生成器と、速度制御信号およびタイミングパルス信号に基づいてロード信号を生成するロード信号生成器と、速度制御信号およびタイミングパルス信号に基づいてビットクロック信号を生成するビットクロック生成器と、ビットクロック信号に同期させてパラレルデータをシリアルデータに変換するパラレルシリアル変換部と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

速度制御信号の論理に応じた分周比で基準クロック信号を分周した分周信号を生成する分周器と、

前記分周信号に基づいてタイミングパルス信号を生成するタイミングパルス生成器と、
前記速度制御信号および前記タイミングパルス信号に基づいてロード信号を生成するロード信号生成器と、

前記速度制御信号および前記タイミングパルス信号に基づいてビットクロック信号を生成するビットクロック生成器と、

前記ビットクロック信号に同期させてパラレルデータをシリアルデータに変換するパラレルシリアル変換部と、を備えるパラレルシリアル変換回路。

10

【請求項 2】

前記ビットクロック生成器は、

前記速度制御信号の論理に基づいて複数の第 1 基準ビット列から一つを選択して第 1 初期値を設定する第 1 選択器と、

前記タイミングパルス信号をトリガーとして、前記基準クロック信号に同期させて前記第 1 初期値をビットシフトして前記ビットクロック信号を生成する第 1 シフトレジスタと、を有する請求項 1 に記載のパラレルシリアル変換回路。

【請求項 3】

前記ロード信号生成器は、

20

前記速度制御信号の論理に基づいて複数の第 2 基準ビット列から一つを選択して第 2 初期値を設定する第 2 選択器と、

前記タイミングパルス信号をトリガーとして、前記基準クロック信号に同期させて前記第 2 初期値をビットシフトして前記ロード信号を生成する第 2 シフトレジスタと、を有する請求項 1 または 2 に記載のパラレルシリアル変換回路。

【請求項 4】

それぞれが前記分周器、前記タイミングパルス生成器、前記ロード信号生成器、前記ビットクロック生成器および前記パラレルシリアル変換部を有する n 個 (n は 2 以上の整数) の信号伝送部を備え、

前記 n 個の信号伝送部のうちの一つはマスター信号伝送部で、残りはスレーブ信号伝送部であり、

30

前記マスター信号伝送部に入力される前記速度制御信号と同じ論理の前記速度制御信号が入力される前記スレーブ信号伝送部内の前記タイミングパルス生成器は、前記マスター信号伝送部内の前記分周器で生成した前記分周信号に基づいて、前記タイミングパルス信号を生成する請求項 1 乃至 3 のいずれかに記載のパラレルシリアル変換回路。

【請求項 5】

前記スレーブ信号伝送部は、

対応する前記スレーブ信号伝送部に入力された前記速度制御信号の論理と、前記マスター信号伝送部に入力された前記速度制御信号の論理とが一致するか否かを比較するスレーブ比較器と、

40

前記スレーブ比較器の比較結果に基づいて、対応する前記スレーブ信号伝送部内の前記分周器で生成された前記分周信号と、前記マスター信号伝送部内の前記分周器で生成された分周信号とのいずれかを選択するスレーブ分周信号選択器と、を有し、

対応する前記スレーブ信号伝送部内の前記タイミングパルス生成器は、前記スレーブ分周信号選択器で選択された分周信号に基づいて、対応する前記タイミングパルス信号を生成する請求項 4 に記載のパラレルシリアル変換回路。

【請求項 6】

前記スレーブ分周信号選択器は、前記スレーブ比較器にて一致が検出されると、前記マスター信号伝送部内の前記分周器で生成された分周信号を選択し、前記スレーブ比較器にて不一致が検出されると、対応する前記スレーブ信号伝送部内の前記分周器で生成された

50

前記分周信号を選択する請求項 5 に記載の平行シリアル変換回路。

【請求項 7】

前記マスター信号伝送部は、

対応する前記マスター信号伝送部に入力された前記速度制御信号の論理が所定の信号論理と一致するか否かを比較するマスター比較器と、

前記マスター比較器で不一致が検出されると、前記マスター信号伝送部内の前記分周器で生成された前記分周信号を選択し、前記マスター比較器で一致が検出されると、前記所定の信号論理の信号を選択するマスター分周信号選択器と、を有し、

前記マスター信号伝送部内の前記タイミングパルス生成器は、前記マスター分周信号選択器が前記分周信号を選択した場合には対応する前記タイミングパルス信号を生成し、前記マスター分周信号選択器が前記所定の信号論理の信号を選択した場合には前記タイミングパルス信号の生成を停止する請求項 4 乃至 6 のいずれかに記載の平行平行変換回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、シリアル平行変換回路に関する。

【背景技術】

【0002】

S S D (Solid State Disk) や H D D (Hard Disk Drive) 等の大容量記録装置では、記録領域から読み出した平行データをシリアルデータに変換してから伝送するのが一般的である。このため、大容量記録装置には、平行シリアル変換回路が設けられている。

20

【0003】

データ転送速度を向上させる一方策として、複数種類の平行データを並行してシリアルデータに変換して、各シリアルデータを同期化させて伝送する場合がある。この場合、平行シリアル変換回路内に複数の平行シリアル変換部が設けられる。この種の平行シリアル変換回路では、複数の平行シリアル変換部を同期させるために、平行シリアル変換動作を開始する前に、複数の平行シリアル変換部のそれぞれにリセット信号を供給してリセット状態にすることで、タイミングのずれをなくするのが一般的である。

30

【0004】

しかしながら、リセット信号は、平行シリアル変換回路以外でも使用されることから、リセット信号経路は長く引き回されることが多い。このため、リセット信号の負荷容量は大きくなってその立ち上がり時間は長くなる。また、リセット信号の立ち上がり時間は、製造工程、電源電圧および接合部の温度等の影響も受けて、同一チップ内の各平行シリアル変換部で差異が生じる。この差異を予め予測してリセット信号のタイミングのずれを抑制する設計を行うのは困難である。

【0005】

また、各平行シリアル変換部は、基準となる高速クロック信号を分周器で分周したクロック信号に基づいて平行シリアル変換動作を行うが、リセット信号の立ち上がりエッジを検出してから分周器が動作を開始するまでの時間のずれを考慮に入れてタイミングの設計を行うのは容易ではない。特に、各平行シリアル変換動作が速くなるほど、設計は困難になる。

40

【0006】

このように、平行シリアル変換回路内に複数の平行シリアル変換部を設ける場合は、各平行シリアル変換部が高速動作の可能な回路構成であっても、上述した理由により各平行シリアル変換部を同期化させるのが困難なために、データ転送速度をそれほど高速化できないという問題がある。

【先行技術文献】

50

【特許文献】

【0007】

【特許文献1】特開2012-39448号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明が解決しようとする課題は、高速動作が可能なパラレルシリアル変換回路を提供することである。

【課題を解決するための手段】

【0009】

本実施形態によれば、速度制御信号の論理に応じた分周比で基準クロック信号を分周した分周信号を生成する分周器と、

前記分周信号に基づいてタイミングパルス信号を生成するタイミングパルス生成器と、前記速度制御信号および前記タイミングパルス信号に基づいてロード信号を生成するロード信号生成器と、

前記速度制御信号および前記タイミングパルス信号に基づいてビットクロック信号を生成するビットクロック生成器と、

前記ビットクロック信号に同期させてパラレルデータをシリアルデータに変換するパラレルシリアル変換部と、を備えるパラレルシリアル変換回路が提供される。

【図面の簡単な説明】

【0010】

【図1】一実施形態に係るパラレルシリアル変換回路1の内部構成を示すブロック図。

【図2】転送速度制御コードc0、c1とデータ転送速度との対応関係の一例を示す図。

【図3】図1のパラレルシリアル変換回路1のタイミング図。

【図4】図1のパラレルシリアル変換回路1のタイミング図。

【図5】図1のパラレルシリアル変換回路1のタイミング図。

【図6】図1のパラレルシリアル変換回路1のタイミング図。

【図7】図3の10ビットPISO3の内部構成の一例を示す回路図。

【図8】第1の4ビットPISO6および第2の4ビットPISO7の内部構成の一例を示す回路図。

【図9】図3の分周器11の内部構成の一例を示す回路図。

【図10】図3のタイミングパルス生成器5の内部構成の一例を示す回路図。

【図11】図3の比較回路12の内部構成の一例を示す回路図。

【発明を実施するための形態】

【0011】

以下、図面を参照して本発明の実施形態を説明する。以下の実施形態では、パラレルシリアル変換回路内の特徴的な構成および動作を中心に説明するが、パラレルシリアル変換回路には以下の説明で記述しない構成および動作が存在しうる。ただし、これらの省略した構成および動作も本実施形態の範囲に含まれるものとする。

【0012】

図1は本発明の一実施形態に係るパラレルシリアル変換回路1の内部構成を示すブロック図である。図1のパラレルシリアル変換回路1は、2つの信号伝送部2を有する。本実施形態では、これら2つの信号伝送部2をレーン0およびレーン1と呼ぶ。レーン0はマスターレーンであり、レーン1はスレーブレインである。レーン0、1はそれぞれ、転送速度制御コード（速度制御信号）c0、c1に基づいてデータ転送速度（ビットレート）が設定される。

【0013】

図2は転送速度制御コードc0、c1とデータ転送速度との対応関係の一例を示す図である。転送速度制御コードc0、c1が00のときは、データ転送は休止される。転送速度制御コードc0、c1が01のときは、第1の転送速度（毎秒×ビット）でデータ転送

10

20

30

40

50

が行われる。転送速度制御コード c_0 、 c_1 が 10 のときは、第 2 の転送速度（毎秒 $2 \times$ ビット）でデータ転送が行われる。なお、図 2 は一例であり、転送速度制御コード c_0 、 c_1 とデータ転送速度との対応関係は任意に設定してよい。また、転送速度制御コード c_0 、 c_1 のビット数も 2 ビットに限らない。レーンの数に応じて、転送速度制御コードのビット数とデータ転送速度を設定すればよい。

【0014】

レーン 0 と 1 の信号伝送部 2 の内部構成は共通する箇所が多いため、まずはレーン 0 の内部構成について説明し、レーン 1 の内部構成はレーン 0 との相違点を中心に説明する。

【0015】

図 1 に示すように、レーン 0 の信号伝送部 2 は、10 ビット・パラレルシリアル変換器（10 ビット P I S O）3 と、バッファ 4 と、タイミングパルス生成器 5 と、2 つの 4 ビット・パラレルシリアル変換器（以下、第 1 の 4 ビット P I S O 6 と第 2 の 4 ビット P I S O 7 と呼ぶ）と、3 つのマルチプレクサ（以下、第 1 の M U X 8、第 2 の M U X 9、第 3 の M U X 10 と呼ぶ）と、分周器 11 と、比較回路 12 とを有する。

10

【0016】

10 ビット P I S O 3 は、ビットクロック信号 h_0 に同期させて 10 ビットのパラレルデータ e_0 をシリアルデータ j_0 に変換する。このシリアルデータ j_0 はバッファ 4 に入力され、このバッファ 4 から最終的なシリアルデータ f_0 が出力される。

【0017】

比較回路 12（マスター比較器）は、転送速度制御コード c_0 を 00 と比較し、その比較結果を出力する。分周器 11 は、転送速度制御コード c_0 の論理に応じた分周比で高速クロック信号（基準クロック信号） a を分周した分周信号を生成する。より具体的には、分周器 11 は、転送速度制御コード c_0 の値により、分周比を切り替える。そして、切り替えた分周比にて、高速クロック信号 a を分周した分周信号を生成する。例えば、分周器 11 は、転送速度制御コード c_0 の値が二進コード 01 であれば分周比として 40 を選択し、 c_0 の値が二進コード 10 であれば分周比として 20 を選択する。

20

【0018】

第 1 の M U X 8（マスター分周信号選択器）は、比較回路 12 の比較結果に基づいて、分周信号と低レベル固定信号とのいずれかを選択する。より具体的には、第 1 の M U X 8 は、比較回路 12 で不一致が検出されると分周信号を選択し、比較回路 12 で一致が検出されると低レベル固定信号を選択する。

30

【0019】

第 1 の M U X 8 の出力信号は、外部からパラレルデータ e_0 を取り込むためのパラレルデータ同期クロック信号 d_0 として用いられる。比較回路 12 で不一致が検出されると、分周信号に同期してパラレルデータ e_0 が取り込まれる。また、比較回路 12 で一致が検出されると、パラレル同期クロック信号 d_0 は低レベル固定信号になるため、パラレルデータ e_0 の取り込みは行われない。

【0020】

タイミングパルス生成器 5 は、分周信号に基づいてタイミングパルス信号 g_0 を生成する。より具体的には、タイミングパルス生成器 5 は、第 1 の M U X 8 が分周信号を選択した場合には、分周信号の周期に応じたタイミングパルス信号 g_0 を生成する。

40

【0021】

第 2 の M U X 9 は、転送速度制御コード c_0 に基づいて、複数の第 2 基準ビット列から一つを選択して第 2 初期値を設定する。より具体的には、第 2 の M U X 9 は、転送速度制御コード c_0 の最上位ビット（第 1 ビット）の論理に基づいて、第 1 の 4 ビット P I S O 6 に設定するための初期値を選択する。例えば、第 2 の M U X 9 は、最上位ビットが 0 のときは初期値 1100 を選択し、最上位ビットが 1 のときは初期値 1010 を選択する。

【0022】

第 1 の 4 ビット P I S O 6（第 1 シフトレジスタ）は、タイミングパルス信号 g_0 をトリガーとして、高速クロック信号 a に同期させて第 1 初期値をビットシフトしてビットク

50

ロック信号 h 0 を生成する。より具体的には、第 1 の 4 ビット P I S O 6 は、タイミングパルス信号 g 0 の入力をトリガーとして、第 2 の M U X 9 が選択した初期値を高速クロック信号 a に同期させてビットシフトし、ビットクロック信号 h 0 を生成する。第 1 の 4 ビット P I S O 6 の出力信号は、10 ビット P I S O 3 に供給されるだけでなく、第 1 の 4 ビット P I S O 6 の初段側にも帰還されるため、第 2 の M U X 9 が選択した初期値 0 0 1 1 または 0 1 0 1 のビットパターンが繰り返し出力されることになる。これにより、ビットクロック信号 h 0 が生成される。

【 0 0 2 3 】

第 2 の 4 ビット P I S O 7 (第 2 シフトレジスタ) は、タイミングパルス信号 g 0 をトリガーとして、高速クロック信号 a に同期させて第 2 初期値をビットシフトしてロード信号を生成する。より具体的には、第 2 の 4 ビット P I S O 7 は、タイミングパルス信号 g 0 の入力をトリガーとして、第 3 の M U X 1 0 が選択した初期値を高速クロック信号 a に同期させてビットシフトする。第 2 の 4 ビット P I S O 7 の出力信号は、10 ビット P I S O 3 のロード信号となる。

10

【 0 0 2 4 】

第 1 の 4 ビット P I S O 6 と第 2 の 4 ビット P I S O 7 は、タイミングパルス信号 g 0 が入力されるたびに、それぞれ第 2 の M U X 9 と第 3 の M U X 1 0 から初期値を入力して、ビットシフト動作をやり直す。よって、第 2 の 4 ビット P I S O 7 と第 3 の 4 ビット P I S O はそれぞれ、タイミングパルス信号 g 0 の周期に同期した周期でビットクロック信号 h 0 とロード信号 i 0 を繰り返し生成する。

20

【 0 0 2 5 】

レーン 1 の信号伝送部 2 は、レーン 0 の信号伝送部 2 と類似した回路構成を有するが、一部の構成および動作において異なる。また、レーン 1 には、転送速度制御コード c 0 ではなく、転送速度制御コード c 1 が入力され、レーン 1 に入力されるパラレルデータ e 1 は、レーン 0 に入力されるパラレルデータ e 0 とは異なるものである。さらに、レーン 1 から出力されるパラレルデータ同期クロック d 1 とシリアルデータ f 1 は、レーン 0 から出力されるパラレルデータ同期クロック d 0 とシリアルデータ f 0 とは異なるものである。以下では、これらの相違点以外の相違点を中心にレーン 1 の内部構成を説明する。

【 0 0 2 6 】

レーン 1 の比較回路 1 2 (スレーブ比較器) は、転送速度制御コード c 0 と c 1 を比較して、比較結果を示す信号を出力する。

30

レーン 1 の第 1 の M U X (スレーブ分周信号選択器) 8 は、比較回路 1 2 の出力信号に基づいて、レーン 1 の分周器 1 1 から出力された分周信号とレーン 0 の分周器 1 1 から出力された分周信号とのいずれかを選択して出力する。より具体的には、レーン 1 の第 1 の M U X 8 は、転送速度制御コード c 0 , c 1 が一致する場合には、レーン 0 の分周回路 1 1 から出力された分周信号を選択し、不一致の場合には、レーン 1 の分周回路 1 1 から出力された分周信号を選択する。

【 0 0 2 7 】

上記以外は、入出力される信号の種類が一部異なるものの、レーン 0 とレーン 1 の信号伝送部 2 の構成および動作は共通する。

40

【 0 0 2 8 】

図 3 ~ 図 6 は図 1 のパラレルシリアル変換回路 1 のタイミング図である。図 3 および図 4 は、レーン 0 と 1 の信号伝送部 2 にそれぞれ入力される転送速度制御コード c 0 , c 1 の値が異なっている。図 3 は c 0 = 0 1 で c 1 = 1 0 、図 4 は c 0 = 1 0 で c 1 = 0 1 である。一方、図 5 および図 6 は、レーン 0 と 1 の信号伝送部 2 にそれぞれ入力される転送速度制御コード c 0 , c 1 の値が同じであり、図 5 は c 0 = c 1 = 0 1 、図 6 は c 0 = c 1 = 1 0 の例を示している。

【 0 0 2 9 】

図 3 の場合、c 0 = 0 1 で c 1 = 1 0 であるため、図 2 に示すように、レーン 1 のビットレートはレーン 0 のビットレートの 2 倍になる。

50

【 0 0 3 0 】

リセット信号がハイになると、レーン 0 と 1 の各分周器 1 1 は分周信号を出力する。転送速度制御コード c 0 の最上位ビットは 0 であるため、レーン 0 の分周器 1 1 は高速クロック信号 a を 4 0 分周した分周信号を出力する。転送速度制御コード c 0 と c 1 は互いに異なるため、レーン 0 の比較回路 1 2 は不一致信号を出力し、レーン 0 の第 1 の M U X 8 は分周器 1 1 が出力した分周信号を選択して、この分周信号をパラレルデータ同期クロック信号 d 0 として出力する。

【 0 0 3 1 】

同様に、レーン 1 の転送速度制御コード c 1 の最上位ビットは 1 であるため、レーン 1 の分周器 1 1 は高速クロック信号 a を 2 0 分周した分周信号を出力する。レーン 1 の比較回路 1 2 も不一致信号を出力し、レーン 1 の第 1 の M U X 8 は分周器 1 1 が出力した分周信号を選択して、この分周信号をパラレルデータ同期クロック信号 d 1 として出力する。

10

【 0 0 3 2 】

パラレルデータ同期クロック信号 d 0 , d 1 は、パラレルシリアル変換回路 1 の外部に出力されるとともに、タイミングパルス生成器 5 にそれぞれ入力される。タイミングパルス生成器 5 は、パラレルデータ同期クロック信号 d 0 , d 1 の立ち上がりエッジで所定期間ハイになるタイミングパルス信号 g 0 , g 1 を生成する。

【 0 0 3 3 】

レーン 0 と 1 の信号伝送部 2 は、製造ばらつきや配線の引き回しによる信号遅延等により、完全には同期して動作しておらず、図 3 に示すように、レーン 0 と 1 では、タイミングパルス信号が出力されるタイミングにずれ t d が生じる場合がある。

20

【 0 0 3 4 】

レーン 0 の第 2 の M U X 9 は、転送速度制御コード c 0 の最上位ビットが 0 であることから、初期値 1 1 0 0 を選択して第 1 の 4 ビット P I S O 6 に供給する。レーン 0 の第 1 の 4 ビット P I S O 6 は、タイミングパルス信号 g 0 をトリガーとして、初期値 1 1 0 0 を取り込んで、ビットシフト動作を行う。第 1 の 4 ビット P I S O 6 の出力信号は入力端子 S I に帰還されているため、レーン 0 の第 1 の 4 ビット P I S O 6 は、1 1 0 0 を繰り返す周期のビットクロック信号 h 0 を出力する。このビットクロック信号 h 0 は、レーン 0 の 1 0 ビット P I S O 3 のビットシフトクロックとして用いられる。

【 0 0 3 5 】

同様に、レーン 1 の第 2 の M U X 9 は、転送速度制御コード c 1 の最上位ビットが 1 であることから、初期値 1 0 1 0 を選択して第 1 の 4 ビット P I S O 6 に供給する。レーン 1 の第 1 の 4 ビット P I S O 6 は、タイミングパルス信号 g 1 をトリガーとして、初期値 1 0 1 0 を取り込んで、ビットシフト動作を行う。第 1 の 4 ビット P I S O 6 の出力信号は入力端子 S I に帰還されているため、レーン 1 の第 1 の 4 ビット P I S O 6 は、1 0 1 0 を繰り返す周期のビットクロック信号 h 1 を出力する。このビットクロック信号 h 1 は、レーン 1 の 1 0 ビット P I S O 3 のビットシフトクロックとして用いられる。

30

【 0 0 3 6 】

レーン 0 の第 3 の M U X 1 0 は、転送速度制御コード c 0 の最上位ビットが 0 であることから、初期値 1 1 1 1 を選択して第 2 の 4 ビット P I S O 7 に供給する。レーン 0 の第 2 の 4 ビット P I S O 7 は、タイミングパルス信号をトリガーとして、初期値 1 1 1 1 を取り込んで、ビットシフト動作を行う。レーン 0 の第 2 の 4 ビット P I S O 7 から出力される信号はロード信号 i 0 として、レーン 0 の 1 0 ビット P I S O 3 に入力される。

40

【 0 0 3 7 】

レーン 1 の第 3 の M U X 1 0 は、転送速度制御コード c 1 の最上位ビットが 1 であることから、初期値 1 1 0 0 を選択して第 2 の 4 ビット P I S O 7 に供給する。レーン 1 の第 2 の 4 ビット P I S O 7 は、タイミングパルス信号 g 1 をトリガーとして、初期値 1 1 0 0 を取り込んで、ビットシフト動作を行う。レーン 1 の第 2 の 4 ビット P I S O 7 から出力される信号はロード信号 i 1 として、レーン 1 の 1 0 ビット P I S O 3 に入力される。

【 0 0 3 8 】

50

レーン0の10ビットPISO3は、ロード信号i0の立ち上がりエッジでパラレルデータe0を取り込んで、ビットクロック信号h0に同期させて、パラレルデータe0をビットシフトさせたシリアルデータj0を出力する。

【0039】

レーン1の10ビットPISO3は、ロード信号i1の立ち上がりエッジでパラレルデータe1を取り込んで、ビットクロック信号h1に同期させて、パラレルデータe1をビットシフトさせたシリアルデータj1を出力する。

【0040】

図3の場合、ビットクロック信号h1はビットクロック信号h0よりも2倍高速であるため、シリアルデータj1もシリアルデータj0の2倍の速さで出力される。

10

【0041】

図4の場合、レーン0の転送速度制御コードc0 = 10で、レーン1の転送速度制御コードc1 = 01である。このため、各レーンにおける分周器11が選択する分周比、第2のMUX9が選択する初期値、および第3のMUX10が選択する初期値は、いずれも図3とは逆になる。この結果、レーン0のビットクロックh0は、レーン1のビットクロックh1の2倍の周波数になり、レーン0のシリアルデータf0は、レーン1のシリアルデータf1の2倍の周波数になる。

【0042】

図5の場合、転送速度制御コードc0が01であるため、レーン0の信号伝送部2の動作は図3と同じである。一方、転送速度制御コードc1も01であるため、レーン1の比較回路12は一致信号を出力する。このため、レーン1の第1のMUX8は、レーン0の分周器11が出力した分周信号を選択し、この分周信号をパラレルデータ同期クロック信号d1として、外部に出力するとともに、タイミングパルス生成器5に供給する。

20

【0043】

このように、図5の場合、レーン0と1のタイミングパルス生成器5は、同一の分周信号に同期させてタイミングパルス信号g0, g1を生成する。よって、レーン0と1では、タイミングパルス信号g0, g1にタイミング上のずれは生じない。

【0044】

また、第2のMUX9が選択する初期値と第3のMUX10が選択する初期値は、レーン0と1で同じになる。よって、第1の4ビットPISO6が生成するビットクロック信号h0, h1のタイミングも同一になり、第2の4ビットPISO7が生成するロード信号i0, i1のタイミングも同一になる。

30

【0045】

このため、10ビットPISO3が生成するシリアルデータj0, j1のタイミングも同一になり、バッファ4を介して出力されるシリアルデータf0, f1のタイミングも同一になる。

【0046】

このように、転送速度制御コードc0, c1が同一の場合は、最終的に得られるシリアルデータf0, f1のタイミングのずれをなくすることができる。従来は、リセット信号により、複数のレーンの同期化を図っていたが、上述したように、リセット信号経路は負荷容量が大きく、複数のレーンでタイミングのずれが生じやすい。これに対して、本実施形態では、転送速度制御コードc0, c1が一致するときは、マスターレーン(レーン0)の分周信号をスレーブレーン(レーン1)でも使用するため、マスターレーンとスレーブレーンでタイミングパルス信号g0, g1のタイミングを一致させることができる。これにより、ロード信号i0, i1のタイミングを一致させることができるだけでなく、ビットクロック信号h0, h1のタイミングも一致させることができ、最終的に得られるシリアルデータf0, f1にタイミング上のずれが生じなくなる。

40

【0047】

図6の場合、転送速度制御コードc0が10であるため、レーン0の信号伝送部2の動作は図4と同じである。一方、転送速度制御コードc1も10であるため、レーン1の第

50

1のM U X 8は、レーン0の分周器11が生成した分周信号を選択する。

【0048】

図6の場合も、レーン0と1のタイミングパルス生成器5は、同一の分周信号に同期させてタイミングパルス信号g0, g1を生成する。よって、レーン0と1では、タイミングパルス信号にずれは生じない。

【0049】

また、第2のM U X 9が選択する初期値と第3のM U X 10が選択する初期値は、レーン0と1で同じになる。よって、第1の4ビットP I S O 6が生成するビットクロック信号h0, h1のタイミングも同一になり、第2の4ビットP I S O 7が生成するロード信号i0, i1のタイミングも同一になる。

【0050】

このため、10ビットP I S O 3が生成するシリアルデータj0, j1のタイミングも同一になり、バッファ4を介して出力されるシリアルデータf0, f1のタイミングも同一になる。

【0051】

図3～図6から明らかなように、本実施形態では、タイミングパルス信号g0, g1が出力されるたびに、第1の4ビットP I S O 6と第2の4ビットP I S O 7は、対応する初期値を取り込んで、ビットシフトする動作を行う。したがって、レーン0と1の10ビットP I S O 3のビットシフト動作にずれが生じて、次にタイミングパルス信号が出力されたときに、そのずれを解消できる。

【0052】

図7は図3の10ビットP I S O 3の内部構成の一例を示す回路図である。図7の10ビットP I S O 3は、マルチプレクサ21とDフリップフロップ22が交互に10個ずつ縦続接続された構成になっている。なお、縦続接続される段数は任意に変更して構わない。

【0053】

各マルチプレクサ21は、パラレルデータとビットシフトデータとのいずれかを選択する。各マルチプレクサ21が選択したデータは、後段に位置するDフリップフロップ22に取り込まれる。各Dフリップフロップ22は、第1の4ビットP I S O 6が生成したビットクロック信号C Kに同期して、前段に位置するマルチプレクサ21が選択した信号を取り込む。

【0054】

各マルチプレクサ21は、ロード信号L Dが入力されたタイミングに合わせて、パラレルデータD[9:0]を選択し、ロード信号L Dがロウの間はビットシフトデータを選択する。なお、初段のマルチプレクサ21には、ビットシフトデータの代わりにS I端子データが入力される。本実施形態では、S I端子はロウレベルに設定される。

【0055】

図8は第1の4ビットP I S O 6および第2の4ビットP I S O 7の内部構成の一例を示す回路図である。図8の回路は、マルチプレクサ23とDフリップフロップ24が交互に4個ずつ縦続接続された構成になっている。なお、縦続接続される段数は任意に変更して構わない。

【0056】

各マルチプレクサ23は、初期値D[3:0]とビットシフトデータとのいずれかを選択する。より具体的には、各マルチプレクサ23は、ロード信号L Dがハイの期間内は初期値D[3:0]を選択し、ロード信号L Dがロウの期間内はビットシフトデータを選択する。

【0057】

また、初段のマルチプレクサ23には、ビットシフトデータの代わりに、S I端子データが入力される。第1の4ビットP I S O 6のS I端子には、第1の4ビットP I S O 6の出力データが帰還されるため、第1の4ビットP I S O 6は、初期値D[3:0]で示

10

20

30

40

50

す4ビットデータを繰り返し出力する。一方、第2の4ビットPISO7のSI端子はロウ固定に設定されている。

【0058】

図9は図3の分周器11の内部構成の一例を示す回路図である。図9の分周器11は、分周比を20分周と40分周とで切替可能である。分周比の切替は、転送速度制御コードc0, c1で行う。

【0059】

図9の分周器11は、5分周回路31と、3つの2分周回路32~34とを縦続接続した構成になっており、高速クロック信号aを $5 \times 2 \times 2 \times 2 = 40$ 分周することが可能である。また、図9の分周器11は、3つのマルチプレクサ35~37と3つのDフリップフロップ38~40とを有する。マルチプレクサ35は、転送速度制御コードc0, c1の最下位ビットの値に基づいて、分周回路32から出力される10分周信号と、分周回路33から出力される20分周信号との一方を選択して出力する。マルチプレクサ36は、転送速度制御コードc0, c1の最下位ビットの値に基づいて、分周回路34から出力される40分周信号とロウ固定信号との一方を選択して出力する。マルチプレクサ37は、転送速度制御コードc0, c1の最上位ビットの値に基づいて、マルチプレクサ35の選択信号と、マルチプレクサ36の選択信号との一方を選択して出力する。

【0060】

このように、図9の分周器11は、回路自体は、10分周、20分周、40分周の3通りの切替が可能になっている。ただし、本実施形態では、転送速度制御コードc0, c1が01と10の2種類だけであるため、同コードが01の場合は40分周が選択され、10の場合は20分周が選択される。

【0061】

図10は図3のタイミングパルス生成器5の内部構成の一例を示す回路図である。図10のタイミングパルス生成器5は、縦続接続された2段のDフリップフロップ41, 42と、後段のDフリップフロップ42のQ出力データと、前段のDフリップフロップ41の/Q出力データとの論理和の反転信号を生成するNOR回路43と、NOR回路43の出力信号を取り込むDフリップフロップ44とを有する。

【0062】

図10のタイミングパルス生成器5は、初段のDフリップフロップ41のD端子に入力されたパラレルデータ同期クロック信号d0, d1を高速クロック信号aで同期化して、パラレルデータ同期クロック信号d0, d1の立ち上がりエッジをトリガーとして、高速クロック信号aの1周期分のタイミングパルス信号を生成する。

【0063】

図11は図3の比較回路12の内部構成の一例を示す回路図である。図11の比較回路12は、2個のXOR回路45, 46と、NOR回路47とを有する。XOR回路45は、転送速度制御コードc0, c1の最下位ビット同士の排他的論理和を演算する。XOR回路46は、転送速度制御コードc0, c1の最上位ビット同士の排他的論理和を演算する。NOR回路47は、2個のXOR回路の出力信号の論理和の反転信号を出力する。

【0064】

図7~図11は各回路の一例であり、具体的な回路構成は種々の変更が可能である。

【0065】

このように、本実施形態では、複数のレーンに入力される転送速度制御コードが同一の場合は、マスターレーンの分周信号をスレーブレインで選択してタイミングパルス信号g0, g1を生成するため、マスターレーンとスレーブレインでタイミングパルス信号g0, g1のタイミングのずれをなくすることができる。これにより、タイミングパルス信号g0, g1に同期して生成されるロード信号i0, i1とビットクロック信号h0, h1についても、マスターレーンとスレーブレインでタイミングのずれが起きなくなる。よって、ロード信号i0, i1とビットクロック信号h0, h1に同期してパラレルシリアル変換動作を行う10ビットPISO3から出力されるシリアルデータj0, j1のタイミン

10

20

30

40

50

グのずれも起きなくなる。

【0066】

よって、本実施形態によれば、リセット信号経路の負荷容量の差異に基づくリセットタイミングのずれに影響されずに、パラレルシリアル変換動作を行うことができる。

【0067】

また、本実施形態では、タイミングパルス信号が入力されるたびに、第1の4ビットPISO6と第2の4ビットPISO7はビットクロック信号h0, h1とロード信号i0, i1の生成をやり直すため、何らかの理由で、レーン0と1でビットクロック信号h0, h1のタイミング、あるいはロード信号i0, i1のタイミングにずれが生じて、次にタイミングパルス信号が入力された時点で、そのずれを解消できる。したがって、リセット信号に頼らずに、レーン0と1のパラレルシリアル変換動作を安定に同期化させることができる。

10

【0068】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

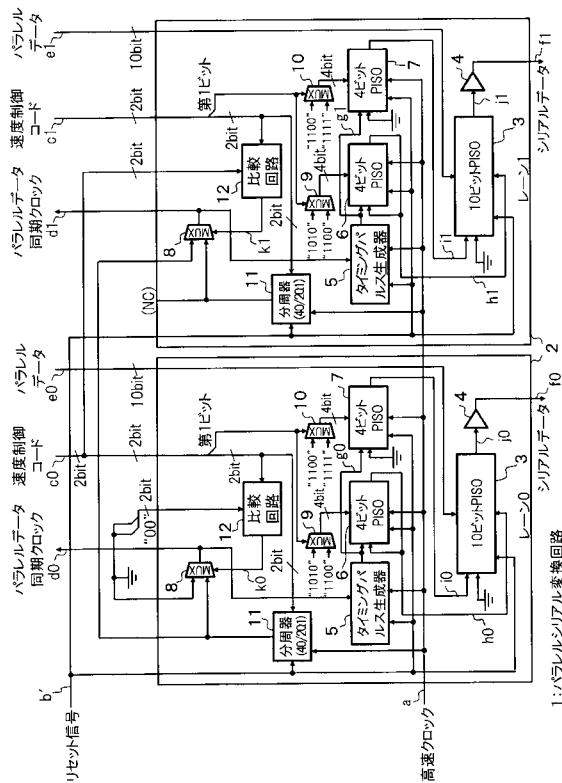
20

【符号の説明】

【0069】

- 1 パラレルシリアル変換回路、 2 信号伝送部、 3 10ビットPISO、 4 バッファ、 5 タイミングパルス生成器、 6 第1の4ビットPISO、 7 第2の4ビットPISO、 8 第1のMUX、 9 第2のMUX、 10 第3のMUX、 11 分周器、 12 比較回路

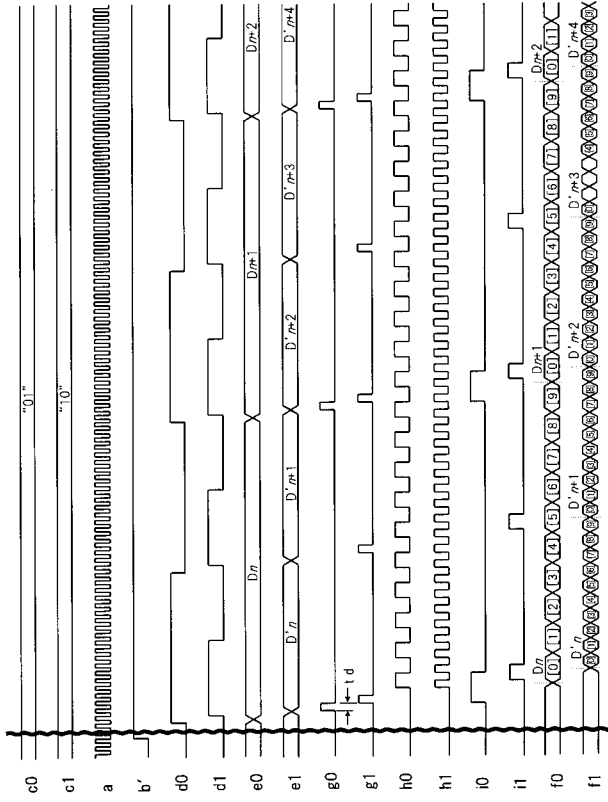
【図1】



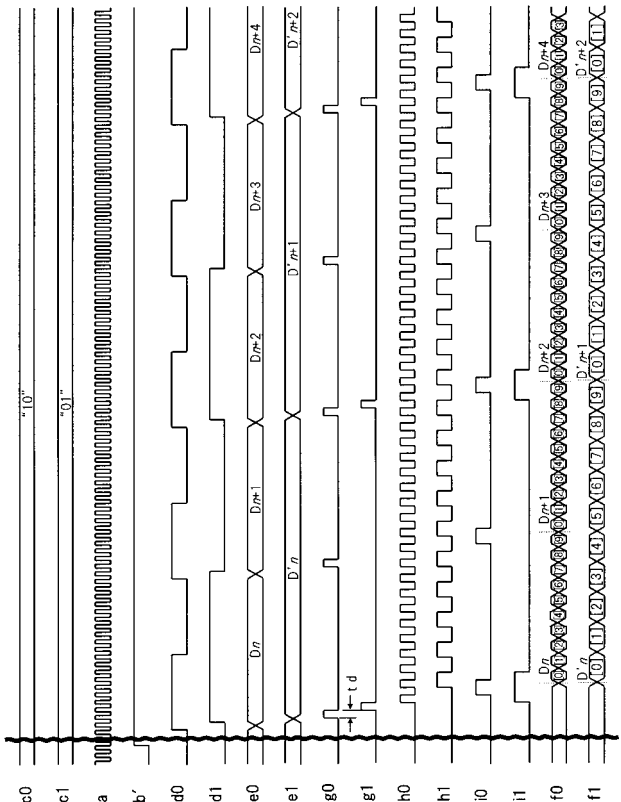
【図2】

転送速度制御コード c0, c1	転送速度
00	休止(転送しない)
01	第1の転送速度(毎秒xビット)
10	第2の転送速度(毎秒2xビット)

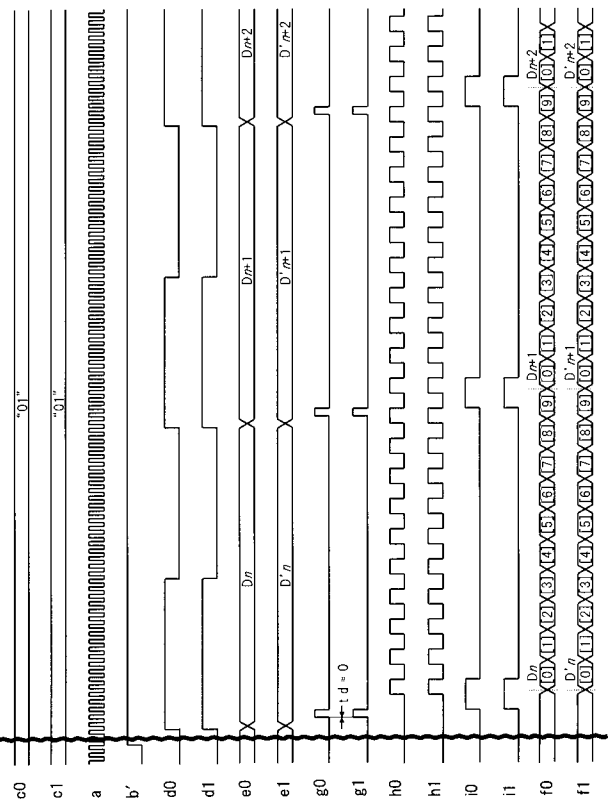
【 図 3 】



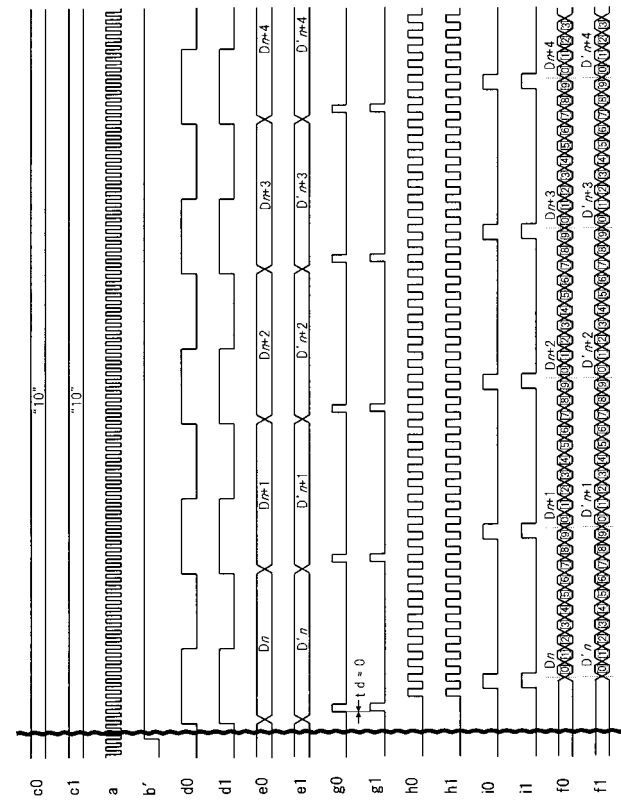
【 図 4 】



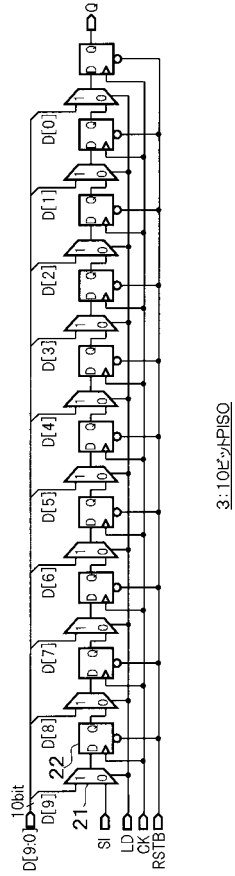
【 図 5 】



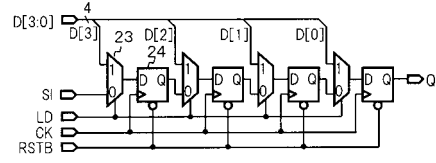
【 図 6 】



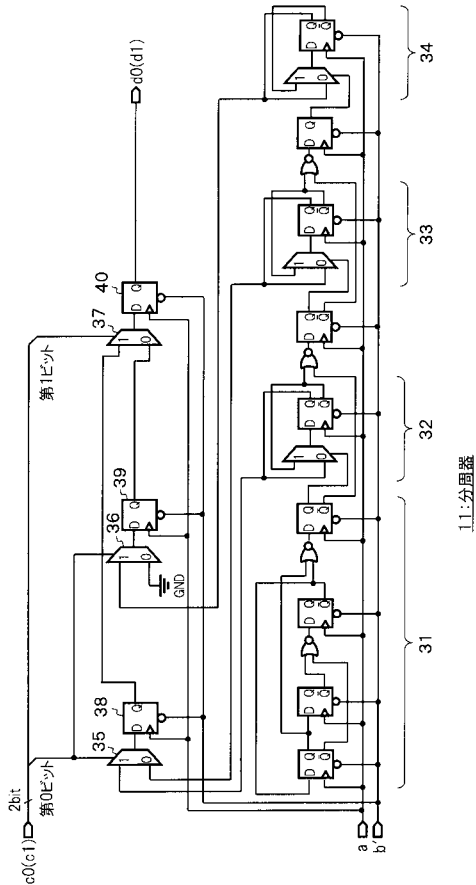
【 図 7 】



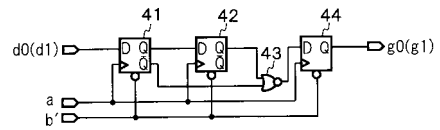
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

