

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-10029  
(P2016-10029A)

(43) 公開日 平成28年1月18日(2016.1.18)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO3M 13/09 (2006.01)</b>	HO3M 13/09	5J065
<b>HO4L 1/00 (2006.01)</b>	HO4L 1/00	A 5K014

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2014-130225 (P2014-130225)	(71) 出願人	303013763 NECエンジニアリング株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成26年6月25日(2014.6.25)	(74) 代理人	100109313 弁理士 机 昌彦
		(74) 代理人	100124154 弁理士 下坂 直樹
		(72) 発明者	田邊 俊之 神奈川県川崎市中原区下沼部1753番地 NECエンジニア リング株式会社内
		(72) 発明者	山口 富一 神奈川県川崎市中原区下沼部1753番地 NECエンジニア リング株式会社内

最終頁に続く

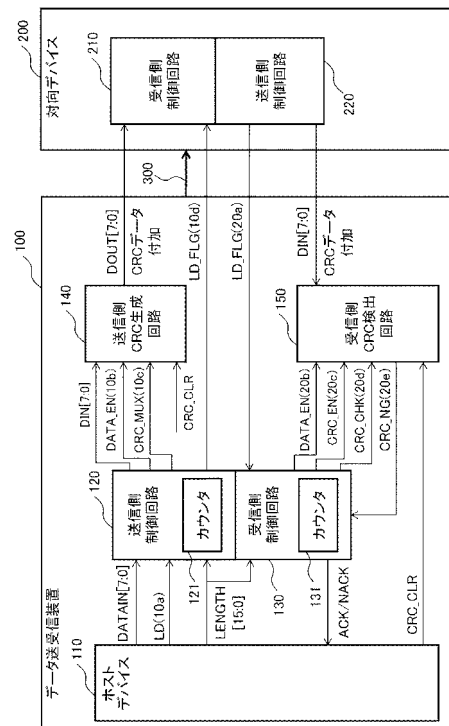
(54) 【発明の名称】 データ送受信装置およびデータ送受信方法

(57) 【要約】

【課題】 可変長の検査対象データのCRC復号処理において、CRC符号化処理と同様に、検出対象データの先頭位置を検出することが可能なデータ送受信装置等を提供する。

【解決手段】 データ送受信装置は、CRCの対象となるデータに対して検査コードを生成するCRC生成回路から送信先に送信される当該データ先頭位置に対して、所定の期間前に、第1の送信開始信号を送信先に送信する送信側制御回路と、送信先から送信されるデータ先頭位置に対して所定の期間前に送信される第2の送信開始信号を受信すると、受信したデータから検査コードを検出するCRC検出回路に、受信したデータに対して前記検査コードを検出する処理を実施するように制御する受信側制御回路とを備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

CRC (Cyclic Redundancy Check) の対象となるデータに対して検査コードを生成するCRC生成回路から送信先に送信される当該データの先頭位置に対して、所定の期間前に、第1の送信開始信号を前記送信先に送信する送信側制御回路と、

前記送信先から送信されるデータの先頭位置に対して前記所定の期間前に送信される第2の送信開始信号を受信すると、受信したデータから前記検査コードを検出するCRC検出回路に、受信したデータに対して前記検査コードを検出する処理を実施するように制御する受信側制御回路と

を備えたデータ送受信装置。

10

## 【請求項 2】

前記送信側制御回路は、前記データのうち前記検査コードを除く有効データの長さを保持し、当該有効データの長さに基づいて、前記CRC生成回路が当該有効データに対して前記検査コードを生成する処理を実施するように制御する

請求項1記載のデータ送受信装置。

## 【請求項 3】

前記送信側制御回路は、前記データを送信するトリガとして前記第1の送信開始信号を送出すると、前記保持する有効データの長さに相当するクロック数をカウントし、そのカウント中は、前記CRC生成回路が当該有効データに対して検査コードを生成する処理を実施するように制御する

請求項2記載のデータ送受信装置。

20

## 【請求項 4】

前記送信側制御回路は、前記保持する有効データの長さに相当するクロック数のカウントが終了したタイミングにおける、前記検査コードの生成処理の結果を、前記検査コードとして、前記データに付加するように制御する

請求項3記載のデータ送受信装置。

## 【請求項 5】

前記受信側制御回路は、前記データのうち前記検査コードを除く有効データの長さを保持し、当該有効データの長さに基づいて、前記CRC検出回路が当該有効データに対して前記検査コードを検出する処理を実施するように制御する

請求項1ないし請求項4のいずれか1項記載のデータ送受信装置。

30

## 【請求項 6】

前記受信側制御回路は、前記データを受信するトリガとして前記第2の送信開始信号を受信すると、前記保持する有効データの長さに相当するクロック数をカウントし、そのカウント中は、前記CRC検出回路が当該有効データに対して前記検査コードを検出する処理を実施するように制御する

請求項5記載のデータ送受信装置。

## 【請求項 7】

前記受信側制御回路は、前記保持する有効データの長さに相当するクロック数のカウントが終了したタイミングにおける前記検査コードの検出処理の結果と、前記受信したデータに付加された検査コードとを比較するように、前記CRC検出回路を制御する

請求項6記載のデータ送受信装置。

40

## 【請求項 8】

CRCの対象となるデータに対して検査コードを生成するCRC生成回路と、

受信したデータから前記検査コードを検出するCRC検出回路と、

前記CRC生成回路から送信先に送信される当該データの先頭位置に対して、所定の期間前に、第1の送信開始信号を前記送信先に送信する送信側制御回路と、

前記送信先から送信されるデータの先頭位置に対して前記所定の期間前に送信される第2の送信開始信号を受信すると、前記CRC検出回路に、受信したデータに対して前記検

50

査コードを検出する処理を実施するように制御する受信側制御回路と  
を備えたデータ送受信装置。

【請求項 9】

前記送信側制御回路は、前記データのうち前記検査コードを除く有効データの長さを保持し、当該有効データの長さに基づいて、前記CRC生成回路が当該有効データに対して前記検査コードを生成する処理を実施するように制御する

請求項 8 記載のデータ送受信装置。

【請求項 10】

CRCの対象となるデータに対して検査コードを生成するCRC生成回路から送信先に送信される当該データの先頭位置に対して、所定の期間前に、第1の送信開始信号を前記送信先に送信し、

前記送信先から送信されるデータの先頭位置に対して前記所定の期間前に送信される第2の送信開始信号を受信すると、受信したデータから前記検査コードを検出するCRC検出回路に、受信したデータに対して前記検査コードを検出する処理を実施するように制御する

データ送受信方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ送受信装置におけるCRC (Cyclic Redundancy Check) 生成及びCRC検査技術に関するものである。

【背景技術】

【0002】

近年、情報通信の高速化や記録/再生システムの大容量化に伴い、通信データや記録/再生データの信頼性向上を目的に、誤り検出技術が重要になってきている。誤り検出技術とは、'0'と'1'のビット列によって表現されたデジタル情報に、誤り検出符号と呼ばれる冗長性を付加することによって、通信や記録/再生の過程において生じるデータの誤りを検出することを可能にする技術である。このような誤り検出符号の生成及び検査手法として、例えば、巡回冗長検査(以降、「CRC」と称する)方式がある。

【0003】

例えば、特許文献1には、CRCを行うデータ送受信装置が開示される。図6は、特許文献1に開示されるデータ送受信装置の構成を示す図である。図6に示すように、データ送受信装置は、CRC符号部109とCRC復号部110を備える。

【0004】

このデータ送受信装置では、図6に示すデータバス111およびデータバス112に、8ビット幅のバスを用いている。また、データ送受信装置において、CRC符号部109およびCRC復号部110におけるデータ転送効率を低下させないために、データバス105およびデータバス106のバス幅と、CRC符号部109の内部およびCRC復号部110の内部処理は、すべて8ビットで行われる。

【0005】

CRC符号部109は、CRC付加部5、データ拡張部20および並列除算処理部107を備える。CRC復号部110は、CRC判定部11、データ出力部12および並列除算処理部108を備える。

【0006】

並列除算処理部107、108は、生成多項式 $G(X) = X^8 + X^2 + X + 1$ を使用して、8ビットの平行形式のデータの並列除算処理を実行する。並列除算処理部107は、データ送受信装置から送信するデータに対して並列除算処理を行い、CRC付加部5は、その並列除算処理により得られたCRCコードをデータに付加する。

【0007】

並列除算処理部108は、対向デバイスから送信されたデータのCRCを行うために、

10

20

30

40

50

当該データに対して並列除算処理を行う。CRC判定部11は、その並列除算処理により得られたCRCコードと、受信したデータに付加されたCRCコードとを比較することにより、当該データのエラー判定を行う。

【0008】

ここで、データ送受信装置は、以下の方式にて誤りチェックを行う。すなわち、送信データを送信するデータ送受信装置（以下、「送信側」と称する）において、送信データに対してCRC符号化処理を行う。送信側は、そのCRC符号化処理の結果得られたCRCコードを送信データに付加して、受信側のデータ送受信装置（以下、「受信側」と称する）に送信する。そして、受信側において、受信したCRCコードが付加されたデータの復号処理を実施すると共に、送信側で付加されたCRCコードと、上記復号処理の結果得られたCRCコードとが一致するか否かに基づいて、データ誤りの有無をチェックする。

10

【0009】

あるいは、以下の方式にて誤りチェックを行うデータ送受信装置もある。すなわち、送信側は、上記と同様に、送信データに対してCRC符号化処理を行い、その結果得られたCRCコードを送信データに付加して受信側に送信する。受信側は、当該送信データを受信すると、送信側に、当該データの誤りチェックのために返信する。送信側は、自装置が送信した、CRCコードが付加された送信データを受信側から受信する。送信側は、当該送信データに対してCRC復号処理を実施すると共に、上記と同様に、CRCコードの一致または不一致を確認することにより、データ誤りの有無をチェックする。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2001-168730号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

上述した後者の方式にて誤りチェックを行うデータ送受信装置、すなわち、送信データの誤り有無のチェックを、自装置にて行うデータ送受信装置では、以下の制御が必要となる。

【0012】

すなわち、このようなデータ送受信装置は、検査対象データを受信側に送信後、その検査対象データを受信側から受け取ってCRC復号処理を実施するにあたり、送信の際に行ったCRC符号化処理において検査対象データの先頭位置を検出したタイミングと同様のタイミングで、検査対象データの先頭位置を検出する必要がある。

30

【0013】

つまり、検査対象データが可変長である場合、データ送受信装置は、当該検査対象データの先頭位置を、受信時（CRC復号処理）において正しく認識することが可能な制御が必要である。

【0014】

ところが、上記特許文献1に示したデータ送受信装置では、固定長の検査対象データに関するCRC復号処理が開示されるのみであり、可変長の検査対象データに関するCRC復号処理において、検査対象データの先頭位置を検出することはできない。

40

【0015】

本願発明は、上記課題を鑑みてなされたものであり、可変長の検査対象データのCRC復号処理において、CRC符号化処理と同様に、検出対象データの先頭位置を検出することが可能なデータ送受信装置等を提供することを主要な目的とする。

【課題を解決するための手段】

【0016】

本発明の第1のデータ送受信装置は、CRCの対象となるデータに対して検査コードを生成するCRC生成回路から送信先に送信される当該データの先頭位置に対して、所定の

50

期間前に、第 1 の送信開始信号を前記送信先に送信する送信側制御回路と、前記送信先から送信されるデータの先頭位置に対して前記所定の期間前に送信される第 2 の送信開始信号を受信すると、受信したデータから前記検査コードを検出する CRC 検出回路に、受信したデータに対して前記検査コードを検出する処理を実施するように制御する受信側制御回路とを備える。

【 0 0 1 7 】

本発明の第 2 のデータ送受信装置は、CRC の対象となるデータに対して検査コードを生成する CRC 生成回路と、受信したデータから前記検査コードを検出する CRC 検出回路と、前記 CRC 生成回路から送信先に送信される当該データの先頭位置に対して、所定の期間前に、第 1 の送信開始信号を前記送信先に送信する送信側制御回路と、前記送信先から送信されるデータの先頭位置に対して前記所定の期間前に送信される第 2 の送信開始信号を受信すると、前記 CRC 検出回路に、受信したデータに対して前記検査コードを検出する処理を実施するように制御する受信側制御回路とを備える。

10

【 0 0 1 8 】

本発明の第 1 のデータ送受信方法は、CRC の対象となるデータに対して検査コードを生成する CRC 生成回路から送信先に送信される当該データの先頭位置に対して、所定の期間前に、第 1 の送信開始信号を前記送信先に送信し、前記送信先から送信されるデータの先頭位置に対して前記所定の期間前に送信される第 2 の送信開始信号を受信すると、受信したデータから前記検査コードを検出する CRC 検出回路に、受信したデータに対して前記検査コードを検出する処理を実施するように制御する。

20

【 発明の効果 】

【 0 0 1 9 】

本願発明によれば、可変長の検査対象データの CRC 復号処理において、CRC 符号化処理と同様に、検出対象データの先頭位置を検出することができるという効果が得られる。

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】本発明の第 1 の実施形態に係るデータ送受信装置の構成を示すブロック図である。

【 図 2 】本発明の第 1 の実施形態に係るデータ送受信装置における送信動作を示すタイミングチャートである。

30

【 図 3 】本発明の第 1 の実施形態に係るデータ送受信装置が備える送信側 CRC 生成回路の構成を示すブロック図である。

【 図 4 】本発明の第 1 の実施形態に係るデータ送受信装置が備える受信側 CRC 検出回路の構成を示すブロック図である。

【 図 5 】本発明の第 1 の実施形態に係るデータ送受信装置における受信動作を示すタイミングチャートである。

【 図 6 】本発明の第 1 の実施形態に関連するデータ送受信装置の構成を示すブロック図である。

【 図 7 】本発明の第 2 の実施形態に係るデータ送受信装置の構成を示すブロック図である。

40

【 発明を実施するための形態 】

【 0 0 2 1 】

以下、本発明の実施形態について図面を参照して詳細に説明する。

【 0 0 2 2 】

第 1 の実施形態

図 1 は、本発明の第 1 の実施形態に係るデータ送受信装置 100 の構成を示すブロック図である。データ送受信装置 100 は、対向デバイス 200 と、データ伝送手段 300 を介してデータの送受信を行う。データ送受信装置 100 は、データの送受信相手である対向デバイス 200 との間で、データを送受信すると共に、自装置においてそのデータに対

50

する誤りチェックを行う。

【0023】

データ送受信装置100は、対向デバイス200との間で送受信するデータの誤りチェックの方式として、CRC方式を採用する。すなわち、データ送受信装置100は、対向デバイス200に送信したデータ（以下、「検査対象データ」と称する）に対してCRC演算（CRC符号化）処理を行い、その結果得られたCRCコードを当該検査対象データに付加して対向デバイス200に送信する。このとき、データ送受信装置100は、送信する検査対象データの誤りチェックを自装置において行うために、当該検査対象データが対向デバイス200から自装置に送信されるように、自装置のアドレス等を検査対象データに付加しておく。

10

【0024】

対向デバイス200は、上記アドレス等に基づいて、検査対象データをデータ送受信装置100に送信する。データ送受信装置100は、受信した検査対象データに対してCRC復号処理を実施することにより、検査対象データに対する誤りチェックを行う。

【0025】

以下、データ送受信装置100によってCRC方式に準じたデータの誤りチェックを行う動作について説明する。

【0026】

図1に示すように、データ送受信装置100は、ホストデバイス110、送信側制御回路120、受信側制御回路130、送信側CRC生成回路140および受信側CRC検出回路150を備える。

20

【0027】

各構成要素の概略について説明する。

【0028】

ホストデバイス110は、データ送受信装置100における各種処理を実行すると共に、対向デバイス200に送信するデータを、送信側制御回路120に送出する。送信側制御回路120は、データ送受信装置100から送信するデータに関する制御を行う。受信側制御回路130は、データ送受信装置100において受信するデータに関する制御を行う。送信側CRC生成回路140は、送信するデータに対してCRC演算処理を実行することにより、CRCコードを生成する。受信側CRC検出回路150は、受信したデータにCRC復号処理を実行することにより、CRCコードを検出すると共に、当該データの誤りチェックを行う。

30

【0029】

データ送受信装置100において、ホストデバイス110は、送信データの先頭位置を正しく認識するための送信開始信号（詳細は後述する）を送出する。送信側制御回路120は、送信開始信号を受け取り、検査対象データの有効データ長に基づく制御タイミング信号（詳細は後述する）を生成する。送信側CRC生成回路140は、その制御タイミング信号に基づいてCRC演算処理を実行する。データ送受信装置100は、CRC演算処理により生成されたCRCコード（CRC符号）を付加した検査対象データを、対向デバイス200に送信する。

40

【0030】

データ送受信装置100は、上記検査対象データの誤りチェックのために、対向デバイス200から、先頭位置を正しく認識するための送信開始信号を受ける。受信側制御回路130は、その送信開始信号を受け、検査対象データの有効データ長に基づく制御タイミング信号を生成する。受信側CRC検出回路150は、その制御タイミング信号に基づいてCRC復号処理を実行する。受信側CRC検出回路150は、CRC復号処理の結果と、送信側CRC生成回路140により付加されたCRCコードとを比較することにより、検査対象データに対する誤りチェックを行う。

【0031】

図2は、データ送受信装置100における送信動作を示すタイミングチャートである。

50

図 1 および図 2 を参照して、データ送受信装置 100 の動作の詳細について説明する。

【0032】

まず、図 1 を用いて、データ送受信装置 100 のデータ送受信動作における初期設定について説明する。データ送受信装置 100 において、ホストデバイス 110 は、検査対象データに関する有効データ長を、送信側制御回路 120 および受信側制御回路 130 に送出する。送信側制御回路 120 および受信側制御回路 130 は、それぞれ 16 ビットのデータにより示される有効データ長（以降、「LENGTH [15:0]」と表記する場合がある）を、カウンタ 121 およびカウンタ 131 に保持しておく。有効データ長は、検査対象データのうち、CRC コードを除く有効データの長さを示す。

【0033】

次に、ホストデバイス 110 は、送信側 CRC 生成回路 140 および受信側 CRC 検出回路 150 に、「H」を示す 1 クロック（1 TCLK）幅の CRC\_CLR（CRC クリア）信号を送出する。送信側 CRC 生成回路 140 および受信側 CRC 検出回路 150 は、内部に備えた 8 ビットのフリップフロップ回路である CRC レジスタ（CRC\_reg [7:0]）（後述する）を、すべて「0」にする。以上の動作により、データ送受信装置 100 の初期設定が行われる。

【0034】

次に、図 2 を参照して、データ送受信装置 100 の動作の詳細について説明する。

【0035】

ホストデバイス 110 は、任意のタイミングで、可変長の入力データ、すなわち検査対象データを送信側制御回路 120 に送出する。送信側制御回路 120 は、ホストデバイス 110 から取得した検査対象データを、図示しないメモリに格納する。なお、入力データ（検査対象データ）は、8 ビットデータ列として送信側制御回路 120 に送出される。以降、検査対象データを、「DATA\_IN [7:0]」または「DIN [7:0]」と表記する場合がある。

【0036】

ホストデバイス 110 は、送信側制御回路 120 が送信側 CRC 生成回路 140 に送出する、検査対象データの先頭位置の 1 CLK 手前のタイミングで、送信側制御回路 120 に、「H」を示す 1 TCLK 幅の送信開始信号 LD (10a) を送出する。送信開始信号 LD (10a) は、検査対象データの先頭位置を管理する信号である。

【0037】

送信側制御回路 120 は、上記送信開始信号 LD (10a) = 「H」による動作開始トリガーが送出されたタイミングで、データ長制御信号 DATA\_EN (10b) を「L」から「H」に切り替え、DATA\_EN (10b) = 「H」を送信側 CRC 生成回路 140 に出力する動作を開始する。これと同じタイミングで、送信側制御回路 120 は、格納している検査対象データ（DIN [7:0]）を送信側 CRC 生成回路 140 に送出する。データ長制御信号 DATA\_EN (10b) は、検査対象データの有効データ長を管理する信号である。

【0038】

ここで、送信側制御回路 120 は、カウンタ 121 により、データ長制御信号 DATA\_EN (10b) = 「H」のタイミングを制御する。すなわち、送信側制御回路 120 は、上述したように、初期設定において、ホストデバイス 110 から取得した有効データ長をカウンタ 121 に保持している。カウンタ 121 は、有効データ長に相当するクロック数をカウントすると共に、そのカウント期間中は、DATA\_EN (10b) = 「H」を保持したまま送信側 CRC 生成回路 140 に出力する。

【0039】

カウンタ 121 が、有効データ長に相当するクロック数をカウントし終えたタイミング（図 2 のタイミング 160）で、送信側制御回路 120 は、DATA\_EN (10b) を「L」に切り替える。

【0040】

10

20

30

40

50

図 2 に示すように、送信側 CRC 生成回路 140 に入力されるデータ (DIN [7:0]) の有効 / 無効は、データ長制御信号 DATA\_EN (10b) により制御される。すなわち、データ長制御信号 DATA\_EN (10b) = "H" の入力期間中、送信側 CRC 生成回路 140 は、入力データ (DIN [7:0]) を CRC\_reg [7:0] に取り込むと共に、CRC 演算 (図 2 の期間 161 での演算) を行う。

【0041】

入力データ (DIN [7:0]) は、DATA\_EN (10b) をトリガとして、1TCLK 幅遅れて、出力データ (DOU [7:0]) として、対向デバイス 200 側に出力される (図 2 の矢印 162)。

【0042】

ここで、送信側制御回路 120 は、対向デバイス 200 に送信する、出力データ (DOU [7:0]) の先頭位置の 1CLK 手前のタイミング (すなわち、送信開始信号 LD (10a) を送出した次のタイミング (図 2 のパルス 166)) で、対向デバイス 200 に、"H" を示す 1TCLK 幅の送信開始信号 LD\_FLG (10d) を送出する。送信開始信号 LD\_FLG (10d) は、対向デバイス 200 が検査対象データの先頭位置を正しく認識するように制御する信号であり、検査対象データの先頭位置の 1CLK 手前のタイミングを示す。

【0043】

図 3 は、送信側 CRC 生成回路 140 の構成を示すブロック図である。図 3 に示すように、送信側 CRC 生成回路 140 は、並列除算処理部 141、CRC レジスタ 142 および CRC 付加部 143 を備える。並列除算処理部 141 は、生成多項式を用いて、並列 CRC 演算処理 (並列 CRC 符号化処理) を実行する。並列除算処理部 141 は、生成多項式として、例えば、以下の  $G(X)$  を用いてもよい。

【0044】

$$G(X) = X^8 + X^2 + X + 1$$

並列除算処理部 141 の具体的な動作は、例えば特許文献 1 に開示されるので、その詳細な説明は省略する。

【0045】

CRC レジスタ 142 は、並列除算処理部 141 による演算結果が入力されるレジスタである。CRC 付加部 143 は、後述する CRC 付加信号 CRC\_MUX (10c) に基づいて、CRC コードを検査対象データに付加すると共に、CRC コードが付加された検査対象データを、DOU [7:0] として出力する。

【0046】

以上のように、送信側制御回路 120 が、有効データ長に相当するクロック数をカウントし終えたタイミングで、DATA\_EN (10b) を "H" から "L" に切り替えると、送信側 CRC 生成回路 140 における CRC レジスタ 142 に入力される DATA\_EN (10b) = "L" となるので、CRC 演算処理は OFF となる。このとき、CRC レジスタ (CRC\_reg [7:0]) 142 に CRC 演算処理の結果 (図 2 の CRC 演算結果 163) が保持される。

【0047】

送信側制御回路 120 は、DATA\_EN (10b) を "H" から "L" に切り替えたタイミングで、CRC 付加信号 CRC\_MUX (10c) を "L" から "H" に切り替える (図 2 のパルス 164)。そして、送信側制御回路 120 は、カウンタが "有効データ長 + 1" に相当するクロック数をカウントしたタイミングで、CRC 付加信号 CRC\_MUX (10c) = "L" に切り替える。CRC 付加信号 CRC\_MUX (10c) は、CRC レジスタ 142 に保持される CRC コードを、検査対象データに付加するタイミングを管理する信号である。

【0048】

CRC 付加信号 CRC\_MUX (10c) = "H" が入力されると、送信側 CRC 生成回路 140 は、CRC 付加部 143 において、検査対象データに CRC コードを付加する

10

20

30

40

50



( 図 2 の矢印 1 6 5 ) 。

【 0 0 4 9 】

上述のように、送信側制御回路 1 2 0 は、データ長制御信号 DATA\_\_EN ( 1 0 b ) を " H " から " L " に切り替えたタイミングで、CRC 付加信号 CRC\_\_MUX ( 1 0 c ) = " H " を送信側 CRC 生成回路 1 4 0 に送出する。送信側 CRC 生成回路 1 4 0 は、CRC 付加信号 CRC\_\_MUX ( 1 0 c ) = " L " の間、入力データ ( DIN [ 7 : 0 ] ) の 8 ビットデータ列を出力する。そして、送信側 CRC 生成回路 1 4 0 は、CRC 付加信号 CRC\_\_MUX ( 1 0 c ) = " H " ( 図 2 のパルス 1 6 4 ) のタイミングで、入力データ ( DIN [ 7 : 0 ] ) の 8 ビットデータ列の最終データの後に、CRC 演算処理の結果として、CRC\_\_reg [ 7 : 0 ] に保持された CRC コードを付加する。この動作により、データ送受信装置 1 0 0 は、検査対象データに、CRC 演算処理の結果である CRC コードを付加して生成された出力データ ( DOUT [ 7 : 0 ] ) を、対向デバイス 2 0 0 に送信することができる。

10

【 0 0 5 0 】

次に、上記のようにデータ送受信装置 1 0 0 から送信された検査対象データに対する対向デバイス 2 0 0 におけるデータ送受信処理について説明する。対向デバイス 2 0 0 は、データ送受信装置 1 0 0 における送信側制御回路 1 2 0 と受信側制御回路 1 3 0 と、それぞれ同様の構成を有する送信側制御回路 2 2 0 と受信側制御回路 2 1 0 を備える。

【 0 0 5 1 】

上述のように、対向デバイス 2 0 0 は、データ送受信装置 1 0 0 から受信した検査対象データを、データ送受信装置 1 0 0 において誤りチェックを実施するために、データ送受信装置 1 0 0 に送信する。

20

【 0 0 5 2 】

また、上述のように、データ送受信装置 1 0 0 における送信側制御回路 1 2 0 は、送信する検査対象データの先頭位置の 1 CLK 手前のタイミングで、送信開始信号 LD\_\_FLG ( 1 0 d ) を対向デバイス 2 0 0 に送信する。また、対向デバイス 2 0 0 における送信側制御回路 2 2 0 も、検査対象データの先頭位置を送信開始信号 LD\_\_FLG ( 2 0 a ) により管理している。すなわち、送信側制御回路 2 2 0 は、送信する検査対象データの先頭位置の 1 CLK 手前のタイミングで、送信開始信号 LD\_\_FLG ( 2 0 a ) を、データ送受信装置 1 0 0 に送信する。

30

【 0 0 5 3 】

すなわち、対向デバイス 2 0 0 は、データ送受信装置 1 0 0 に検査対象データの送信を開始する際に、検査対象データの先頭位置の 1 CLK 手前のタイミングにおいて、受信側データ送受信装置 1 0 0 に、送信開始信号 LD\_\_FLG ( 2 0 a ) = " H " を 1 TCLK 幅にて送出する。

【 0 0 5 4 】

ここで、図 4 を参照して、受信側 CRC 検出回路 1 5 0 の構成について説明する。図 4 に示すように、受信側 CRC 検出回路 1 5 0 は、並列除算処理部 1 5 1、CRC レジスタ 1 5 2、比較器 1 5 3 および CRC ラッチレジスタ 1 5 4 を備える。並列除算処理部 1 5 1 は、図 3 に示した並列除算処理部 1 4 1 と同様の生成多項式  $G(X)$  を用いて並列除算処理 ( 並列 CRC 復号処理 ) を実行する。CRC レジスタ 1 5 2 は、並列除算処理部 1 5 1 による演算結果が入力されるレジスタである。比較器 1 5 3 は、CRC レジスタ 1 5 2 からの入力と、CRC ラッチレジスタ 1 5 4 からの入力とを比較すると共に、比較の結果を出力する。CRC ラッチレジスタ 1 5 4 は、受信した検査対象データに付加された CRC コードが入力されるレジスタである。

40

【 0 0 5 5 】

図 5 は、データ送受信装置 1 0 0 における受信動作を示すタイミングチャートである。図 4 および図 5 を参照して、データ送受信装置 1 0 0 における受信動作について説明する。

【 0 0 5 6 】

50

図5に示すように、データ送受信装置100は、受信側制御回路130において、対向デバイス200から検査対象データの先頭位置の1CLK手前のタイミングで、1TCLK幅の送信開始信号LD\_FLG(20a) = "H"を受信する(図5のパルス170)。この信号に応じて、受信側制御回路130は、データ長制御信号DATA\_EN(20b)を、"L"から"H"に切り替え、受信側CRC検出回路150に出力する動作を開始する。

【0057】

ここで、受信側制御回路130は、送信側制御回路120と同様に、カウンタ131により、DATA\_EN(20b) = "H"のタイミングを制御する。すなわち、上述したように、受信側制御回路130は、初期設定により、ホストデバイス110から取得した有効データ長をカウンタ131に保持している。カウンタ131は、有効データ長に相当するクロック数をカウントすると共に、そのカウント期間中は、DATA\_EN(20b) = "H"を保持したまま受信側CRC検出回路150に出力する。

10

【0058】

カウンタが、有効データ長に相当するクロック数をカウントし終えたタイミングで、受信側制御回路130は、DATA\_EN(20b)を"L"に切り替える(図5のタイミング171)。

【0059】

上述した送信側CRC生成回路140に入力されるデータと同様に、受信側CRC検出回路150に入力されるデータ(DIN[7:0])の有効/無効は、データ長制御信号DATA\_EN(20b)により制御される。すなわち、データ長制御信号DATA\_EN(20b) = "H"の入力期間中、受信側CRC検出回路150は、入力データ(DIN[7:0])をCRC\_reg[7:0]に取り込むと共に、CRC演算処理(図5の期間172における演算)を行う。

20

【0060】

受信側制御回路130は、DATA\_EN(20b)を"H"から"L"に切り替えたタイミングで、CRCイネーブル信号CRC\_EN(20c)を"L"から"H"に切り替える。そして、受信側制御回路130は、カウンタ131が"有効データ長+1"に相当するクロック数をカウントしたタイミングで、CRCイネーブル信号CRC\_EN(20c) = "L"に切り替える。CRCイネーブル信号CRC\_EN(20c)は、検査対象データに含まれるCRCコードの位置を管理する信号である。

30

【0061】

CRCイネーブル信号CRC\_EN(20c) = "H"のタイミングで、受信側CRC検出回路150は、送信側制御回路220から送出された(DIN[7:0])を、CRCラッチレジスタ(CRC\_LAT\_reg[7:0])154に保持する(図5の173に示す)。

【0062】

受信側制御回路130は、CRCチェックイネーブル信号CRC\_CHK(20d) = "H"を、CRCイネーブル信号CRC\_EN(20c) = "L"となったタイミングで送出する。そして、受信側制御回路130は、カウンタ131が"有効データ長+2"に相当するクロック数をカウントしたタイミングでCRCチェックイネーブル信号CRC\_CHK(20d) = "L"に切り替える。CRCチェックイネーブル信号CRC\_CHK(20d)は、CRCコードの比較のタイミングを管理する信号である。

40

【0063】

上述のように、受信側制御回路130から、CRC\_CHK(20d) = "H"を受けると、受信側CRC検出回路150は、比較器153において、上述のCRC\_EN(20c) = "H"のタイミングでCRC\_LAT\_reg[7:0]に保持されたCRCコードと、CRC\_reg[7:0]に保持されたCRC演算処理の結果とを比較する。

【0064】

比較器153は、両者の一致または不一致に応じて、検査対象データの誤り有無を示す

50

信号を出力する。すなわち、比較器 153 は、両者が一致するときは、誤り有無信号  $CRC\_NG(20e) = "L"$  のまま受信側制御回路 130 に出力する。一方、両者が不一致のとき、比較器 153 は、誤り有無信号  $CRC\_NG(20e) = "H"$  を受信側制御回路 130 に出力する。誤り有無信号  $CRC\_NG(20e)$  は、検査対象データの誤り有無を示す信号であり、「L」のとき「誤り無し」、「H」のとき「誤り有り」を示す。

【0065】

受信側制御回路 130 は、誤り有無信号  $CRC\_NG(20e) = "L"$  を受けると、「誤り無し」と判定し、ホストデバイス 110 に ACK 信号を出力する。一方、受信側制御回路 130 は、誤り有無信号  $CRC\_NG(20e) = "H"$  を受けると「誤り有り」と判定し、ホストデバイス 110 に NACK 信号を出力する。以上の動作により、データ送受信装置 100 は、検査対象データの誤りチェックを実施できる。

10

【0066】

以上のように、本実施形態によれば、データ送受信装置 100 が備える送信側制御回路 120 は、対向デバイス 200 に送信する検査対象データの先頭位置の 1CLK 手前のタイミングで（、すなわち検査対象データを送信するトリガとして）、対向デバイス 200 に送信開始信号  $LD\_FLG(10d)$  を送出する。受信側制御回路 130 は、また、検査対象データの先頭位置の 1CLK 手前のタイミングで（、すなわち検査対象データを受信するトリガとして）、対向デバイス 200 から送信開始信号  $LD\_FLG(20a)$  を受信する。受信側制御回路 130 は、送信開始信号  $LD\_FLG(20a)$  を受けたタイミングを、検査対象データの先頭位置と認識する。

20

【0067】

上記構成を採用することにより、本第 1 の実施形態によれば、データ送受信装置 100 は、送信開始信号  $LD\_FLG(20a)$  によって、検査対象データの先頭位置を正しく認識することができるので、可変長の検査対象データの CRC 復号処理において、CRC 演算処理と同様に、検査対象データの先頭位置を検出することができるという効果が得られる。

【0068】

第 2 の実施形態

図 7 は、本発明の第 2 の実施形態に係るデータ送受信装置 300 の構成を示すブロック図である。図 7 に示すように、データ送受信装置は、送信側制御回路 301 と受信側制御回路 302 を備える。

30

【0069】

送信側制御回路 301 は、CRC の対象となるデータ（検査対象データ）に対して検査コードを生成する CRC 生成回路（送信側 CRC 生成回路 140）から送信先（対向デバイス 200）に送信される当該データの先頭位置に対して、所定の期間前に、第 1 の送信開始信号（ $LD\_FLG(10d)$ ）を送信先に送信する。

【0070】

受信側制御回路 302 は、送信先から送信されるデータの先頭位置に対して所定の期間前に送信される第 2 の送信開始信号（ $LD\_FLG(20a)$ ）を受信すると、受信したデータから検査コードを検出する CRC 検出回路（受信側 CRC 検出回路 150）に、受信したデータに対して検査コードを検出する処理を実施するように制御する。

40

【0071】

上記構成を採用することにより、本第 2 の実施形態によれば、第 1 の送信開始信号と第 2 の送信開始信号に基づいて、データ送受信装置 100 は、検査対象データの先頭位置を正しく認識できるので、可変長の検査対象データの CRC 復号処理において、CRC 符号化処理と同様に、検査対象データの先頭位置を検出することができるという効果が得られる。

【符号の説明】

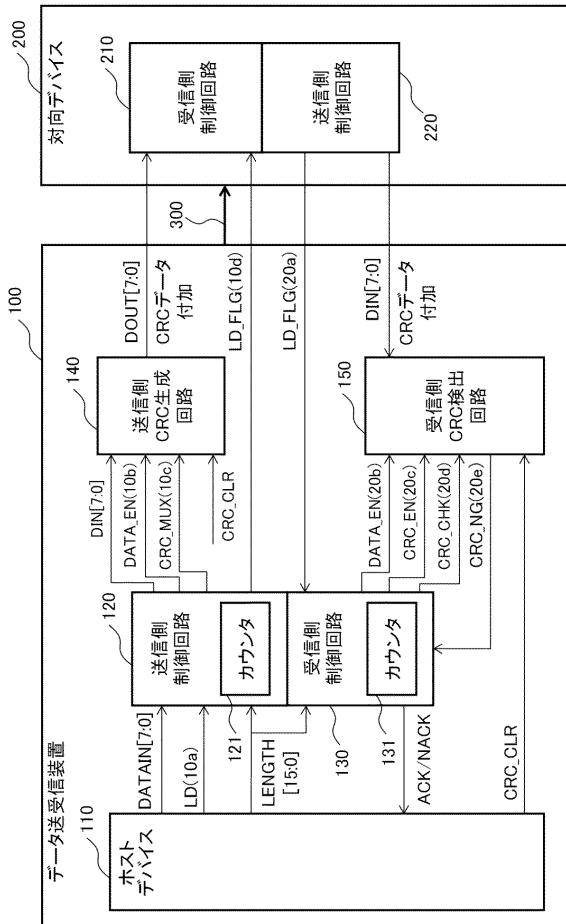
【0072】

100 データ送受信装置

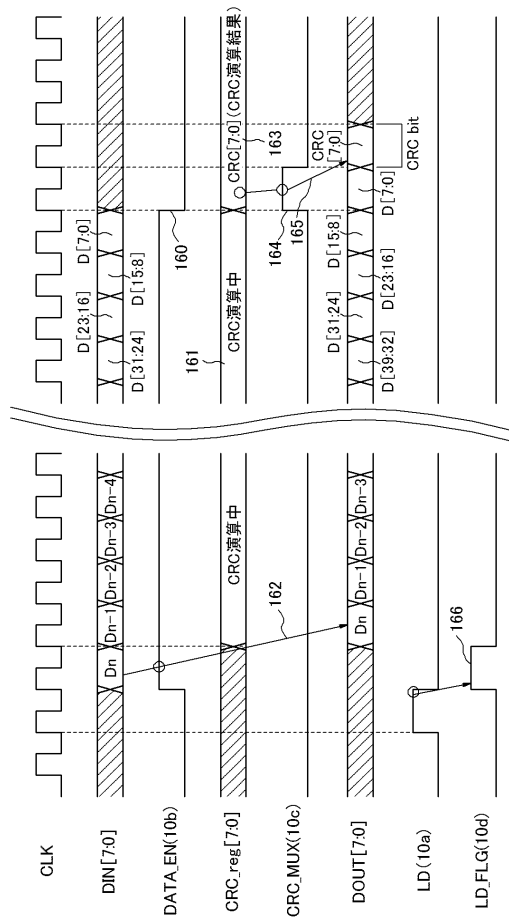
50

- 1 1 0 ホストデバイス
- 1 2 0 送信側制御回路
- 1 3 0 受信側制御回路
- 1 4 0 受信側CRC生成回路
- 1 4 1 並列除算処理部
- 1 4 2 CRCレジスタ
- 1 4 3 CRC付加部
- 1 5 0 受信側CRC検出回路
- 1 5 1 並列除算処理部
- 1 5 2 CRCレジスタ
- 1 5 3 比較器
- 1 5 4 CRCラッチレジスタ
- 2 0 0 対向デバイス
- 3 0 0 データ伝送手段

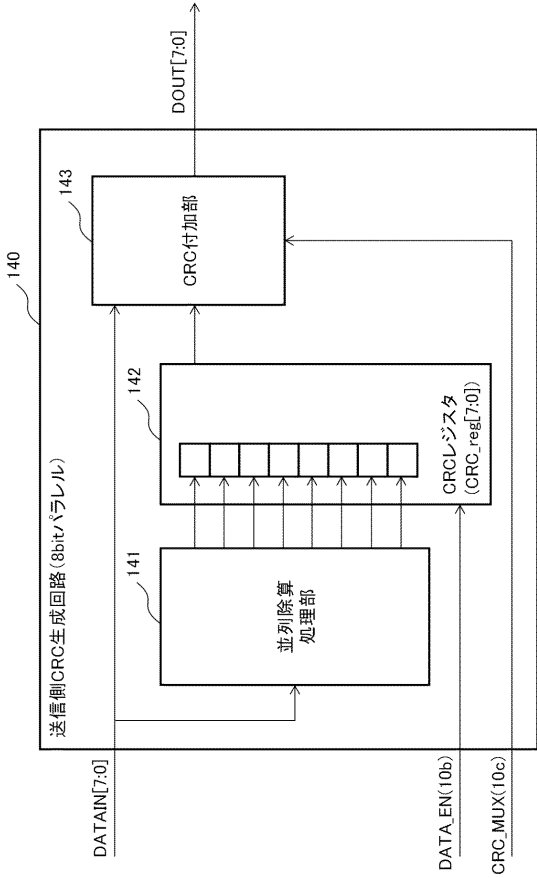
【 図 1 】



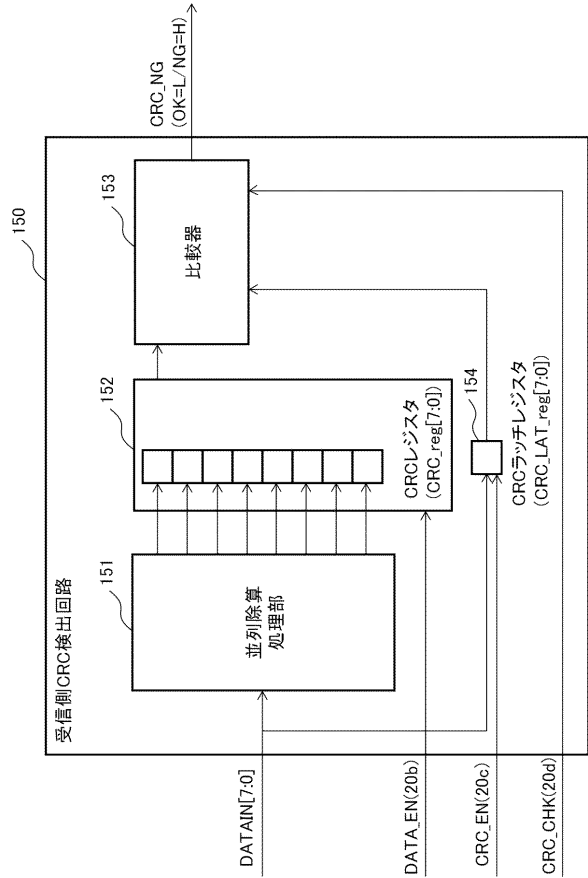
【 図 2 】



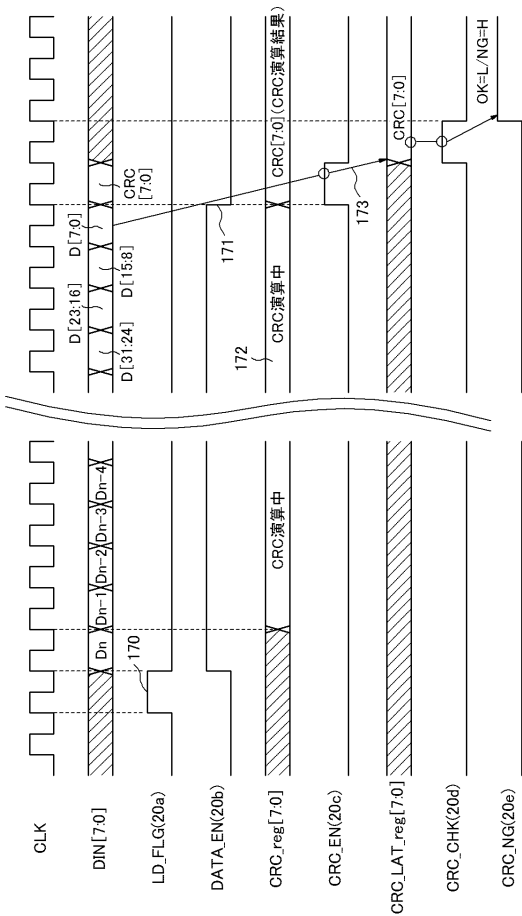
【 図 3 】



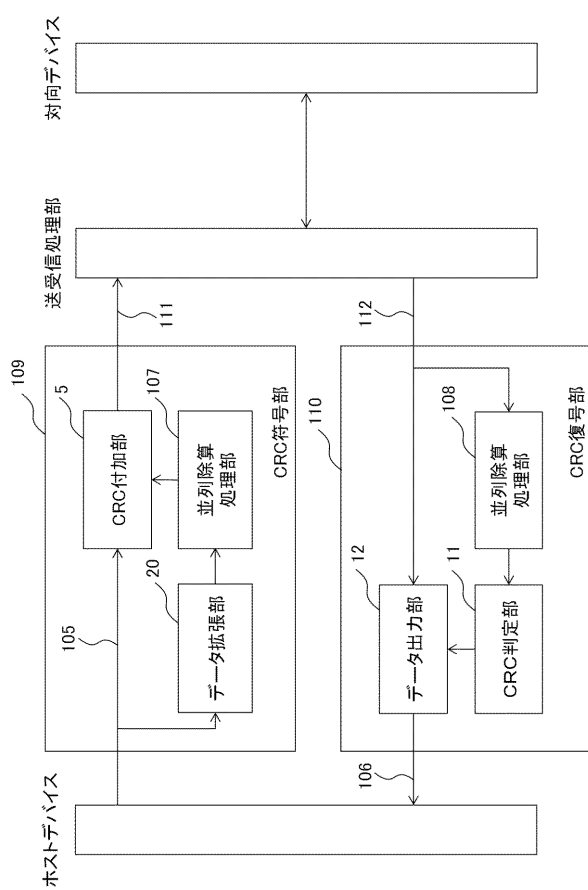
【 図 4 】



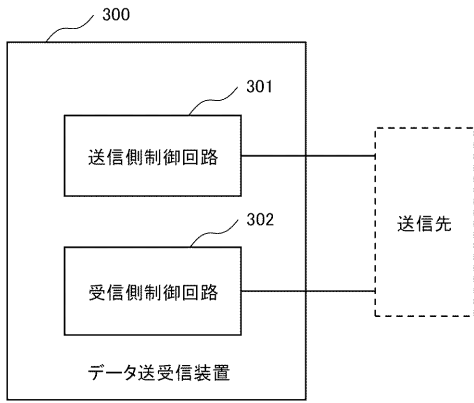
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

Fターム(参考) 5J065 AD04  
5K014 BA06