

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-113762
(P2018-113762A)

(43) 公開日 平成30年7月19日(2018.7.19)

(51) Int.Cl. F I テーマコード(参考)
H02M 3/28 (2006.01) H02M 3/28 C 5H730
 H02M 3/28 Q

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2017-2458 (P2017-2458)
 (22) 出願日 平成29年1月11日(2017.1.11)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 陳 建
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 Fターム(参考) 5H730 AA20 AS01 BB26 BB66 DD04
 EE03 EE07 EE57 EE58 EE59
 FD01 FD18 FD21 FF01 FF09
 FF19 FG01 XX02 XX03 XX12
 XX16 XX22 XX23 XX32 XX40
 XX43

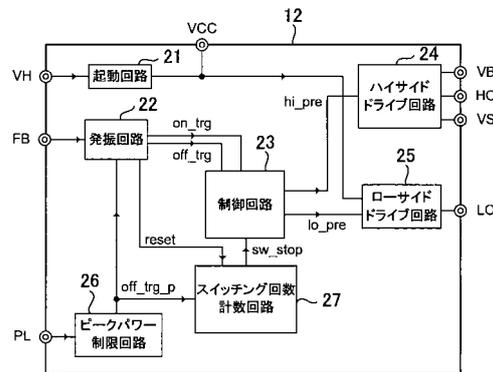
(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】スイッチング素子を制御する制御部に過電圧保護機能を持たせた電流共振型のスイッチング電源装置を提供する。

【解決手段】制御IC12は、共振コンデンサの両端電圧に比例した電圧信号をPL端子に受けるピークパワー制限回路26と、ピークパワー制限回路26が出力した強制ターンオフ信号off_trg_pを計数するスイッチング回数計数回路27とを備える。ピークパワー制限回路26は、共振コンデンサの両端電圧に比例した電圧信号が所定値より大きくなると、強制ターンオフ信号off_trg_pを出力する。スイッチング回数計数回路27は、強制ターンオフ信号off_trg_pを受けた回数を計数して2次側の出力電圧を予測し、予測した出力電圧が過電圧保護の検出電圧に達したとき、スイッチング停止信号sw_stopを出力する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

両端に直流の入力電圧が印加される、ハイサイドの第 1 のスイッチング素子およびローサイドの第 2 のスイッチング素子の第 1 の直列回路と、

前記第 1 のスイッチング素子または前記第 2 のスイッチング素子と並列に接続された共振リアクトルおよび共振コンデンサの第 2 の直列回路と、

前記第 1 のスイッチング素子および前記第 2 のスイッチング素子を交互にオン・オフ制御する制御部と、

を備え

前記制御部は、

入力電力を監視して前記入力電力が所定値よりも高くなると強制ターンオフ信号を出力するピークパワー制限回路と、

前記強制ターンオフ信号を計数して 2 次側の出力電圧を予測し、予測した前記出力電圧が過電圧保護の検出電圧に達したとき、スイッチング動作を停止させるスイッチング停止信号を出力するスイッチング回数計数回路と、

を有するスイッチング電源装置。

10

【請求項 2】

前記制御部は、前記共振コンデンサの両端の電圧を分圧した電圧を、前記入力電力を表す信号として入力する、請求項 1 記載のスイッチング電源装置。

【請求項 3】

20

前記ピークパワー制限回路は、前記入力電力を表す信号と第 1 の閾値とを比較する第 1 の比較器と、前記第 1 の比較器の出力に接続されて前記入力電力を表す信号が前記第 1 の閾値を超えるタイミングでパルスを出力する第 1 のワンショット回路と、前記入力電力を表す信号と前記第 1 の閾値より低い値の第 2 の閾値とを比較する第 2 の比較器と、前記第 2 の比較器の出力に接続されて前記入力電力を表す信号が前記第 2 の閾値より低下するタイミングでパルスを出力する第 2 のワンショット回路と、前記第 1 のワンショット回路および前記第 2 のワンショット回路の出力を入力して前記強制ターンオフ信号を出力する論理和回路とを有する、請求項 2 記載のスイッチング電源装置。

【請求項 4】

前記制御部は、前記共振リアクトルを構成するトランスの 1 次巻線側に設けられた補助巻線の両端の電圧を分圧した電圧が前記入力電力を表す信号として入力される、請求項 1 記載のスイッチング電源装置。

30

【請求項 5】

前記ピークパワー制限回路は、前記入力電力を表す信号と第 1 の閾値とを比較する第 1 の比較器と、前記第 1 の比較器の出力に接続されて前記入力電力を表す信号が前記第 1 の閾値より低下するタイミングでパルスを出力する第 1 のワンショット回路と、前記入力電力を表す信号と前記第 1 の閾値より低い値の第 2 の閾値とを比較する第 2 の比較器と、前記第 2 の比較器の出力に接続されて前記入力電力を表す信号が前記第 2 の閾値を超えるタイミングでパルスを出力する第 2 のワンショット回路と、前記第 1 のワンショット回路および前記第 2 のワンショット回路の出力を入力して前記強制ターンオフ信号を出力する論理和回路とを有する、請求項 4 記載のスイッチング電源装置。

40

【請求項 6】

前記スイッチング回数計数回路は、前記ピークパワー制限回路が出力した前記強制ターンオフ信号を計数する計数部と、前記出力電圧が前記過電圧保護の検出電圧に達するスイッチング回数を設定する目標スイッチング回数設定部と、前記計数部の出力と前記目標スイッチング回数設定部に設定された前記スイッチング回数とを比較し、前記計数部の出力が前記スイッチング回数に達したとき前記スイッチング停止信号を出力するデジタル比較器とを有する、請求項 1 記載のスイッチング電源装置。

【請求項 7】

前記制御部は、オントリガ信号を生成するタイミングを決めるオントリガ信号生成回路

50

と、オフトリガ信号を生成するタイミングを決めるとともに該オフトリガ信号を生成するタイミングで前記スイッチング回数計数回路の計数値をリセットするリセット信号を出力するオフトリガ信号生成回路とを有し、前記ピークパワー制限回路から前記強制ターンオフ信号を受けたときは、前記強制ターンオフ信号を受けたタイミングで前記オフトリガ信号を出力する発振回路を有する、請求項 1 記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はスイッチング電源装置に関し、特に電流共振型の DC - DC コンバータであるスイッチング電源装置に関する。

10

【背景技術】

【0002】

電流共振型の DC - DC コンバータのスイッチング電源装置は、高効率化・薄型化に適しているため、液晶テレビ、AC - DC アダプタなどに広く採用されている。この電流共振型の DC - DC コンバータのスイッチング電源装置は、一般に 2 つのスイッチング素子を直列に接続したハーフブリッジ回路、共振用コンデンサ、トランス、出力整流ダイオードおよび出力コンデンサを備えている。このスイッチング電源装置で用いるトランスは、結合係数を小さくすることでリーケージインダクタンス成分を大きくし、これを共振用インダクタとして利用していることが多い。

【0003】

20

ハーフブリッジ回路を構成するスイッチング素子は、制御部に接続され、制御部のハイサイドドライブ回路およびローサイドドライブ回路から出力される信号によって交互にオン・オフ制御される。スイッチング素子をオン・オフ制御することで、共振回路の共振電流が制御され、この共振電流がトランスの 2 次側に伝達され、整流・平滑されて直流の出力電圧に変換される。その出力電圧は、シャントレギュレータによって目標の電圧と比較され、目標の電圧との誤差信号がフォトカプラを介して制御部に帰還される。制御部は、帰還された誤差信号を基にスイッチング素子のスイッチング周波数を可変して出力電圧が目標の電圧になるように制御している（たとえば、特許文献 1 参照）。

【0004】

この特許文献 1 に開示の制御部は、出力電圧が目標の電圧より低下したとき、出力電圧を上昇させるよう制御し、出力電圧が目標の電圧より上昇したとき、出力電圧を低下させるよう制御する。ここで、フォトカプラが故障または帰還回路がオープン状態になった場合、制御部は、出力電圧が低下したと判断し、出力電圧を上昇させるよう制御する。その一方で、制御部は、帰還回路のオープン状態を検出して抵抗およびコンデンサによる充電回路を動作させ、コンデンサに充電された電圧が基準電位を超えると、スイッチング素子のオン・オフ制御を停止し、出力電圧を 0 にしている。

30

【0005】

この特許文献 1 の制御部は、帰還回路のオープン状態を検出してから出力電圧を 0 にするまでの時間は、抵抗およびコンデンサの時定数によって決められる。この間、出力電圧の安定化が無制御状態になるので、出力電圧が実際にどのように変化しているは不明である。このため、出力電圧が異常に高い電圧まで上昇してしまうことが考えられる。

40

【0006】

そこで、近年のスイッチング電源装置では、出力電圧の過電圧を検出する過電圧検出回路を備え、過電圧検出回路が過電圧を検出したときには、その信号がフォトカプラを介して制御部に帰還され、制御部は、スイッチング素子のオン・オフ制御を停止する。これにより、出力電圧の安定化の制御と並行して、出力電圧の過電圧保護の制御が行われるので、出力電圧が過電圧になった場合に、確実にスイッチング素子のオン・オフ制御を停止することができる。

【先行技術文献】

【特許文献】

50

【 0 0 0 7 】

【 特許文献 1 】 特開平 8 - 1 6 3 8 6 6 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、過電圧保護制御には、過電圧検出回路およびフォトカプラの外付け部品が必要になるので、スイッチング電源装置のコストが高くなるだけでなく、スイッチング電源装置の小型・軽量化が難しいという問題点があった。

【 0 0 0 9 】

本発明はこのような点に鑑みてなされたものであり、スイッチング素子を制御する制御部に過電圧保護機能を持たせて外付け部品を廃止したスイッチング電源装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明では、上記の課題を解決するために、両端に直流の入力電圧が印加される、ハイサイドの第 1 のスイッチング素子およびローサイドの第 2 のスイッチング素子の第 1 の直列回路と、第 1 のスイッチング素子または第 2 のスイッチング素子と並列に接続された共振リアクトルおよび共振コンデンサの第 2 の直列回路と、第 1 のスイッチング素子および第 2 のスイッチング素子を交互にオン・オフ制御する制御部と、を備えたスイッチング電源装置が提供される。このスイッチング電源装置の制御部は、入力電力を監視して入力電力が所定値よりも高くなると強制ターンオフ信号を出力するピークパワー制限回路と、強制ターンオフ信号を計数して 2 次側の出力電圧を予測し、予測した出力電圧が過電圧保護の検出電圧に達したとき、スイッチング動作を停止させるスイッチング停止信号を出力するスイッチング回数計数回路と、を有する。

【 発明の効果 】

【 0 0 1 1 】

上記構成のスイッチング電源装置は、制御部がスイッチング素子のスイッチングの際にトランスの 2 次側に伝達されるエネルギーを基に 2 次側の出力電圧を予測するようにしたので、過電圧保護制御のための外付け部品が不要になるという利点がある。外付け部品が不要になることで、スイッチング電源装置は、コストが低減され、小型・軽量化が可能になる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 第 1 の実施の形態に係る電流共振型の DC - DC コンバータを備えるスイッチング電源装置の構成例を示す回路図である。

【 図 2 】 制御 IC の構成例を示す図である。

【 図 3 】 電流共振型のスイッチング電源装置の動作シーケンスを示す図である。

【 図 4 】 発振回路の構成例を示す回路図である。

【 図 5 】 ピークパワー制限回路の構成例を示す回路図である。

【 図 6 】 スwitching回数計数回路の構成例を示す回路図である。

【 図 7 】 ピークパワー制限時におけるピークパワー制限回路の動作シーケンスを示す図である。

【 図 8 】 ピークパワー制限時における電流共振型のスイッチング電源装置の動作シーケンスを示す図である。

【 図 9 】 第 2 の実施の形態に係る電流共振型の DC - DC コンバータを備えるスイッチング電源装置の構成例を示す回路図である。

【 図 1 0 】 ピークパワー制限回路の構成例を示す回路図である。

【 図 1 1 】 ピークパワー制限時におけるピークパワー制限回路の動作シーケンスを示す図である。

【 発明を実施するための形態 】

10

20

30

40

50

【 0 0 1 3 】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、各実施の形態は、矛盾のない範囲で複数の実施の形態を部分的に組み合わせて実施することができる。また、以下の説明において、端子名とその端子における電圧、信号などは、同じ符号を用いることがある。

【 0 0 1 4 】

< 第 1 の実施の形態 >

図 1 は第 1 の実施の形態に係る電流共振型の DC - DC コンバータを備えるスイッチング電源装置の構成例を示す回路図、図 2 は制御 IC の構成例を示す図、図 3 は電流共振型のスイッチング電源装置の動作シーケンスを示す図である。

10

【 0 0 1 5 】

第 1 の実施の形態に係るスイッチング電源装置は、その入力端子 1 0 p , 1 0 n に入力コンデンサ C 1 が接続されており、たとえば、力率改善回路によって生成された高圧で一定にされた直流の入力電圧 V i を受けている。入力端子 1 0 p , 1 0 n には、また、ハイサイドのスイッチング素子 Q 1 とローサイドのスイッチング素子 Q 2 との直列回路が接続され、ハーフブリッジ回路を構成している。スイッチング素子 Q 1 , Q 2 は、図示の例では、Nチャネル MOS F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) を使用している。

【 0 0 1 6 】

スイッチング素子 Q 1 , Q 2 の共通の接続点は、トランス T 1 の 1 次巻線 P 1 の一方の端子に接続され、1次巻線 P 1 の他方の端子は、共振コンデンサ C 6 を介してグランドに接続されている。ここで、トランス T 1 の 1 次巻線 P 1 と 2 次巻線 S 1 , S 2 との間にあるリーケージインダクタンス成分および共振コンデンサ C 6 は、共振回路を構成している。なお、リーケージインダクタンスを用いず、共振コンデンサ C 6 にトランス T 1 を構成するインダクタンスとは別のインダクタンスを直列に接続して、当該インダクタンスを共振回路の共振リアクタンスとするようにしてもよい。

20

【 0 0 1 7 】

トランス T 1 の 2 次巻線 S 1 の一方の端子は、ダイオード D 3 のアノード端子に接続され、2次巻線 S 2 の一方の端子は、ダイオード D 4 のアノード端子に接続されている。ダイオード D 3 , D 4 のカソード端子は、ともに、出力コンデンサ C o の正極端子および出力端子 1 1 p に接続されている。出力コンデンサ C o の負極端子は、2次巻線 S 1 , S 2 の共通の接続点および出力端子 1 1 n に接続されている。2次巻線 S 1 , S 2 、ダイオード D 3 , D 4 および出力コンデンサ C o は、2次巻線 S 1 , S 2 に生じられた交流電圧を整流・平滑して直流の出力電圧 V o に変換する回路を構成し、スイッチング電源装置の出力回路を構成している。

30

【 0 0 1 8 】

出力コンデンサ C o の正極端子は、抵抗 R 8 を介してフォトカプラ P C 1 の発光ダイオードのアノード端子に接続され、発光ダイオードのカソード端子は、シャントレギュレータ S R 1 のカソード端子に接続されている。発光ダイオードのアノード端子およびカソード端子間には、抵抗 R 6 が接続されている。シャントレギュレータ S R 1 のアノード端子は、出力端子 1 1 n に接続されている。シャントレギュレータ S R 1 は、出力コンデンサ C o の正極端子と負極端子との間に直列接続された抵抗 R 9 , R 1 0 の接続点に接続されたリファレンス端子を有している。シャントレギュレータ S R 1 は、リファレンス端子とカソード端子との間に、抵抗 R 7 およびコンデンサ C 1 1 の直列回路が接続されている。このシャントレギュレータ S R 1 は、出力電圧 V o (出力コンデンサ C o の両端電圧) を分圧した電位と内蔵の基準電圧との差に応じた電流をフォトカプラ P C 1 の発光ダイオードに流すものである。これにより、発光ダイオードには、出力電圧 V o の目標の電圧との誤差に相当する電流が流れることになる。フォトカプラ P C 1 のフォトランジスタは、そのコレクタ端子が制御 IC (Integrated Circuit) 1 2 の F B 端子に接続され、エミッタ端子がグランドに接続され、コレクタ端子およびエミッタ端子間には、コンデンサ C 2

40

50

が接続されている。

【0019】

制御IC12は、このスイッチング電源装置を制御する制御部であり、入力コンデンサC1の正極端子に接続されたVH端子、グラウンドに接続されたGND端子を有している。制御IC12は、また、抵抗R1を介してスイッチング素子Q1のゲート端子に接続されたHO端子、抵抗R2を介してスイッチング素子Q2のゲート端子に接続されたLO端子、さらには、VB端子、VS端子、VCC端子およびPL端子を有している。VB端子とVS端子との間には、コンデンサC5が接続され、VS端子は、スイッチング素子Q1、Q2の共通の接続点に接続されている。VCC端子は、コンデンサC3の正極端子に接続され、コンデンサC3の負極端子はグラウンドに接続されている。VCC端子は、また、ダイオードD2のアノード端子に接続され、このダイオードD2のカソード端子は、VB端子に接続されている。なお、VCC端子は、図面を簡単にするために図示はしないが、トランスT1が備える補助巻線にダイオードを介して接続され、このスイッチング電源装置が起動後は、その補助巻線に誘起された電流をコンデンサC3に蓄積して制御IC12の電源としている。PL端子は、直列接続された抵抗R3、R4の共通の接続点に接続され、直列接続された抵抗R3、R4は、共振コンデンサC6に並列に接続されている。これにより、PL端子には、共振コンデンサC6の端子電圧（両端電圧）を分圧した電圧がパワー（入力電力）を表す信号として供給される。

10

【0020】

制御IC12は、図2に示したように、入力端子がVH端子に接続された起動回路21を有し、起動回路21の出力端子は、VCC端子に接続されている。FB端子は、発振回路22の入力端子に接続され、発振回路22の出力端子は、制御回路23に接続されてオントリガ信号on_trgおよびオフトリガ信号off_trgを制御回路23に供給する。なお、FB端子は図示しない抵抗を介して図示しない基準電圧にプルアップされている。制御回路23のハイサイド出力端子は、ハイサイドドライブ回路24の入力端子に接続されてハイサイドドライブ信号hi_preを供給する。制御回路23のローサイド出力端子は、ローサイドドライブ回路25の入力端子に接続されてローサイドドライブ信号lo_preを供給する。ハイサイドドライブ回路24の出力端子は、HO端子に接続され、ローサイドドライブ回路25の出力端子は、LO端子に接続されている。ハイサイドドライブ回路24は、また、ハイサイドの電源用のVB端子およびハイサイドの基準電位となるVS端子に接続されている。

20

30

【0021】

PL端子は、ピークパワー制限回路26の入力端子に接続され、ピークパワー制限回路26の出力端子は、発振回路22の入力端子およびスイッチング回数計数回路27の入力端子に接続されている。ピークパワー制限回路26は、フォトカプラPC1の故障などでフィードバック回路による出力電圧の安定化制御ができない異常状態のときに強制ターンオフ信号off_trg_pを出力する。発振回路22は、強制ターンオフ信号off_trg_pを受けると、ピークパワーを制限するようなオフトリガ信号off_trgを出力する。スイッチング回数計数回路27の出力端子は、制御回路23に接続されており、強制ターンオフ信号off_trg_pを受けた回数が所定の回数に達したときに、スイッチング停止信号sw_stopを出力する。制御回路23は、スイッチング停止信号sw_stopを受けると、スイッチング動作を停止させる。

40

【0022】

この制御IC12では、ピークパワー制限回路26が入力されたエネルギーを表す共振コンデンサC6の端子電圧（両端電圧）を分圧した電圧を監視して出力電圧の制御が異常になったときに強制ターンオフ信号off_trg_pを出力する。発振回路22は、強制ターンオフ信号off_trg_pを受けると、オフトリガ信号off_trgを出力するタイミングを早めてパワーを抑制する。スイッチング回数計数回路27は、その強制ターンオフ信号off_trg_pを受けた回数を計数して出力電圧を予測し、予測した出力電圧が過電圧保護の検出電圧に達したときに、制御回路23にスイッチング停止信号s

50

w_s t o p を出力する。

【 0 0 2 3 】

ここで、ピークパワー制限回路 2 6 およびスイッチング回数計数回路 2 7 によって出力電圧が予測できる機構について説明する。まず、ピークパワー制限回路 2 6 は、出力電圧の制御が異常になり、入力されるエネルギーが過大になって共振コンデンサ C 6 の端子電圧（両端電圧）を分圧した電圧信号が高くなると、その電圧信号が所定の閾値を超える毎に強制ターンオフ信号 o f f _ t r g _ p を出力する。この強制ターンオフ信号 o f f _ t r g _ p により、スイッチング素子 Q 1 , Q 2 がオン・オフ制御されてトランス T 1 の 2 次側に伝達されるエネルギーが制限されている。このとき、1 回のスイッチング（ハイサイドとローサイドとでそれぞれ 1 回動作する）で伝達することができるエネルギーが分かれば、そのエネルギーにより生じられる 2 次側の出力電圧を計算により求めることができる。ここで、スイッチング素子 Q 2 がオフした時点から、入力電圧 V i からスイッチング素子 Q 1 のボディダイオードおよびスイッチング素子 Q 1 を介してスイッチング電源装置に注入されるエネルギーを考える。スイッチング素子 Q 1 がオンしているときにスイッチング素子 Q 1 に流れる電流を I i とすると、1 回のスイッチングで伝達（入力）することができるエネルギー W p _ p は、

【 0 0 2 4 】

【 数 1 】

$$W_{p_p} = \int_{T_0}^{T_1} (V_i \cdot I_i) dt$$

$$= V_i \int_{T_0}^{T_1} I_i \cdot dt$$

$$= V_i \cdot (Q(t=T_1) - Q(t=T_0))$$

$$= V_i \cdot C_r \cdot \left(\frac{V_i + \Delta V_{cr_p}}{2} - \frac{V_i - \Delta V_{cr_p}}{2} \right)$$

$$= V_i \cdot C_r \cdot \Delta V_{cr_p} \quad \dots (1)$$

【 0 0 2 5 】

となる。ここで、T 0 は、スイッチング素子 Q 2 がターンオフするとき、すなわち共振コンデンサ C 6 の端子電圧（両端電圧）が (V i / 2 - V c r _ p / 2) となる時点であり、T 1 は、スイッチング素子 Q 1 がターンオフするとき、すなわち共振コンデンサ C 6 の端子電圧が (V i / 2 + V c r _ p / 2) となる時点である。Q (t = T 0) は、T 0 の時点で共振コンデンサ C 6 に蓄えられる電荷の大きさであり、Q (t = T 1) は、T 1 の時点で共振コンデンサ C 6 に蓄えられる電荷の大きさである。V c r _ p はピークパワー制限時における共振コンデンサ C 6 の電圧の差分である。すなわち、V c r _ p は、図 3 に示されるように、ローサイドの信号 V L O がターンオフしたとき（例：T 0）の共振コンデンサ C 6 の電圧とハイサイドの信号 V H O がターンオフしたとき（例：T 1）の共振コンデンサ C 6 の電圧との差分になる。なお、図 3 には、上から、ハイサイドドライブ回路 2 4 が H O 端子に出力した信号 V H O、ローサイドドライブ回路 2 5 が L O 端子に出力した信号 V L O、トランス T 1 の 1 次巻線 P 1 に流れた電流 I L r、共振コンデンサ C 6 の端子間に現れる電圧 V c r を示している。

【 0 0 2 6 】

フィードバック回路の異常により出力電圧を制御できなくなった状態では、出力電圧のオーバシュートが最も大きくなるのは、無負荷時である。このため、出力電圧の過電圧保護機能の検出電圧は、最悪の事態を考慮して無負荷時に上昇する電圧に設定される。こ

10

20

30

40

50

で、過電圧保護機能の検出電圧である OVP (Over Voltage Protection) 電圧を V_{o_ovp} とすると、無負荷時に 2 次側の出力電圧が正常動作時の電圧 V_o から OVP 電圧 V_{o_ovp} に上昇するまでのエネルギー W_{s_ovp} は、

$$W_{s_ovp} = (1/2) * C_o * (V_{o_ovp}^2 - V_o^2) \quad \dots (2)$$

となる。ここで、 C_o は 2 次側の出力コンデンサ C_o の容量である。

【0027】

このように、出力コンデンサ C_o の電圧が OVP 電圧 V_{o_ovp} まで上昇するのに必要なエネルギー W_{s_ovp} が分かったので、次に、そのエネルギー W_{s_ovp} が何回のスイッチングで得られるかについて考える。1 回のスイッチングで伝達されるエネルギー W_{p_p} が (1) 式によって求められ、しかも、(1) 式は、出力電圧と関係がないので、出力電圧が正常状態のときだけでなく過電圧状態においても同様に適用することができる。したがって、電圧 V_o から OVP 電圧 V_{o_ovp} になるまでに必要なスイッチング回数 N_{sw_ovp} は、

$$N_{sw_ovp} = W_{s_ovp} / W_{p_p} \quad \dots (3)$$

となる。この (3) 式から、スイッチング回数計数回路 27 が強制ターンオフ信号 off_trg_p をスイッチング回数 N_{sw_ovp} まで計数することで、出力電圧が OVP 電圧 V_{o_ovp} まで上昇したと予測することができる。

【0028】

たとえば、 $C_o = 1000 \mu F$ 、 $C_r = 33 nF$ 、 $V_o = 48 V$ 、 $V_{o_ovp} = 60 V$ 、 $V_i = 400 V$ 、 $V_{cr_p} = 300 V$ とした場合、 $N_{sw_ovp} = 164$ となる。このとき、 V_i からスイッチング電源装置に入力される電力 P は、スイッチング周波数 $f_{sw} = 100 kHz$ とすれば、

$$P = W_{p_p} * f_{sw} \quad \dots (4)$$

なので、 $P = 396 W$ になる。

【0029】

スイッチング回数計数回路 27 は、ピークパワーのスイッチング回数、すなわち、強制ターンオフ信号 off_trg_p が入力される回数を計数し、その回数がスイッチング回数 N_{sw_ovp} の 2 倍になると (強制ターンオフ信号 off_trg_p は 1 スイッチング周期の間に 2 回、すなわちハイサイドのスイッチング素子 Q_1 をターンオフさせるときと、ローサイドのスイッチング素子 Q_2 をターンオフさせるときに、出力される)、スイッチング停止信号 sw_stop を出力する。制御回路 23 は、スイッチング停止信号 sw_stop を受けると、スイッチング動作を停止させる。

【0030】

次に、2 次側の出力電圧を予測し、OVP 電圧 V_{o_ovp} まで上昇したときにスイッチング動作を停止させるようにした、制御 IC 12 の発振回路 22、ピークパワー制限回路 26 およびスイッチング回数計数回路 27 の具体的な構成例について説明する。

【0031】

図 4 は発振回路の構成例を示す回路図、図 5 はピークパワー制限回路の構成例を示す回路図、図 6 はスイッチング回数計数回路の構成例を示す回路図である。図 7 はピークパワー制限時におけるピークパワー制限回路の動作シーケンスを示す図、図 8 はピークパワー制限時における電流共振型のスイッチング電源装置の動作シーケンスを示す図である。

【0032】

発振回路 22 は、図 4 に示したように、FB 端子が比較器 COMP 1 の反転入力端子に接続されている。比較器 COMP 1 の非反転入力端子は、定電流源 I_{os} の一方の端子とコンデンサ C_{os} の一方の端子との接続点に接続され、コンデンサ C_{os} の充電電圧 V_{os} を受けている。定電流源 I_{os} の他方の端子は、電源 VDD に接続され、コンデンサ C_{os} の他方の端子は、グランドに接続されている。コンデンサ C_{os} には、スイッチ SW 1 が並列に接続されている。ここで、比較器 COMP 1、定電流源 I_{os} 、コンデンサ C_{os} およびスイッチ SW 1 は、オフトリガ信号生成回路を構成している。

【0033】

10

20

30

40

50

比較器COMP1の出力端子は、論理和回路OR1の第1の入力端子に接続されている。論理和回路OR1の第2の入力端子は、ピークパワー制限回路26から強制ターンオフ信号off_trg_pを受ける端子に接続されている。論理和回路OR1の出力端子は、RSフリップフロップRS-FF1のセット入力端子Sに接続されている。比較器COMP1の出力端子は、また、スイッチング回数計数回路27にリセット信号resetを出力する端子に接続されている。

【0034】

RSフリップフロップRS-FF1の出力端子Qは、スイッチSW1の制御入力端子と、インバータ回路INV3の入力端子と、ワンショット回路OS2の入力端子とに接続され、信号Tdを出力してそれぞれの回路に入力している。インバータ回路INV3の出力端子は、ワンショット回路OS1の入力端子に接続されている。ワンショット回路OS1の出力端子は、発振回路22のオントリガ信号on_trgを出力する端子を構成している。ワンショット回路OS2の出力端子は、発振回路22のオフトリガ信号off_trgを出力する端子を構成している。

10

【0035】

インバータ回路INV3の出力端子は、また、スイッチSW2の制御入力端子に接続されている。スイッチSW2の一方の端子は、定電流源It dの一方の端子と、コンデンサC t dの一方の端子と、インバータ回路INV1の入力端子とに接続され、インバータ回路INV1は、コンデンサC t dの充電電圧V t dを受けている。定電流源It dの他方の端子は、電源V D Dに接続され、コンデンサC t dの他方の端子とスイッチSW2の他方の端子は、グランドに接続されている。インバータ回路INV1の出力端子は、インバータ回路INV2の入力端子に接続され、インバータ回路INV2の出力端子は、RSフリップフロップRS-FF1のリセット入力端子Rに接続されている。ここで、定電流源It d、スイッチSW2、コンデンサC t d、インバータ回路INV1、INV2は、オントリガ信号生成回路を構成している。

20

【0036】

発振回路22において、正常動作時では、FB端子の電圧よりもコンデンサC o sの充電電圧V o sが高くなると、比較器COMP1が論理和回路OR1を介してRSフリップフロップRS-FF1をセットすることにより、RSフリップフロップRS-FF1からハイ(H)レベルの信号Tdが出力される。この信号Tdは、ワンショット回路OS2に入力され、ワンショット回路OS2は、信号Tdの立ち上がりエッジに同期して立ち上がる所定のオン幅を有するオフトリガ信号off_trgを出力する。このとき、Hレベルの信号TdによりスイッチSW1がオン(導通)するので、コンデンサC o sの電荷は放電される。また、インバータ回路INV3の出力がロー(L)レベルとなってスイッチSW2がオフ(遮断)するので、インバータ回路INV1、INV2を含む遅延回路は、遅延動作を開始する。この遅延回路において、コンデンサC t dの充電電圧V t dがインバータ回路INV1の閾値電圧より高くなると、RSフリップフロップRS-FF1がリセットされ、信号Tdは、Lレベルになる。信号Tdは、インバータ回路INV3により論理反転されてワンショット回路OS1に入力され、ワンショット回路OS1は、信号Tdの立ち下がりエッジに同期して立ち上がる所定のオン幅のオントリガ信号on_trgを出力する。

30

40

【0037】

一方、出力電圧を正常に制御できなくなった異常状態では、ピークパワー制限回路26から強制ターンオフ信号off_trg_pが入力される。これにより、RSフリップフロップRS-FF1がセットされて、RSフリップフロップRS-FF1の出力端子Qには、Hレベルの信号Tdが出力される。これにより、スイッチSW2がオフ(遮断)され、コンデンサC t dの充電が開始されて充電電圧V t dが上昇を開始するとともに、ワンショット回路OS2は、オフトリガ信号off_trgを出力する。なお、このとき、スイッチSW1は、オン(導通)されて、コンデンサC o sの電荷を放電させる。

【0038】

50

充電電圧 V_{td} がインバータ回路 $INV1$ の閾値電圧を超えると、RSフリップフロップ $RS-FF1$ がリセットされて、RSフリップフロップ $RS-FF1$ の出力端子 Q には、Lレベルの信号 Td が出力される。これにより、ワンショット回路 $OS1$ は、オントリガ信号 on_trg を出力する。

【0039】

なお、ワンショット回路 $OS1$ がオントリガ信号 on_trg を出力するときには、スイッチ $SW1$ がオフ（遮断）されてコンデンサ Cos の充電を開始する。しかし、コンデンサ Cos の充電電圧 Vos が FB 端子の値を超える前に、強制ターンオフ信号 off_trg_p が入力され、スイッチ $SW1$ がオン（導通）されてしまうので、比較器 $COMP1$ がオフトリガ信号 off_trg の生成の契機となる信号を出力することはない。このように、異常状態では、正常動作時よりも早いタイミングでオフトリガ信号 off_trg を出力するので、制御回路 23 は、ピークパワーを抑制することになる。

10

【0040】

ピークパワー制限回路 26 は、図 5 に示したように、2つの比較器 $COMP2$, $COMP3$ を有している。比較器 $COMP2$ の反転入力端子は、制御 $IC12$ の内部で作られた閾値電圧 $Vref_h$ を受ける端子に接続され、比較器 $COMP3$ の非反転入力端子は、制御 $IC12$ の内部で作られた閾値電圧 $Vref_l$ を受ける端子に接続されている。比較器 $COMP2$ の非反転入力端子および比較器 $COMP3$ の反転入力端子は、制御 $IC12$ の PL 端子に接続され、共振コンデンサ $C6$ の両端電圧を抵抗 $R3$, $R4$ により分圧した電圧 VPL を受けている。比較器 $COMP2$ の出力端子は、ワンショット回路 $OS3$ を介して論理和回路 $OR2$ の一方の入力端子に接続されており、比較器 $COMP3$ の出力端子は、ワンショット回路 $OS4$ を介して論理和回路 $OR2$ の他方の入力端子に接続されている。論理和回路 $OR2$ の出力端子は、発振回路 22 およびスイッチング回数計数回路 27 に強制ターンオフ信号 off_trg_p を供給する端子に接続されている。

20

【0041】

なお、このピークパワー制限回路 26 の閾値電圧 $Vref_h$, $Vref_l$ は、下記の式によって決められる。なお、 Vcr は共振コンデンサ $C6$ の電圧 Vcr_p の許容最大値であり、 $R3$, $R4$ は共振コンデンサ $C6$ に並列に接続されている抵抗の値である。

$$Vref_h = (Vi / 2 + Vcr_p / 2) * R4 / (R3 + R4) \dots (5)$$

30

$$Vref_l = (Vi / 2 - Vcr_p / 2) * R4 / (R3 + R4) \dots (6)$$

このピークパワー制限回路 26 において、 PL 端子に入力された電圧 VPL が閾値電圧 $Vref_h$ より高くなる期間では、図 7 に示したように、比較器 $COMP2$ は、Hレベルの信号 hi_off を出力する。これにより、ワンショット回路 $OS3$ は、所定のオン幅の信号を出力し、論理和回路 $OR2$ から強制ターンオフ信号 off_trg_p として出力される。また、 PL 端子に入力された電圧 VPL が閾値電圧 $Vref_l$ より低くなる期間では、比較器 $COMP3$ は、Hレベルの信号 lo_off を出力する。これにより、ワンショット回路 $OS4$ は、所定のオン幅の信号を出力し、論理和回路 $OR2$ から強制ターンオフ信号 off_trg_p として出力される。したがって、ピークパワー制限回路 26 は、信号 hi_off , lo_off の立ち上がりエッジに同期して立ち上がる所定のオン幅の強制ターンオフ信号 off_trg_p を出力する。

40

【0042】

スイッチング回数計数回路 27 は、図 6 に示したように、計数部 $CNT1$ 、目標スイッチング回数設定部 $SET1$ およびデジタル比較器 $COMP4$ を備えている。計数部 $CNT1$ は、ピークパワー制限回路 26 から強制ターンオフ信号 off_trg_p を受ける端子と、発振回路 22 からリセット信号 $reset$ を受ける端子とに接続された入力端子を有している。計数部 $CNT1$ の出力端子は、デジタル比較器 $COMP4$ の非反転入力端子に接続されている。デジタル比較器 $COMP4$ の反転入力端子には、目標スイッチング回数設定部 $SET1$ の出力端子が接続されている。デジタル比較器 $COMP4$ の出力端子は、制御回路 23 にスイッチング停止信号 sw_stop を出力する端子に接続されている

50

。

【0043】

これにより、計数部CNT1は、発振回路22からリセット信号resetを受けて計数値がクリアされ、ピークパワー制限回路26から強制ターンオフ信号off_trg_pを受けて計数する。計数部CNT1で計数された計数値は、デジタル比較器COMP4によって目標スイッチング回数設定部SET1に設定された目標スイッチング回数Nsw_tと比較される。この目標スイッチング回数Nsw_tは、上述したスイッチング回数Nsw_ovpの2倍に相当する。計数部CNT1の計数値が目標スイッチング回数Nsw_tに達すると、デジタル比較器COMP4は、スイッチング停止信号sw_stopを出力する。

10

【0044】

以上の構成の電流共振型のスイッチング電源装置では、図8に示したように、発振回路22からオントリガおよびオフトリガ信号on_trg, off_trgが出力される。オントリガおよびオフトリガ信号on_trg, off_trgは、制御回路23に伝えられる。制御回路23では、オントリガおよびオフトリガ信号on_trg, off_trgを基にハイサイドドライブ信号hi_preおよびローサイドドライブ信号lo_preを生成し、ハイサイドドライブ回路24およびローサイドドライブ回路25に供給する。ハイサイドドライブ回路24は、HO端子から信号VHOを出力し、ローサイドドライブ回路25は、LO端子から信号VLOを出力する。信号VHO, VLOによりスイッチング素子Q1, Q2がオン・オフ制御されると、トランスT1の1次巻線P1には、電流ILrが流れる。

20

【0045】

ここで、図8に示したように、共振コンデンサC6の両端の電圧Vcrが閾値電圧Vref_hを上回るまたは閾値電圧Vref_lを下回る場合、ピークパワー制限回路26は強制ターンオフ信号off_trg_pを出力する。この強制ターンオフ信号off_trg_pは、発振回路22によってオフトリガ信号off_trgとなる。

【0046】

この第1の実施の形態に係る電流共振型のDC-DCコンバータを備えるスイッチング電源装置では、出力電圧の変化を2次側からフィードバックすることなく1次側で予測することができるので、出力電圧を2次側で検出する専用の回路が不要になる。このため、スイッチング電源装置は、構成が簡素化されてコストダウンを図ることができる。

30

【0047】

< 第2の実施の形態 >

図9は第2の実施の形態に係る電流共振型のDC-DCコンバータを備えるスイッチング電源装置の構成例を示す回路図、図10はピークパワー制限回路の構成例を示す回路図、図11はピークパワー制限時におけるピークパワー制限回路の動作シーケンスを示す図である。図9において、図1に示した構成要素と同じまたは均等の構成要素については同じ符号を付してその詳細な説明は省略する。

【0048】

この第2の実施の形態に係る電流共振型のDC-DCコンバータを備えるスイッチング電源装置においては、図9に示したように、トランスT1aは、その1次側に補助巻線P2を有している。補助巻線P2の一方の端子は、抵抗R3の一方の端子に接続され、補助巻線P2の他方の端子は、グラウンドに接続されている。抵抗R3の他方の端子は、抵抗R4の一方の端子に接続され、抵抗R4の他方の端子は、グラウンドに接続されている。抵抗R3, R4の共通の接続点は、制御IC12のPL端子に接続され、補助巻線P2に誘起された電圧を分圧した電圧VPLが制御IC12のPL端子に供給される。他の構成要素に関しては、図1に記載のものと同じである。また、制御IC12の構成も、図2に記載のものと同じである。なお、補助巻線P2は、第1の実施の形態に係る電流共振型のDC-DCコンバータを備えるスイッチング電源装置においても、スイッチング動作時に、制御IC12の電源電圧を得るために用いている。したがって、第2の実施の形態における

40

50

補助巻線 P 2 は、新たに追加したものではないので、実質的なコストアップになっていない。

【 0 0 4 9 】

ただ、図 1 0 に示したように、ピークパワー制限回路 2 6 a は、図 5 に示したピークパワー制限回路 2 6 の構成要素は同じであるが、その接続の仕方を一部変更している。すなわち、比較器 C O M P 2 は、その反転入力端子に電圧 V P L を受け、非反転入力端子には閾値電圧 V r e f _ h を受けている。また、比較器 C O M P 3 は、その反転入力端子に閾値電圧 V r e f _ l を受け、非反転入力端子には電圧 V P L を受けている。ワンショット回路 O S 3 , O S 4 および論理和回路 O R 2 の構成については、図 5 に示したものと同一である。なお、閾値電圧 V r e f _ h , V r e f _ l は、下記の (7) 式および (8) 式

10

【 0 0 5 0 】

【 数 2 】

$$V_{ref_h} = \left(\frac{V_i}{2} - \frac{\Delta V_{cr}}{2} \right) * \frac{R_4}{R_3 + R_4} * \frac{1}{N} \quad \dots (7)$$

【 0 0 5 1 】

V r e f _ l = - V r e f _ h \dots (8)

ピークパワー制限回路 2 6 a において、P L 端子に入力される電圧 V P L は、図 1 1 に示したように、0 V を基準に変化する。ここで、電圧 V P L が低下して閾値電圧 V r e f _ h より低下すると、比較器 C O M P 2 は、H レベルの信号 h i _ o f f を出力する。これにより、ワンショット回路 O S 3 は、信号 h i _ o f f の立ち上がりエッジに同期して立ち上がる所定のオン幅の信号を出力し、論理和回路 O R 2 から強制ターンオフ信号 o f f _ t r g _ p として出力される。逆に、電圧 V P L が上昇して閾値電圧 V r e f _ h より高くなると、比較器 C O M P 2 は、L レベルの信号 h i _ o f f を出力する。このとき、ワンショット回路 O S 3 は、何もせず、L レベルの信号を出力する。

20

【 0 0 5 2 】

また、電圧 V P L が低下して閾値電圧 V r e f _ l より低下すると、比較器 C O M P 3 は、L レベルの信号 l o _ o f f を出力する。このとき、ワンショット回路 O S 4 は、何もせず、L レベルの信号を出力する。逆に、電圧 V P L が上昇して閾値電圧 V r e f _ l より高くなると、比較器 C O M P 3 は、H レベルの信号 l o _ o f f を出力する。これにより、ワンショット回路 O S 4 は、信号 l o _ o f f の立ち上がりエッジに同期して立ち上がる所定のオン幅の信号を出力し、論理和回路 O R 2 から強制ターンオフ信号 o f f _ t r g _ p として出力される。

30

【 0 0 5 3 】

第 2 の実施の形態に係る電流共振型の D C - D C コンバータにおいては、1 次巻線 P 1 の電圧は共振コンデンサ C 6 の両端電圧が増加するほど減少する電圧であり、補助巻線 P 2 の電圧は 1 次巻線 P 1 の電圧に比例する。したがって、電圧 V P L は 1 回のスイッチング動作で共振コンデンサ C 6 に送られた入力電流、すなわち電流共振型の D C - D C コン

40

【 0 0 5 4 】

このピークパワー制限回路 2 6 a では、正常動作のとき、図 3 に示す比較器 C O M P 1 によりオフトリガ信号 o f f _ t r g が出力されるのは、電圧 V P L が図 8 の閾値電圧 V r e f _ h より高い時点または閾値電圧 V r e f _ l より低い時点となる。異常状態ではこれが逆転して、図 3 に示す比較器 C O M P 1 によりオフトリガ信号 o f f _ t r g が出力されるのは、電圧 V P L が図 8 の閾値電圧 V r e f _ h より低い時点または閾値電圧 V r e f _ l より高い時点となってしまう、過剰なエネルギーが入力されてしまう。

【 0 0 5 5 】

第 2 の実施の形態では、出力電圧を正常に制御できなくなった異常状態になると、ピー

50

クパワー制限回路26aが、電圧VPLが閾値電圧Vref_hと閾値電圧Vref_lの電圧範囲に入る毎に強制ターンオフ信号off_trg_pを出力して、入力されるエネルギーの量を限定する。

【0056】

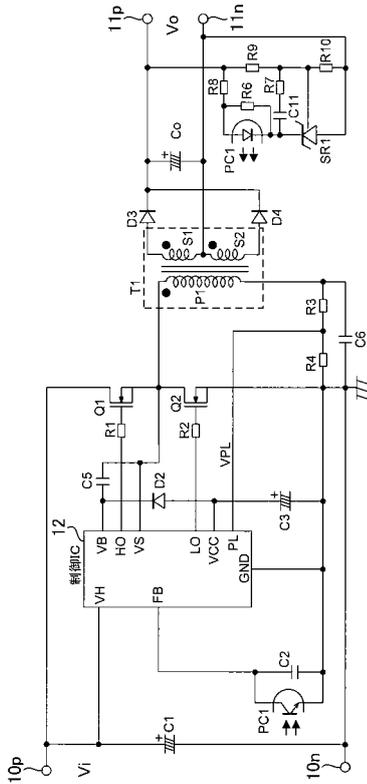
ピークパワー制限回路26aが出力した強制ターンオフ信号off_trg_pは、スイッチング回数計数回路27において計数される。強制ターンオフ信号off_trg_pの数が目標スイッチング回数Nsw_tに達したら、スイッチング動作を停止させる動作は、第1の実施の形態と同じである。

【符号の説明】

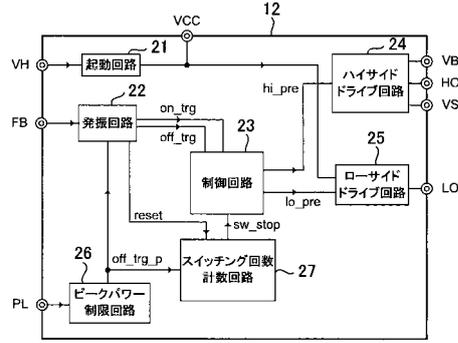
【0057】

10p, 10n	入力端子	
11n, 11p	出力端子	
12	制御IC	
21	起動回路	
22	発振回路	
23	制御回路	
24	ハイサイドドライブ回路	
25	ローサイドドライブ回路	
26, 26a	ピークパワー制限回路	
27	スイッチング回数計数回路	20
C1	入力コンデンサ	
C2, C3, C5, C11, Cos, Ctd	コンデンサ	
C6	共振コンデンサ	
Co	出力コンデンサ	
CNT1	計数部	
COMP1, COMP2, COMP3	比較器	
COMP4	デジタル比較器	
D2, D3, D4	ダイオード	
INV1, INV2, INV3	インバータ回路	
Ios, Itd	定電流源	30
OR1, OR2	論理和回路	
OS1, OS2, OS3, OS4	ワンショット回路	
P1	1次巻線	
P2	補助巻線	
PC1	フォトカプラ	
Q1, Q2	スイッチング素子	
R1, R2, R3, R4, R6, R7, R8, R9, R10	抵抗	
RS-FF1	RSフリップフロップ	
S1, S2	2次巻線	
SET1	目標スイッチング回数設定部	40
SR1	シャントレギュレータ	
SW1, SW2	スイッチ	
T1, T1a	トランス	

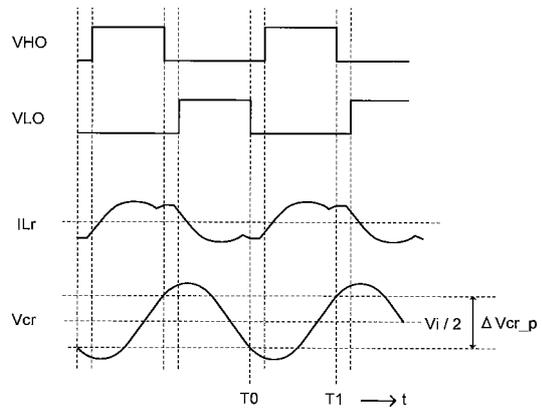
【図 1】



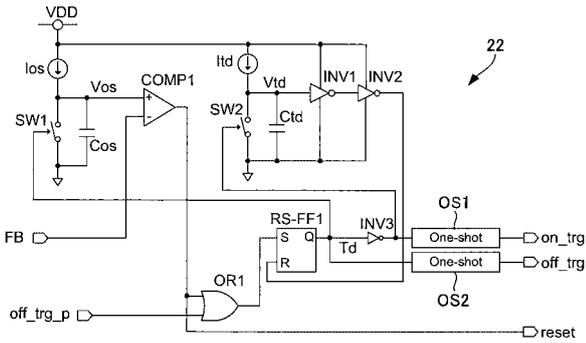
【図 2】



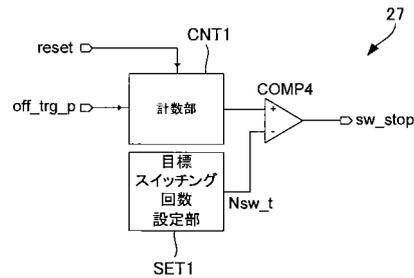
【図 3】



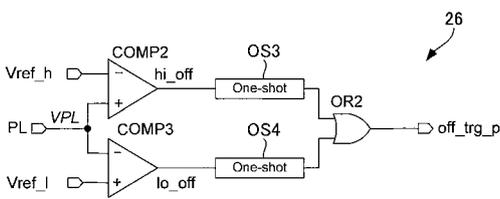
【図 4】



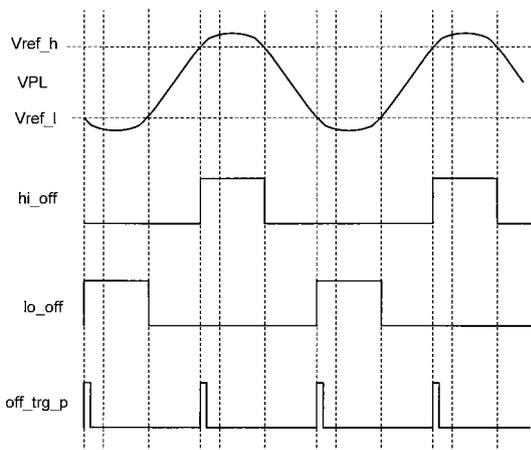
【図 6】



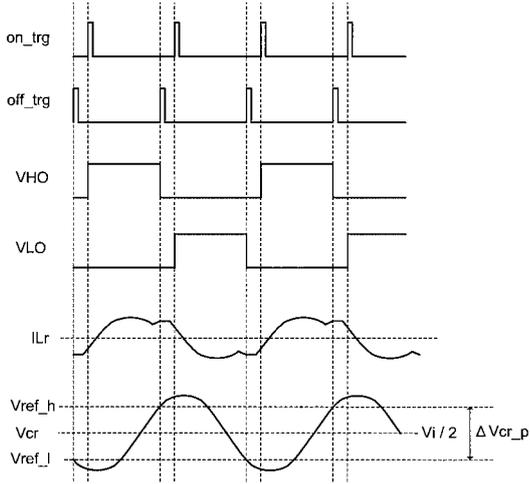
【図 5】



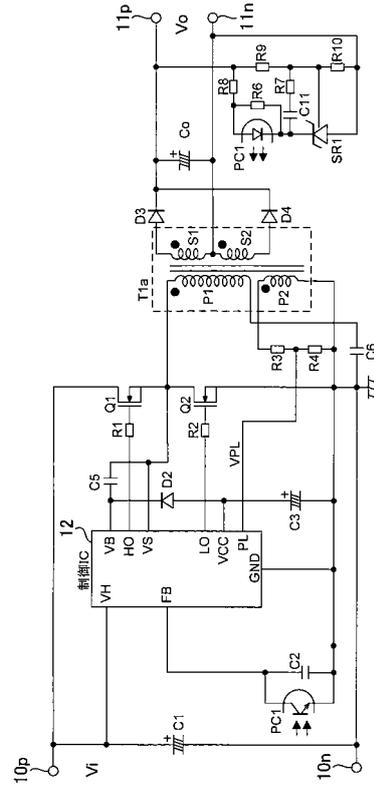
【図 7】



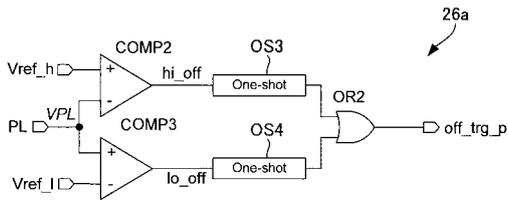
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

