

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-122760

(P2013-122760A)

(43) 公開日 平成25年6月20日 (2013.6.20)

(51) Int.Cl.

G06N 3/063 (2006.01)

F I

G06N 3/063

テーマコード (参考)

審査請求 未請求 請求項の数 21 O L (全 26 頁)

(21) 出願番号 特願2012-268875 (P2012-268875)  
 (22) 出願日 平成24年12月7日 (2012.12.7)  
 (31) 優先権主張番号 10-2011-0131604  
 (32) 優先日 平成23年12月9日 (2011.12.9)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区三星路129  
 129, Samsung-ro, Yeon  
 gtong-gu, Suwon-si, G  
 yeonggi-do, Republic  
 of Korea  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介

最終頁に続く

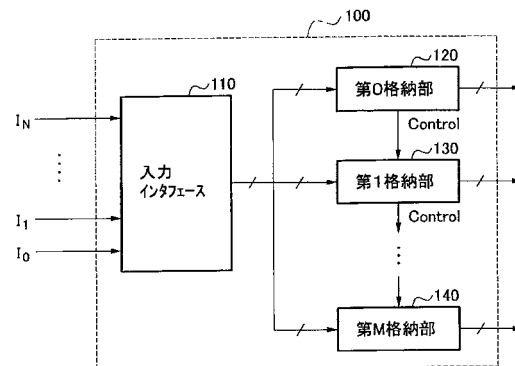
(54) 【発明の名称】 スパイクニューロン基盤のワーキングメモリ装置

(57) 【要約】

【課題】 スパイクニューロン基盤のワーキングメモリ装置を提供する。

【解決手段】 一実施形態に係るスパイクニューロン基盤のワーキングメモリ装置は、入力スパイク信号を一定形態のバースト構造のスパイク信号であるバースト信号に変わって出力する入力部と、前記入力部から出力されるバースト信号に対応する特徴値を格納する2つ以上の格納部とを備える。ここで、格納部は、入力部から出力されるバースト信号の順に応じて順次に1つの格納部に1つのバーストに対応する特徴値を格納し、特徴値に対応するスパイク信号を持続的に出力する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

入力スパイク信号を一定形態のバースト構造のスパイク信号であるバースト信号に変換して出力する入力部と、

前記入力部から出力される前記バースト信号に対応する特徴値を格納する 2 つ以上の格納部と、を備え、

前記格納部は、前記入力部から出力される前記バースト信号の順に応じて順次に 1 つの格納部に 1 つのバースト信号に対応する特徴値を格納し、格納した特徴値に対応するスパイク信号を持続的に出力する、

ことを特徴とするスパイクニューロン基盤のワーキングメモリ装置。

10

**【請求項 2】**

前記格納部は、前記バースト信号に対応する特徴値が格納されている場合、非活性化されて次の順序の格納部を活性化する、

ことを特徴とする請求項 1 記載のスパイクニューロン基盤のワーキングメモリ装置。

**【請求項 3】**

前記格納部は、前記バースト信号が格納されている場合、初期化信号によって初期化されるまで前記入力値に対応するスパイク信号を持続的に出力する、

ことを特徴とする請求項 1 記載のスパイクニューロン基盤のワーキングメモリ装置。

**【請求項 4】**

前記入力部は、

入力に受信できる特徴値ごとに、入力されるスパイク信号を時間幅が一定のバースト構造に変更する活性ニューロンと、

前記活性ニューロンで変更されたバースト構造のスパイク信号が一定のサイズを有するように前記活性ニューロンを抑制してバースト信号を生成する活性ニューロンと、を含むことを特徴とする請求項 1 乃至 3 の何れか記載のスパイクニューロン基盤のワーキングメモリ装置。

20

**【請求項 5】**

前記入力部は、

入力に受信できる特徴値ごとに、前記入力されるスパイク信号をノイズ除去ニューロンに伝達する短期的な促進特性を有するシナプスと、

前記シナプスによって入力されたスパイク信号からノイズを除去して前記活性ニューロンに伝達する前記ノイズ除去ニューロンと、をさらに含むことを特徴とする請求項 1 乃至 4 の何れか記載のスパイクニューロン基盤のワーキングメモリ装置。

30

**【請求項 6】**

前記格納部それぞれは、

活性化された場合、前記入力部から受信する前記バースト信号を持続部に伝達するゲートニューロンと、

前記バースト信号が入力された場合、前記バースト信号に対応する前記特徴値に対応する少なくとも 1 つのニューロンを活性化させて、初期化信号が入力されるまで持続的に前記特徴値に対応するスパイク信号を出力する前記持続部と、

前記ゲートニューロンを活性化したり抑制する制御ニューロンと、

を含むことを特徴とする請求項 1 乃至 5 の何れか記載のスパイクニューロン基盤のワーキングメモリ装置。

40

**【請求項 7】**

前記制御ニューロンは、以前順序の格納部からアイドル信号を受信したり、または、前記持続部から前記特徴値に対応するスパイク信号を受信した場合に、前記ゲートニューロンを抑制し、

入力される信号がない場合、前記ゲートニューロンを活性化する、

ことを特徴とする請求項 6 記載のスパイクニューロン基盤のワーキングメモリ装置。

50

## 【請求項 8】

前記ゲートニューロンは、前記入力部で受信する入力に対応する特徴値の種類だけ存在する、  
ことを特徴とする請求項 6 又は 7 記載のスパイクニューロン基盤のワーキングメモリ装置。

## 【請求項 9】

前記持続部は、  
前記バースト信号を受信した場合、前記特徴値に該当するスパイク信号を持続的に出力するそれぞれの特徴値ごとの持続ニューロンと、

初期化信号によりアイドル状態であることを示すアイドル信号を出力する少なくとも 1 つのアイドルニューロンと、

前記持続ニューロンと前記アイドルニューロンを抑制し、一回に一種類のスパイク信号だけが出力されるようにする少なくとも 1 つの抑制ニューロンと、  
を含むことを特徴とする請求項 6 乃至 8 の何れか記載のスパイクニューロン基盤のワーキングメモリ装置。

## 【請求項 10】

入力スパイク信号を一定形態のバースト構造のスパイク信号であるバースト信号に変換して出力する入力部と、

前記バースト信号を予め設定した値を有する多重化されたバースト信号に変えて出力するマルチプレクサと、

前記マルチプレクサから出力される多重化されたバースト信号が入力された場合、次の順序の格納部を選択する活性化信号を出力する順次選択部と、

前記順次選択部で出力する前記活性化信号を受信した場合、前記入力部から出力される前記バースト信号に対応する特徴値を格納し、前記特徴値に対応するスパイク信号を持続的に出力する格納部を 2 つ以上備える、

ことを特徴とするスパイクニューロン基盤のワーキングメモリ装置。

## 【請求項 11】

前記順次選択部は、外部から前記格納部のいずれか 1 つを選択する外部選択信号を受信した場合、前記活性化信号を選択された格納部に出力する、

ことを特徴とする請求項 10 記載のスパイクニューロン基盤のワーキングメモリ装置。

## 【請求項 12】

前記格納部は、前記バースト信号が格納されている場合、初期化信号によって初期化されるまで前記特徴値に対応するスパイク信号を持続的に出力する、

ことを特徴とする請求項 10 又は 11 に記載のスパイクニューロン基盤のワーキングメモリ装置。

## 【請求項 13】

前記入力部は、

入力に受信できる特徴値ごとに、入力されるスパイク信号を時間幅が一定のバースト構造に変更する活性ニューロンと、

前記活性ニューロンで変更されたバースト構造のスパイク信号が一定のサイズを有するよう前記活性ニューロンを抑制してバースト信号を生成する抑制ニューロンと、

を含むことを特徴とする請求項 10 乃至 12 の何れか記載のスパイクニューロン基盤のワーキングメモリ装置。

## 【請求項 14】

前記入力部は、

入力に受信できる特徴値ごとに、前記入力されるスパイク信号をノイズ除去ニューロンに伝達する短期的な促進特性を有するシナプスと、

前記シナプスによって入力されたスパイク信号からノイズを除去して前記活性ニューロンに伝達する前記ノイズ除去ニューロンと、

をさらに含むことを特徴とする請求項 10 乃至 13 の何れか記載のスパイクニューロン基

10

20

30

40

50

盤のワーキングメモリ装置。

【請求項 15】

前記格納部それぞれは、

前記順次選択部によって活性化された場合、前記入力部から受信する前記バースト信号を持続部に伝達するゲートニューロンと、

前記バースト信号が入力された場合、前記特徴値に対応する少なくとも1つのニューロンを活性化させて、初期化信号が入力されるまで持続的に前記特徴値に対応するスパイク信号を出力する前記持続部と、  
を備えることを特徴とする請求項10乃至14の何れか記載のスパイクニューロン基盤のワーキングメモリ装置。

10

【請求項 16】

前記ゲートニューロンは、前記入力部に受信する入力に対応する特徴値の種類だけ存在する、

ことを特徴とする請求項15記載のスパイクニューロン基盤のワーキングメモリ装置。

【請求項 17】

前記持続部は、

前記バースト信号を受信した場合、前記特徴値に該当するスパイク信号を持続的に出力するそれぞれの特徴値ごとの持続ニューロンと、

前記持続ニューロンと前記アイドルニューロンを抑制して一回に一種類のスパイク信号だけが出力されるようにする少なくとも1つの抑制ニューロンと、  
を含むことを特徴とする請求項15又は16記載のスパイクニューロン基盤のワーキングメモリ装置。

20

【請求項 18】

前記抑制ニューロンは、初期化信号を受信した場合、前記持続部を初期化して持続的に出力した前記スパイク信号を遮断する、

ことを特徴とする請求項17記載のスパイクニューロン基盤のワーキングメモリ装置。

【請求項 19】

前記順次選択部は、

活性化された場合、対応する前記格納部に含まれたゲートニューロンを活性化する活性化信号を持続的に出力する選択ニューロンと、

前記マルチプレクサから前記多重化されたバースト信号を受信した場合、次の順序の選択ニューロンを活性化させる順次選択ニューロンと、

前記選択ニューロンを抑制して前記選択ニューロンのいずれか1つの選択ニューロンだけが前記活性化信号を出力するようにする少なくとも1つの抑制ニューロンと、

前記順次選択ニューロンを抑制する信号を持続的に出力する制御ニューロンと、  
を含むことを特徴とする請求項10乃至18の何れか記載のスパイクニューロン基盤のワーキングメモリ装置。

30

【請求項 20】

前記選択ニューロンのうち第1順序の選択ニューロンは、前記初期化信号を受信し、前記初期化信号を受信された場合、前記活性化信号を第1順序の格納部に含まれたゲートニューロンに持続的に送信する、

ことを特徴とする請求項19記載のスパイクニューロン基盤のワーキングメモリ装置。

40

【請求項 21】

前記制御ニューロンは、前記格納部それぞれに含まれたゲートニューロンを抑制する信号を持続的に出力する、

ことを特徴とする請求項19又は20に記載のスパイクニューロン基盤のワーキングメモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明の技術分野は、スパイクニューロン (spiking neuron) から構成されたワーキングメモリ (working memory) 装置に関する。

【背景技術】

【0002】

スパイクニューラルネットワーク (spiking neural network) 及び神経形態学的 (neuromorphic) な技術は、生体頭脳を構成する神経細胞を模倣して認知及び推論可能な知能を有する神経回路を実現しようとする技術である。この分野の核心技術は、神経細胞のニューロンの核心動作を適切に模写する技術とニューロンを連結して特定機能を行う回路を実現する技術がある。ニューロン回路技術として、従来にはニューロンを階層的に連結してパターンを分類する構造が多く提案された。しかし、時間に応じて入力パターンが常に  
10 変化する空間 - 時間 (spatio-temporal) パターンの場合、このような構造のニューロン回路を用いて認知及び推論を行うことはできない。そのためには時間に伴って変化するパターンを臨時的に所望する時間に格納するためのニューロン回路が必要である。

【発明の概要】

【発明が解決しようとする課題】

【0003】

本発明の目的は、スパイクニューロン基盤のワーキングメモリ装置を提供することにある。

【課題を解決するための手段】

【0004】

一実施形態において、入力スパイク信号を一定形態のバースト構造のスパイク信号であるバースト信号に変換して出力する入力部と、前記入力部から出力される前記バースト信号に対応する特徴値を格納する2つ以上の格納部とを備え、前記格納部は、前記入力部から出力される前記バースト信号の順に応じて順次に1つの格納部に1つのバースト信号に対応する特徴値を格納し、格納した特徴値に対応するスパイク信号を持続的に出力することを特徴とするスパイクニューロン基盤のワーキングメモリ装置が提供される。  
20

【0005】

ここで、前記格納部は、前記バースト信号に対応する特徴値が格納されている場合、非活性化されて次の順序の格納部を活性化してもよい。

【0006】

ここで、前記格納部は、前記バースト信号が格納されている場合、初期化信号によって初期化されるまで前記入力値に対応するスパイク信号を持続的に出力してもよい。  
30

【0007】

ここで、前記入力部は、入力に受信できる特徴値ごとに、入力されるスパイク信号を時間幅が一定のバースト構造に変更する活性ニューロンと、前記活性ニューロンで変更されたバースト構造のスパイク信号が一定のサイズを有するように前記活性ニューロンを抑制してバースト信号を生成する活性ニューロンとを含んでもよい。

【0008】

ここで、前記入力部は、入力に受信できる特徴値ごとに、前記入力されるスパイク信号をノイズ除去ニューロンに伝達する短期的な促進特性を有するシナプスと、前記シナプスによって入力されたスパイク信号からノイズを除去して前記活性ニューロンに伝達する前記ノイズ除去ニューロンとをさらにも含んでもよい。  
40

【0009】

ここで、前記格納部それぞれは、活性化されれば、前記入力部から受信する前記バースト信号を持続部に伝達するゲートニューロンと、前記バースト信号が入力された場合、前記バースト信号に対応する前記特徴値に対応する少なくとも1つのニューロンを活性化させて、初期化信号が入力されるまで持続的に前記特徴値に対応するスパイク信号を出力する前記持続部と、前記ゲートニューロンを活性化したり抑制する前記制御ニューロンとを含んでもよい。

【0010】

ここで、前記制御ニューロンは、以前順序の格納部からアイドル (Idle) 信号を受信したり、または、前記持続部から前記特徴値に対応するスパイク信号を受信すれば前記ゲートニューロンを抑制し、入力される信号がなければ、前記ゲートニューロンを活性化してもよい。

【0011】

ここで、前記ゲートニューロンは、前記入力部で受信する入力に対応する特徴値の種類だけ存在してもよい。

【0012】

ここで、前記持続部は、前記バースト信号を受信した場合、前記特徴値に該当するスパイク信号を持続的に出力するそれぞれの特徴値ごとの持続ニューロンと、初期化信号によりアイドル状態であることを示すアイドル信号を出力する少なくとも1つの遊休ニューロンと、前記持続ニューロンと前記遊休ニューロンを抑制し、一回に種類のスパイク信号だけが出力されるようにする少なくとも1つの抑制ニューロンとを含んでもよい。

10

【0013】

一実施形態によると、入力スパイク信号を一定形態のバースト構造のスパイク信号であるバースト信号に変換して出力する入力部と、前記バースト信号を予め設定した値を有する多重化されたバースト信号に変えて出力するマルチプレクサと、前記マルチプレクサから出力される多重化されたバースト信号が入力された場合、次の順序の格納部を選択する活性化信号を出力する順次選択部と、前記順次選択部で出力する前記活性化信号を受信した場合、前記入力部から出力される前記バースト信号に対応する特徴値を格納し、前記特徴値に対応するスパイク信号を持続的に出力する格納部を2つ以上備えることを特徴とするスパイクニューロン基盤のワーキングメモリ装置が提供される。

20

【0014】

ここで、前記順次選択部は、外部から前記格納部のいずれか1つを選択する外部選択信号を受信した場合、前記活性化信号を選択された格納部に出力してもよい。

【0015】

ここで、前記格納部は、前記バースト信号が格納されている場合、初期化信号によって初期化されるまで前記特徴値に対応するスパイク信号を持続的に出力してもよい。

【0016】

ここで、前記入力部は、入力に受信できる特徴値ごとに、入力されるスパイク信号を時間幅が一定のバースト構造に変更する活性ニューロンと、前記活性ニューロンで変更されたバースト構造のスパイク信号が一定のサイズを有するように前記活性ニューロンを抑制してバースト信号を生成する抑制ニューロンとを含んでもよい。

30

【0017】

ここで、前記入力部は、入力に受信できる特徴値ごとに、前記入力されるスパイク信号をノイズ除去ニューロンに伝達する短期的な促進特性を有するシナプスと、前記シナプスによって入力されたスパイク信号からノイズを除去して前記活性ニューロンに伝達する前記ノイズ除去ニューロンとをさらに含んでもよい。

【0018】

ここで、前記格納部それぞれは、前記順次選択部によって活性化された場合、前記入力部から受信する前記バースト信号を持続部に伝達するゲートニューロンと、前記バースト信号が入力された場合、前記特徴値に対応する少なくとも1つのニューロンを活性化させて、初期化信号が入力されるまで持続的に前記特徴値に対応するスパイク信号を出力する前記持続部とを備えてもよい。

40

【0019】

ここで、前記ゲートニューロンは、前記入力部に受信する入力に対応する特徴値の種類だけ存在してもよい。

【0020】

ここで、前記持続部は、前記バースト信号を受信した場合、前記特徴値に該当するスパイク信号を持続的に出力するそれぞれの特徴値ごとの持続ニューロンと、前記持続ニュー

50

ロンと前記アイドルニューロンを抑制して一回に一種類のスパイク信号だけが出力されるようにする少なくとも1つの抑制ニューロンとを含んでもよい。

【0021】

ここで、前記抑制ニューロンは、初期化信号を受信した場合、前記持続部を初期化して持続的に出力した前記スパイク信号を遮断してもよい。

【0022】

ここで、前記順次選択部は、活性化された場合、対応する前記格納部に含まれたゲートニューロンを活性化する活性化信号を持続的に出力する選択ニューロンと、前記マルチプレクサから前記多重化されたパスト信号を受信した場合、次の順序の選択ニューロンを活性化させる順次選択ニューロンと、前記選択ニューロンを抑制して前記選択ニューロンのいずれか1つの選択ニューロンだけが前記活性化信号を出力するようにする少なくとも1つの抑制ニューロンと、前記順次選択ニューロンを抑制する信号を持続的に出力する制御ニューロンとを含んでもよい。

10

【0023】

ここで、前記選択ニューロンのうち第1順序の選択ニューロンは、前記初期化信号を受信し、前記初期化信号を受信された場合、前記活性化信号を第1順序の格納部に含まれたゲートニューロンに持続的に送信してもよい。

【0024】

ここで、前記制御ニューロンは、前記格納部それぞれに含まれたゲートニューロンを抑制する信号を持続的に出力してもよい。

20

【発明の効果】

【0025】

本発明によると、スパイクニューロン基盤のワーキングメモリ装置を提供することができる。

【図面の簡単な説明】

【0026】

【図1】一実施形態に係るワーキングメモリ装置の構成を示す図である。

【図2】一実施形態に係るワーキングメモリ装置で入力部の構成を示す図である。

【図3】入力部でノイズ除去ニューロンの入出力例を示す図である。

【図4】シナプスが有し得る短期可塑性(STP: Short Term Plasticity)の種類を示す図である。

30

【図5】ワーキングメモリ装置で入力信号のスパイク比率による入力部の入出力例を示す図である。

【図6】入力を持続させる結合された回帰ネットワークの構造を示す図である。

【図7】入力を持続させる回帰ネットワークの構造を示す図である。

【図8】一実施形態に係るワーキングメモリ装置で格納部の構成を示す図である。

【図9】スパイクニューロンを用いて構成された一実施形態に係るワーキングメモリ装置の構成を示す図である。

【図10】図9の動作中で入力部の入出力例を示す図である。

【図11】図9の動作中で格納部の出力例を示す図である。

40

【図12】図11に表示された各時間における格納部の活性化ニューロンのパターンを示す図である。

【図13】他の実施形態に係るワーキングメモリ装置の構成を示す図である。

【図14】他の実施形態に係るワーキングメモリ装置でマルチプレクサの構成を示す図である。

【図15】図14のマルチプレクサの入出力例を示す図である。

【図16】他の実施形態に係るワーキングメモリ装置で順次選択部の構成を示す図である。

【図17】図16の順次選択部の入出力例を示す図である。

【図18】他の実施形態に係るワーキングメモリ装置で格納部の構成を示す図である。

50

【図 19】図 18 の格納部の入出力例を示す図である。

【図 20】スパイクニューロンを用いて構成された他の実施形態に係るワーキングメモリ装置の構成を示す図である。

【図 21】図 20 の動作中で入力部とマルチプレクサの入出力例を示す図である。

【図 22】図 20 の動作中で順次選択部の入出力例を示す図である。

【図 23】図 20 の動作中で格納部の出力例を示す図である。

【図 24】図 20 に表示された各時間における格納部の活性化ニューロンのパターンを示す図である。

【図 25】図 20 の動作中で格納部が選択された場合、入力部とマルチプレクサの入出力例を示す図である。

10

【図 26】図 20 の動作中で格納部が選択された場合、順次選択部の入出力例を示す図である。

【図 27】図 20 の動作中で格納部が選択された場合、格納部の出力例を示す図である。

【図 28】図 27 に表示された各時間における格納部の活性化ニューロンのパターンを示す図である。

【発明を実施するための形態】

【0027】

以下、本発明の実施形態について添付の図面を参照しながら詳細に説明する。

【0028】

以下の説明で、神経回路を用いて時間に応じて変化するパターンを臨時的に所望する時間中に格納する装置をワーキングメモリ装置という。

20

【0029】

図 1 は、一実施形態に係るワーキングメモリ装置の構成を示す図である。

【0030】

図 1 に示すように、ワーキングメモリ装置 100 は、入力インタフェース 110、複数の格納部 (ME: Memory Element) 120、130、140 を備える。

【0031】

入力インタフェース 110 は、複数のニューロンから入力される入力スパイク信号 (Input spikes) を一定形態のバーストスパイク形態に変わって出力する。入力インタフェース 110 は、入力スパイク信号の列をスパイク比率及び長さに関わらず時間幅が一定のバースト構造に変える。

30

【0032】

格納部 120、130、140 は順次活性化され、活性化された格納部は入力インタフェース 110 から出力されるバーストスパイク信号 (Burst spikes) に対応する特徴値を格納する。以下では、バーストスパイク信号をバースト信号と称する。

【0033】

格納部 120、130、140 は、バースト信号に対応する特徴値が格納されている場合に非活性化され、次の順序の格納部を活性化する。すなわち、第 0 格納部 120 を除いた格納部 130、140 は、前の順序の格納部によって活性化される。

【0034】

格納部 120、130、140 はバースト信号に対応する特徴値が格納されている場合、初期化信号によって初期化されるまで入力値に該当するスパイク信号を持続的に出力する。

40

【0035】

図 2 は、一実施形態に係るワーキングメモリ装置で入力部の構成を示す図である。

【0036】

図 2 に示すように、入力インタフェース 110 は、入力当たり 2 つの活性ニューロン (excitedry neuron) と 1 つの抑制ニューロン (inhibitory neuron) を含んで構成される。ここで、入力側にあるノイズを除去するための活性ニューロン 211、212、213 を省略してもよく、以下の説明では、ノイズを除去するための活性ニューロンをノイズ

50



除去ニューロンであると称する。ノイズ除去ニューロン 2 1 1、2 1 2、2 1 3 が省略される場合、入力インタフェース 1 1 0 は、入力当たり 1 つの活性ニューロンと 1 つの抑制ニューロンから構成される。

【 0 0 3 7 】

ノイズ除去ニューロン 2 1 1、2 1 2、2 1 3 が含まれる場合、ノイズ除去のために入力とノイズ除去ニューロンの間は短期的な促進 (STF: Short Term Facilitation) 機能を有するシナプスに連結されている。シナプスの特性は、下記の図 4 を参照して後述することにする。

【 0 0 3 8 】

図 4 は、シナプスが有し得る短期可塑性の種類を示す図である。シナプスの短期可塑性とは、シナプスが伝達する連続するスパイク信号の強度変化を示す。図 4 に示すように、シナプスは大きく、促進 (facilitation)、降下 (depression) 及び静的 (static) のうち 1 つの特徴を有する。

10

【 0 0 3 9 】

促進は、連続するスパイク信号が入力されれば、最初には小さいサイズで伝達して徐々に大きいサイズに伝達する特性を示す。

【 0 0 4 0 】

降下は、連続するスパイク信号が入力される最初には大きいサイズで伝達して徐々に小さいサイズに伝達する特性を示す。静的は、連続するスパイク信号を一定のサイズに伝達する特性を示す。

20

【 0 0 4 1 】

再び、図 2 に示すように、ノイズ除去ニューロン 2 1 1、2 1 2、2 1 3 は短期的な促進の特性を有するシナプスによって入力されるスパイク信号を用いて、図 3 に示すノイズを除去する。

【 0 0 4 2 】

図 3 は、入力インタフェースでノイズ除去ニューロンの入出力例を示す図である。図 3 に示すように、およそ 2 個のスパイクからなる入力がある場合、短期的な促進特性を有するシナプスとノイズ除去ニューロン 2 1 1、2 1 2、2 1 3 によって除去され、複数のスパイクからなる信号のみが出力されることが確認される。

【 0 0 4 3 】

入力インタフェース 1 1 0 は、入力当たり 1 つの活性ニューロン 2 2 1、2 2 2、2 2 3 と 1 つの抑制ニューロン 2 3 1、2 3 2、2 3 3 を用いて連続して入力されるスパイク信号をスパイク比率及び長さに関わらず、時間幅が一定のバースト構造のバースト信号に変換させて出力する。

30

【 0 0 4 4 】

より詳細に説明すると、活性ニューロン 2 2 1、2 2 2、2 2 3 は、入力されるスパイク信号を時間幅が一定のバースト構造に変更する。そして、抑制ニューロン 2 3 1、2 3 2、2 3 3 は、活性ニューロン 2 2 1、2 2 2、2 2 3 で生成するバースト構造のバースト信号が一定のサイズを有するように活性ニューロン 2 2 1、2 2 2、2 2 3 を抑制する。

40

【 0 0 4 5 】

入力インタフェース 1 1 0 は、バーストモードで動作するニューロンを用いる場合、入力に対応する特徴値ごとに 1 つのニューロンから構成することができる。

【 0 0 4 6 】

一方、入力インタフェース 1 1 0 は長さの長い入力が入ってくる場合、図 5 に示すように、適当な時間間隔ごとにバースト信号を出力することで入力が持続されることを示す。

【 0 0 4 7 】

図 5 は、ワーキングメモリ装置で入力信号のスパイク比率による入力インタフェースの入出力例を示す図である。図 5 に示すように、入力インタフェース 1 1 0 は長さの長い入力が入ってくる場合、時間間隔ごとにバースト信号を出力することによって入力が持続さ

50

れていることを示す。ここで、入力されるスパイクのスパイク比率が高い場合（すなわち、時間当たり入力されるスパイク数が多い場合）は、バースト信号が出力される時間間隔が短くし、スパイク比率が低い場合は、バースト信号が出力される時間間隔を増やす、ことで長い入力のスパイク比率に関する情報が示される。

【0048】

図1に示す格納部120、130、140を説明する前に、一度活性化すれば入力がなくとも活性化された状態を保持するネットワーク構造について図6および図7を参照して説明する。

【0049】

図6は、入力を持続させる結合された回帰ネットワークの構造を示す図である。図6に示すように、(a)は結合された回帰ネットワークの構造を示し、(b)は結合された回帰ネットワークの構造を単に表したものである。その後、図面で結合された回帰ネットワークの構造を(b)の形態に表したものである。

10

【0050】

結合された回帰ネットワークは2つの回帰ネットワークの結合から構成される。2つの回帰ネットワークはそれぞれグループX(Group X)とグループY(Group Y)に分類される。

【0051】

グループXの回帰ネットワークは少なくとも1つの抑制ニューロン641と複数の活性ニューロン611、621、631から構成され、グループYの回帰ネットワークは少なくとも1つの抑制ニューロン642と複数の活性ニューロン612、622、632から構成される。

20

【0052】

グループXの活性ニューロン611、621、631とグループYの活性ニューロン612、622、632は互いに対をなして結合し、スパイク信号が入力されれば、対をなす活性ニューロンとスパイク信号を交番に出力して入力されたスパイク信号を持続する。

【0053】

結合された回帰ネットワークで活性ニューロンのシナプスは、AMPA(-amono-3-hydroxy-5-methylisozazole-4-propionic acid)受容体で構成される。ここで、AMPA受容体から構成された新しいシナプスパイク信号に対する反応速度は略1ms~5ms間の値を有する。

30

【0054】

図7は、入力を持続させる回帰ネットワークの構造を示す図である。図7に示すように、回帰ネットワークは、少なくとも1つの抑制ニューロン740と複数の活性ニューロン710、720、730から構成され、回帰ネットワークだけで入力されたスパイク信号を持続させるために活性ニューロン710、720、730の回帰接続(自己にループバックする接続)されたシナプスを反応速度の極めて遅いシナプスを用いてもよい。反応速度の遅いシナプスではNMPA(N-Mrthyl-D-aspartic acid)受容体から構成されたシナプスがある。ここで、NMPA受容体から構成されたシナプスは、スパイク信号に対する反応速度が略80ms以上の値を有する。

40

【0055】

図8は、一実施形態に係るワーキングメモリ装置で格納部の構成を示す図である。図8に示すように、図1の格納部120、130、140は制御を行う活性ニューロン810(以下、制御ニューロンと称する)、ゲートの役割を行う活性ニューロン821、822、823(以下、ゲートニューロンと称する)及び持続部830を備える。

【0056】

ゲートニューロン821、822、823は、制御ニューロン810の制御によって抑制されたり、活性化されるニューロンに入力されるバースト信号を持続部830の該当入力に該当するニューロンに伝達する。ここで、ゲートニューロン821、822、823は、入力インタフェース110で受信される入力の数だけ存在する。すなわち、ゲートニ

50

ニューロンは入力ごとに1つずつ存在する。

【0057】

持続部830は、バースト信号が入力されれば、該当入力に対応する少なくとも1つのニューロンを活性化させて初期化信号が入力されるまで持続的にスパイク信号を出力する。

【0058】

持続部830は、2つの回帰ネットワーク(Group X, Group Y)が結合された形態の結合された回帰ネットワークで構成される。

【0059】

回帰ネットワーク(Group X)は、各入力に該当する活性ニューロン841、851、861(以下、持続ニューロンと称する)、初期化信号によりアイドル状態であることを出力する活性ニューロン871(以下、アイドルニューロンと称する)及び持続ニューロン841、851、861とアイドルニューロン871のいずれか1つでもスパイク信号を出力した場合、持続ニューロン841、851、861とアイドルニューロン871の全てを抑制する抑制ニューロン881を含む。

10

【0060】

そして、回帰ネットワーク(Group X)と結合する回帰ネットワーク(Group Y)は、持続ニューロン842、852、862、アイドルニューロン872及び抑制ニューロン882を含む。

【0061】

持続部830は、初期化信号が入力された場合、アイドルニューロン871、872が交代しながら活性化されつつ、次の順序の格納部を非活性化するアイドル信号を次の順序の格納部に出力する。

20

【0062】

持続部830は、ゲートニューロン821、822、823のいずれか1つによってバースト信号を受信すれば、持続ニューロン841、851、861、842、852、862から入力に該当する持続ニューロンの対を用いて交番にスパイク信号を出力し、出力が持続できるようにする。ここで、持続部830は、抑制ニューロン881、882により一对の持続ニューロンによってのみ出力が持続される。

【0063】

持続部830の持続ニューロン841、851、861、842、852、862による出力は制御ニューロン810の入力に提供される。

30

【0064】

図8に示す持続部830は、図6に示す結合された回帰ネットワークの形態から構成されたが、図7に示すような回帰ネットワークにも構成されてもよい。

【0065】

制御ニューロン810は、ゲートニューロン821、822、823を活性化するか抑制して格納部を活性化するか非活性化してもよい。制御ニューロン810は、前の順序の格納部の遊休ニューロンから遊休信号を受信した場合、ゲートニューロン821、822、823を抑制して非活性化する。

40

【0066】

そして、制御ニューロン810は、前の順序の格納部にバースト信号が格納されて前の順序の格納部から遊休信号の出力が中止された場合、持続ニューロン841、851、861、842、852、862の抑制を中止することによって格納部を活性化する。

【0067】

その後、制御ニューロン810は、持続部830の持続ニューロン841、851、861、842、852、862の1つからスパイク信号を受信した場合、ゲートニューロン821、822、823を抑制して非活性化する。

【0068】

すなわち、制御ニューロン810は、前の順序の格納部の遊休ニューロンから遊休信号

50

を受信したり、持続部 830 の持続ニューロン 841、851、861、842、852、862 の 1 つからスパイク信号を受信した場合、ゲートニューロン 821、822、823 を抑制して非活性化し、入力される信号がなければゲートニューロン 821、822、823 を活性化する。

【0069】

図 9 は、スパイクニューロンを用いて構成された一実施形態に係るワーキングメモリ装置の構成を示す図である。

【0070】

図 1 に示すワーキングメモリ装置を図 2 及び図 8 を参照して説明したニューロンに実現すれば、図 9 に示すように構成される。図 9 で表現された各装置の細部構成に対する説明は、図 2 及び図 8 と同様であるため、その詳細な説明は省略する。

10

【0071】

図 9 に示すワーキングメモリ装置に 7、4、6、1、0、3 の値が順次入力されるときの各装置の入出力例を図 10、図 11 及び図 12 を参照して説明する。

【0072】

図 10 は、図 9 に示す動作中で入力部の入出力例を示す図である。図 10 において、Reset は格納部 120、130、140 を初期化するスパイク信号であり、Input は入力インタフェース 110 に入力されるスパイク信号であり、In Intf は入力インタフェース 110 から出力されるバースト信号である。図 10 に示すように、入力されたスパイク信号が時間幅の一定のバースト信号に変わって出力されたことが確認される。

20

【0073】

図 11 は、図 9 に示す動作中で格納部の出力例を示す図である。図 11 において、Reset は格納部 120、130、140 を初期化するスパイク信号であり、Input は入力インタフェース 110 に入力されるスパイク信号であり、ME0 ~ ME5 は、第 0 格納部から第 5 格納部に出力するスパイク信号を示し、ME0 から ME5 の出力において (外 1)

①

30

に表示された出力はアイドル信号を示す。

【0074】

図 11 に示すように、ME0 から ME5 にスパイク信号による入力値が順次格納され、初期化信号が入力されるまで持続的に格納された入力に該当するスパイク信号を出力することが確認される。

【0075】

図 12 は、図 11 に表示された各時間における格納部の活性化ニューロンのパターンを示す図である。

40

【0076】

図 11 を参照して各時間  $t_0 \sim t_5$  において、記憶格納部の活性化状態について説明すると、時間に応じて変化する空間 - 時間のスパイク信号のパターンを空間のパターンに変えるワーキングメモリの特性を確認することができる。

【0077】

図 13 は、他の実施形態に係るワーキングメモリ装置の構成を示す図である。図 13 に示すように、ワーキングメモリ装置 1300 は、入力インタフェース 1310、マルチプレクサ 1320、順次選択部 1330 及び複数の格納部 1340、1350、1360 を備える。

【0078】

50

入力インタフェース 1310 は、複数のニューロンから入力される入力スパイク信号を一定形態のバーストスパイク形態に変えて出力する。入力インタフェース 110 は、入力スパイク信号の列をスパイク比率及び長さに関わらず、時間幅が一定のバースト構造に変える。入力インタフェース 1310 は、図 1 に示す入力インタフェース 110 と同一に構成されてもよい。

【0079】

マルチプレクサ 1320 は入力インタフェース 1310 から出力されれば、バースト信号を予め設定した値のバーストスパイク信号に多重化して順次選択部 1330 へ提供する。

【0080】

順次選択部 1330 は、格納部 1340、1350、1360 のうち入力インタフェース 1310 から出力されれば、バースト信号が格納される格納部を選択し、選択された格納部を活性化する活性化信号を出力する。

10

【0081】

順次選択部 1330 は、2 種類の方法により格納部を選択する。第 1 の方法は、マルチプレクサ 1320 から多重化されたバースト信号を受信するたびに次の順序の格納部を選択する方法である。第 2 の方法は、外部選択信号 S0、S1、SM を受信すれば、選択信号に対応する格納部を選択する方法である。ここで、外部選択信号の種類は格納部の数だけ存在し得る。

【0082】

格納部 1340、1350、1360 は、順次選択部 1330 の選択によって活性化され、活性化された格納部は入力部 1310 から出力されるバースト信号を格納する。

20

【0083】

格納部 1340、1350、1360 はバースト信号が格納されている場合、初期化信号によって初期化されるまで入力値に該当するスパイク信号を持続的に出力する。

【0084】

図 14 は、他の実施形態に係るワーキングメモリ装置でマルチプレクサの構成を示す図である。図 14 に示すように、マルチプレクサ 1320 は、活性ニューロン 1410 と抑制ニューロン 1420 を用いて入力される全てのバースト信号を予め設定した値を時間幅の一定なバースト信号に変換して順次選択部 1330 に出力する。

【0085】

より詳細に説明すると、活性ニューロン 1410 は、入力されるバースト信号を予め設定した値のバースト構造に変更する。そして、抑制ニューロン 1420 は、活性ニューロン 1410 で生成するバースト構造のスパイク信号が一定のサイズを有するように活性ニューロン 1410 を抑制する。

30

【0086】

ここで、活性ニューロン 1410 でバースト構造のスパイク信号を生成するために、活性ニューロン 1410 と活性ニューロン 1410 を接続するシナプスの短期可塑性は降下特性を有してもよい。

【0087】

図 15 は、図 14 のマルチプレクサの入出力例を示す図である。図 15 に示すように、マルチプレクサ 1320 の入力で 0、1、2、3、4 の値を有するバースト信号が入力された場合であっても、0.0 の値を有するバースト信号に多重化されて出力されることが確認される。

40

【0088】

図 16 は、他の実施形態に係るワーキングメモリ装置で順次選択部の構成を示す図である。図 16 に示すように、順次選択部 1330 は、図 7 に示す結合された回帰ネットワークに基づいて構成されたものである。順次選択部 1330 は、結合された回帰ネットワークの入力によって活性化された特定のニューロングループが入力がなくなった後にも継続して活性化された状態を保持する特性を用いて、図 16 に示すように構成して格納部 1340、1350、1360 を順次活性化してもよい。

50

## 【0089】

順次選択部1330は、持続的に抑制スパイク信号を出力する抑制ニューロン1610（以下、制御ニューロンと称する）、Group X、Group Y及びGroup tを含んで構成される。

## 【0090】

制御ニューロン1610は、グループtに含まれたニューロンを抑制する信号を持続的に出力する。また、制御ニューロン1610は、各格納部1340、1350、1360に含まれたゲートニューロンを抑制する信号を持続的に出力する。

## 【0091】

Group Xは、格納部1340、1350、1360それぞれを選択する活性ニューロン1621、1631、1651（以下、選択ニューロンと称する）及び選択ニューロン1621、1631、1651のいずれか1つでもスパイク信号が出力された場合、選択ニューロン1621、1631、1651を全て抑制する抑制ニューロン1661を含む。

10

## 【0092】

そして、Group Xと結合するGroup Yは選択ニューロン1622、1632、1652及び抑制ニューロン1662を含む。

## 【0093】

Group tは、マルチプレクサ1320から多重化されたバースト信号を受信してGroup Yの選択ニューロンからスパイク信号を受信した場合、Group Xに含まれた次の順序の選択ニューロンにスパイク信号を出力する活性ニューロン1623、1633、1643、1653（以下、順次選択ニューロンと称する）から構成される。

20

## 【0094】

順次選択部1330は、初期化信号がGroup Xの0番の選択ニューロン1621に入力された場合、一対であるGroup Yの0番の選択ニューロン1622と共に交代しながら活性化され、第0格納部1340を活性化するスパイク信号を持続的に出力する。ここで、Group Xの選択ニューロンと対応するGroup Yの選択ニューロンをグルーピングして選択ニューロングループという。

## 【0095】

その後、順次選択部1330は、マルチプレクサ1320から多重化されたバースト信号が受信されるたびにGroup tに含まれた順次選択ニューロン1623、1633、1643、1653の1つによってスパイク信号を出力する選択ニューロングループを変更する。すなわち、順次選択部1330は0 1 2 . . . M番の選択ニューロングループを活性化した後、再び0番の選択ニューロングループを活性化する。活性化された選択ニューロングループは、持続的にスパイク信号を出力して対応する格納部を活性化する。

30

## 【0096】

順次選択部1330は、マルチプレクサ1320から入る多重化されたバースト信号のみならず、別途の外部選択信号S0、S1、SMによって特定選択ニューロングループが活性化されるようにする。すなわち、順次選択部1330は、Group Xの選択ニューロン1621、1631、1651の1つに外部選択信号S0、S1、SMが入力された場合、外部選択信号が入力された選択ニューロングループを活性化する。

40

## 【0097】

図17は、図16に示す順次選択部の入出力例を示す図である。図17において、Resetは格納部1340、1350、1360を初期化するスパイク信号であり、Inputはマルチプレクサ1320から入力される多重化されたバースト信号であり、GxはGroup Xに含まれた選択ニューロン1621、1631、1651及び抑制ニューロン1661の出力を示し、GyはGroup Yに含まれた選択ニューロン1622、1632、1652及び抑制ニューロン1662の出力を示し、GtはGroup tに含まれた順次選択ニューロン1623、1633、1643、1653の出力を示す。図17に示す

50

ように、マルチプレクサ 1320 からの入力によって順次増加することが確認される。

【0098】

図 18 は、他の実施形態に係るワーキングメモリ装置における格納部の構成を示す図である。図 18 を参照すると、格納部 1340、1350、1360 はゲートニューロン 1821、1822、1823 と持続部 1830 を備える。

【0099】

ゲートニューロン 1821、1822、1823 は、順次選択部 1330 から一定の間隔持続的に受信される制御信号によって抑制され、入力インタフェース 1310 からのバースト信号と順次選択部 1330 からの活性化スパイク信号を共に受信する場合、入力インタフェース 1310 から入力されるバースト信号を持続部 1830 の該当入力に該当するニューロンへ伝達する。

10

【0100】

持続部 1830 は、バースト信号が入力された場合、該当入力に対応する少なくとも 1 つのニューロンを活性化させ、初期化信号が入力されるまで持続的にスパイク信号を出力する。

【0101】

持続部 1830 は、2 つの回帰ネットワーク (Group X、Group Y) が結合された形態の結合された回帰ネットワークで構成される。

【0102】

回帰ネットワーク (Group X) は、各入力に該当する持続ニューロン 1841、1851、1861 及び持続ニューロン 1841、1851、1861 のいずれか 1 つでもスパイク信号が出力されれば、持続ニューロン 1841、1851、1861 を抑制する抑制ニューロン 1871 を含む。また、抑制ニューロン 1871 は初期化信号を受信すれば、持続ニューロン 1841、1851、1861 を抑制する。

20

【0103】

そして、回帰ネットワーク (Group X) と結合する回帰ネットワーク (Group Y) は、持続ニューロン 1842、1852、1862 及び抑制ニューロン 1872 を含む。

【0104】

持続部 1830 は、ゲートニューロン 1821、1822、1823 のいずれか 1 つによってバースト信号を受信した場合、持続ニューロン 1841、1851、1861、1842、1852、1862 のうち入力に該当する持続ニューロンの対を用いて、交番にスパイク信号を出力して出力が持続されるようにする。ここで、持続部 1830 は、抑制ニューロン 1871、1872 によって対である持続ニューロンによってのみ出力が持続される。そして、持続部 1830 は、抑制ニューロン 1871、1872 に初期化信号が受信されれば、非活性化される。

30

【0105】

図 8 に示す格納部 120 と図 18 の格納部 1340 を比較したとき、図 18 の格納部 1340 は図 8 の格納部 120 においてアイドルリング状態を示すアイドルニューロングループを省略し、格納部を活性化して非活性化する信号を内部の制御ニューロンではない順次選択部 1330 から受信する信号を用いる。

40

【0106】

図 18 に示す格納部 1340 でアイドルニューロングループは省略されているため、全ての持続ニューロングループは初期状態に全て非活性化されている。

【0107】

図 19 は、図 18 に示す格納部の入出力例を示す図である。図 19 において、Reset は格納部 1340、1350、1360 を初期化するスパイク信号であり、Input は入力インタフェース 1310 から入力されるバースト信号であり、S.sel は順次選択部 1330 の活性化信号であり、Gt は順次選択部 1330 の Group t に含まれた順次選択ニューロン 1623、1633、1643、1653 の出力を示し、Gx は格納部の Gro

50

up Xに含まれた持続ニューロン1841、1851、1861及び抑制ニューロン1871の出力を示し、Gyは格納部のGroup Yに含まれた持続ニューロン1842、1852、1862及び抑制ニューロン1872の出力を示す。

【0108】

図19は、8種類の入力を有する格納部で0と4の入力が入るとき、順次選択部1330によって活性化が行われて0番と4番の格納部が順次活性化されることを示す図である。

【0109】

図19に示すように、格納部は最初には非活性化されているものの、順次選択部1330によって活性化された状態で0が入る瞬間、格納部は0に該当するスパイク信号を出力する。その後、1、2、3の入力では順次選択部1330による活性化されないため格納部の状態は変わらない。すなわち、順次選択部1330によって活性化される場合には該当入力が格納部に格納されるものの、活性化されない場合には入力が入っても格納部の状態は変わらない。順次選択部1330によって活性化されている状態で新しい入力4がある場合、格納部は4に該当するスパイク信号に変えて出力する。また、700msで発生した初期化信号によって格納部は非活性化の状態に戻る。

10

【0110】

図20は、スパイクニューロンを用いて構成された他の実施形態に係るワーキングメモリ装置の構成を示す図である。

【0111】

図13に示すワーキングメモリ装置を図2、図14、図16及び図18を参照して説明したニューロンで実現する場合、図20に示すように構成することが考えられる。図20で表現された各装置の細部構成の説明は、図2、図14、図16及び図18と同一であるため、その詳細な説明は省略する。

20

【0112】

図20に示す作業記憶装置に7、4、6、1、0、3の値が順次入力されるときの各装置の入出力例について、下記の図21から図24を参照して説明する。

【0113】

図21は、図20に示す動作中で入力部とマルチプレクサの入出力例を示す図である。図21において、Resetは格納部1340、1350、1360を初期化するスパイク信号であり、Inputは入力インタフェース1310に入力されるスパイク信号であり、In1ntfは入力部1310から出力されるバースト信号であり、Multiplexerはマルチプレクサ1320から出力される多重化されたバースト信号である。

30

【0114】

図21に示すように、入力されたスパイク信号が時間幅が一定のバースト信号に変わって出力されることが確認される。また、マルチプレクサ1320は、一定の値を有するバースト信号を出力することが確認される。

【0115】

図22は、図20の動作中で順次選択部の入出力例を示す図である。図22において、Resetは格納部1340、1350、1360を初期化するスパイク信号であり、Inputは入力インタフェース1310から入力されるスパイク信号であり、SS\_Gxは順次選択部1320のGroup Xに含まれた選択ニューロン1621、1631、1651及び抑制ニューロン1661の出力を示し、SS\_Gyは順次選択部1320のGroup Yに含まれた選択ニューロン1622、1632、1652及び抑制ニューロン1662の出力を示し、順次選択部1320のSS\_GtはGroup tに含まれた順次選択ニューロン1623、1633、1643、1653の出力を示す。

40

【0116】

図22に示すように、入力インタフェース1310に7、4、6、1、0、3の値が順次入力されるたびにSS\_Gtの値が順次増加し、SS\_Gtの順次的増加によりSS\_GxとSS\_Gyの値が順次増加し、格納部が順次選択されることが確認される。

50



## 【 0 1 1 7 】

図 2 3 は、図 2 0 の動作中で格納部の出力例を示す図である。図 2 3 において、Reset は格納部 1 3 4 0、1 3 5 0、1 3 6 0 を初期化するスパイク信号であり、Input は入力インタフェース 1 3 1 0 に入力されるスパイク信号であり、ME 0 から ME 5 は第 0 格納部から第 5 格納部に出力するスパイク信号を示す。

## 【 0 1 1 8 】

図 2 3 に示すように、ME 0 から ME 5 にスパイク信号による入力値が順次格納され、初期化信号が入力されるまで持続的に格納された入力に該当するスパイク信号を出力することが確認され。

## 【 0 1 1 9 】

図 2 4 は、図 2 0 に表示された各時間における格納部の活性化ニューロンのパターンを示す図である。

## 【 0 1 2 0 】

図 2 3 を参照して各時間  $t_0 \sim t_5$  で記憶格納部の活性化状態について説明すると、時間に応じて変化する空間 - 時間のスパイク信号のパターンを空間のパターンに変えるワーキングメモリの特性を確認することができる。

## 【 0 1 2 1 】

図 2 0 に示すワーキングメモリ装置に 7、4、6、1、0、3 の値が順次入力された後に順次選択部 1 3 2 0 によって第 3 格納部 ME 3 が選択され、2、5、0 が順次入力されるとき各装置の入出力例については図 2 5 から図 2 8 を参照して説明することにする。

## 【 0 1 2 2 】

図 2 5 は、図 2 0 の動作中で格納部が選択された場合、入力インタフェースとマルチプレクサの入出力例を示す図である。図 2 5 において、Reset は格納部 1 3 4 0、1 3 5 0、1 3 6 0 を初期化するスパイク信号であり、Input は入力インタフェース 1 3 1 0 に入力されるスパイク信号であり、In Intf は入力インタフェース 1 3 1 0 から出力されるバースト信号であり、Multiplexer はマルチプレクサ 1 3 2 0 から出力される多重化されたバースト信号であり、Select は順次選択部 1 3 2 0 に入力される選択信号である。

## 【 0 1 2 3 】

図 2 5 に示すように、入力されたスパイク信号が時間幅が一定のバースト信号に変わって出力され、マルチプレクサ 1 3 2 0 は一定の値を有するバースト信号を出力することが確認される。

## 【 0 1 2 4 】

図 2 6 は、図 2 0 の動作中で格納部が選択された場合、順次選択部の入出力例を示す図である。図 2 6 において、Reset は格納部 1 3 4 0、1 3 5 0、1 3 6 0 を初期化するスパイク信号であり、Input は入力インタフェース 1 3 1 0 から入力されるスパイク信号であり、SS\_Gx は順次選択部 1 3 2 0 の Group X に含まれた選択ニューロン 1 6 2 1、1 6 3 1、1 6 5 1 及び抑制ニューロン 1 6 6 1 の出力を示し、SS\_Gy は順次選択部 1 3 2 0 の Group Y に含まれた選択ニューロン 1 6 2 2、1 6 3 2、1 6 5 2 及び抑制ニューロン 1 6 6 2 の出力を示し、順次選択部 1 3 2 0 の SS\_Gt は Group t に含まれた順次選択ニューロン 1 6 2 3、1 6 3 3、1 6 4 3、1 6 5 3 の出力を示し、Select は順次選択部 1 3 2 0 に入力される選択信号である。

## 【 0 1 2 5 】

図 2 6 に示すように、入力インタフェース 1 3 1 0 に 7、4、6、1、0、3 の値が順次入力されるたびに SS\_Gt の値が順次増加し、SS\_Gt の順次的増加によって SS\_Gx と SS\_Gy の値が順次増加し、格納部が順次選択されることが確認される。

## 【 0 1 2 6 】

そして、Select に ME 3 の選択信号が入力されれば、SS\_Gt の値が 3 に変わり、これによって SS\_Gx と SS\_Gy の値 ME 3 を選択する。ME 3 が選択された後 2、5、0 が入力されるたびに SS\_Gt、SS\_Gx 及び SS\_Gy の値は順次増加されることが確認される。

## 【 0 1 2 7 】

10

20

30

40

50

図 27 は、図 20 の動作中で格納部が選択された場合、格納部の出力例を示す図である。

【0128】

図 23 において、Reset は格納部 1340、1350、1360 を初期化するスパイク信号であり、Input は入力インタフェース 1310 に入力されるスパイク信号であり、ME0 から ME5 は第 0 格納部から第 5 格納部に出力するスパイク信号を示し、Select は順次選択部 1320 に入力される選択信号である。

【0129】

図 27 に示すように、ME0 から ME5 にスパイク信号による入力値が順次格納されて持続的に出力される。そして、Select に ME3 の選択信号が入力されて順次格納部に 2、5、0 が入力されれば、ME3、ME4、ME5 に格納された 1、0、3 の値は 2、5、0 に変更されて格納されることで持続的に出力されることが確認される。

10

【0130】

図 28 は、図 27 に表示された各時間における格納部の活性化ニューロンのパターンを示す図である。

【0131】

図 27 で定義された時間  $t_x$ 、 $t_y$  における各格納部の活性化状態を示したものである。 $t_x$ 、 $t_y$  における各格納部の活性化状態を比較したとき、ME-3、ME-4、ME-5 の状態が更新されたことが確認される。

【0132】

入力スパイク信号を一定形態のバースト構造のスパイク信号であるバースト信号に変わって出力する入力インタフェース、及び入力インタフェースから出力されるバースト信号の順に応じて順次に 1 つの格納部に 1 つのバースト信号を格納し、入力値に対応するスパイク信号を持続的に出力する少なくとも 2 つ以上の格納部を備えるスパイクニューロン基盤のワーキングメモリ装置に関し、時間に応じて変化する入力パターンを臨時的に所望する期間中に格納することで多様なパターン認識を可能にする。

20

【0133】

上述したように本発明は、たとえ限定された実施形態と図面によって説明されたが、本発明は前述の実施形態に限定されるもことなく、本発明が属する分野で通常の知識を有する者であれば、このような記載から多様な修正及び変形が可能である。

30

【0134】

したがって、本発明の範囲は説明された実施形態に限定されて決定されてはならず、後述する特許請求の範囲だけではなく、この特許請求の範囲と均等なものなどによって決まらなければならない。

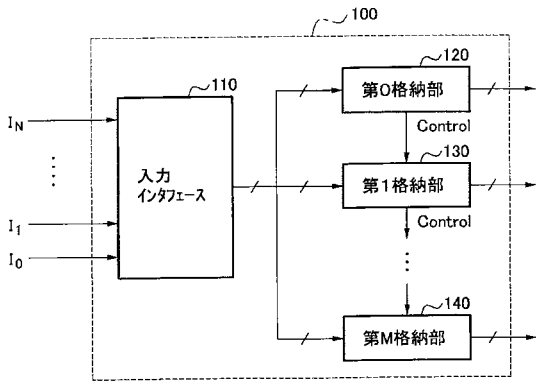
【符号の説明】

【0135】

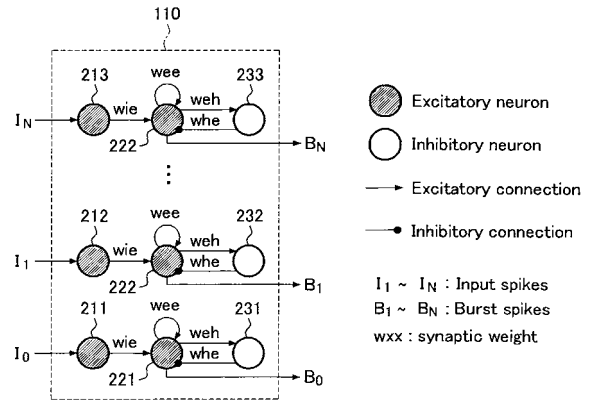
- 100：ワーキングメモリ装置
- 110：入力インタフェース
- 120：第 0 格納部
- 130：第 1 格納部
- 140：第 M 格納部
- 1300：ワーキングメモリ装置
- 1310：入力インタフェース
- 1320：マルチプレクサ
- 1330：順次選択部
- 1340：第 0 格納部
- 1350：第 1 格納部
- 1360：第 M 格納部

40

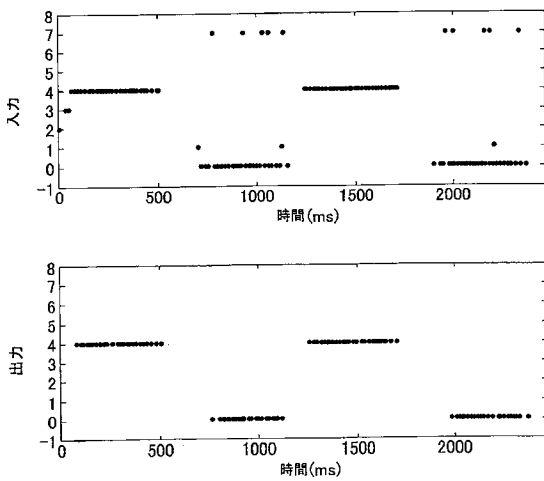
【 図 1 】



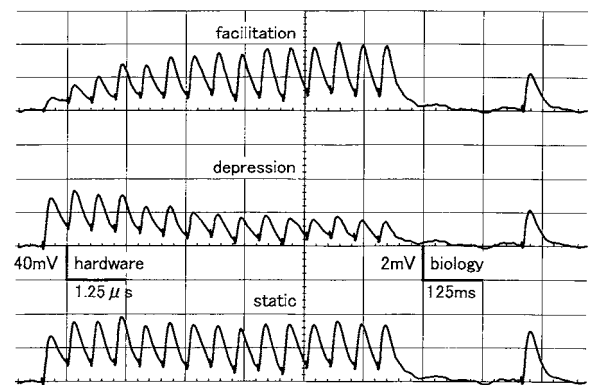
【 図 2 】



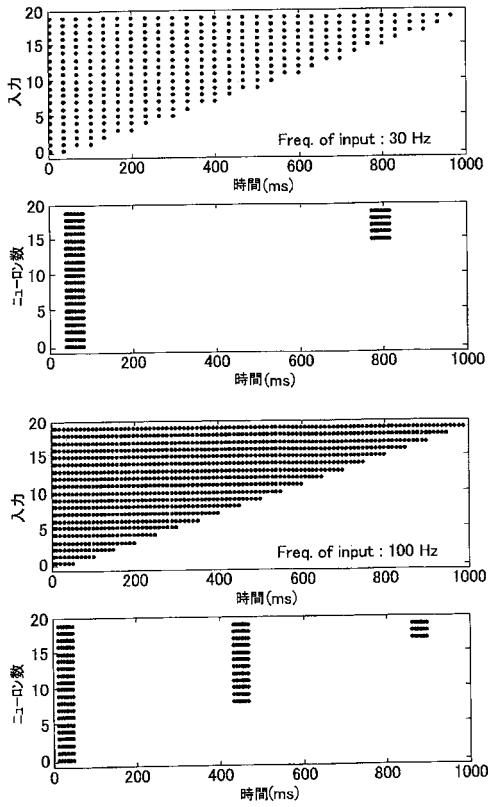
【 図 3 】



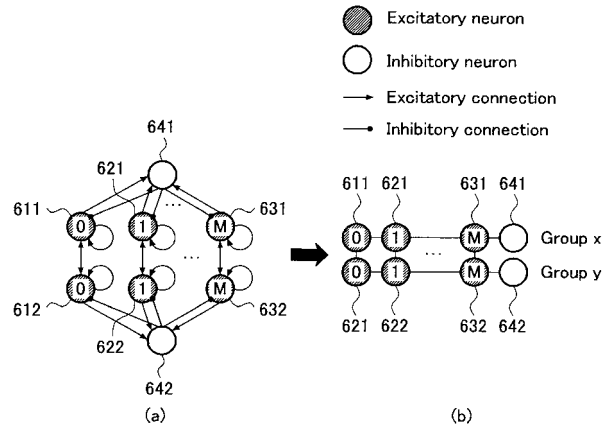
【 図 4 】



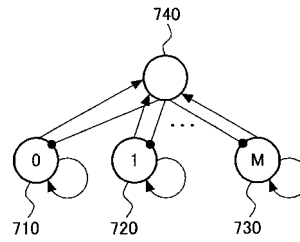
【図5】



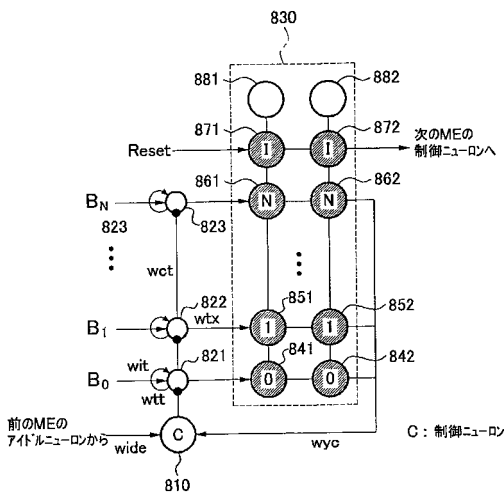
【図6】



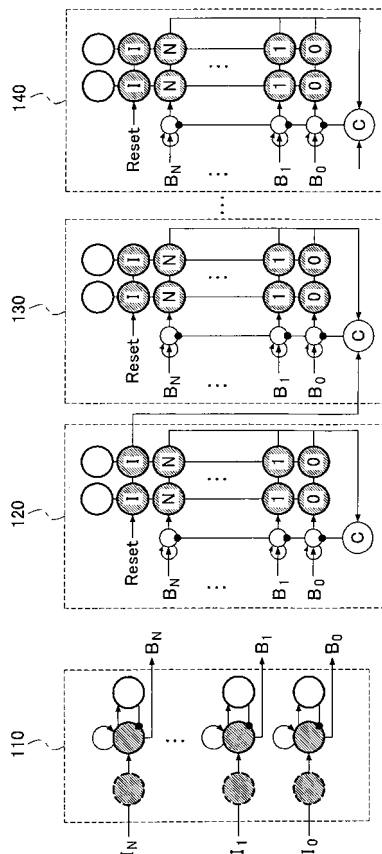
【図7】



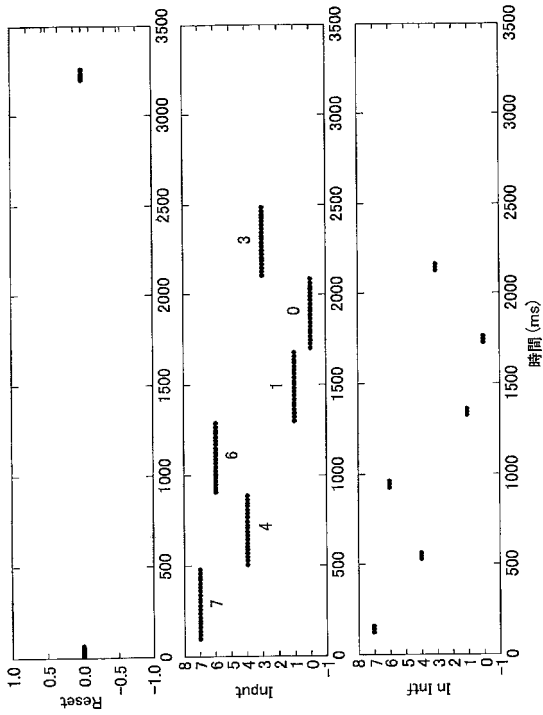
【図8】



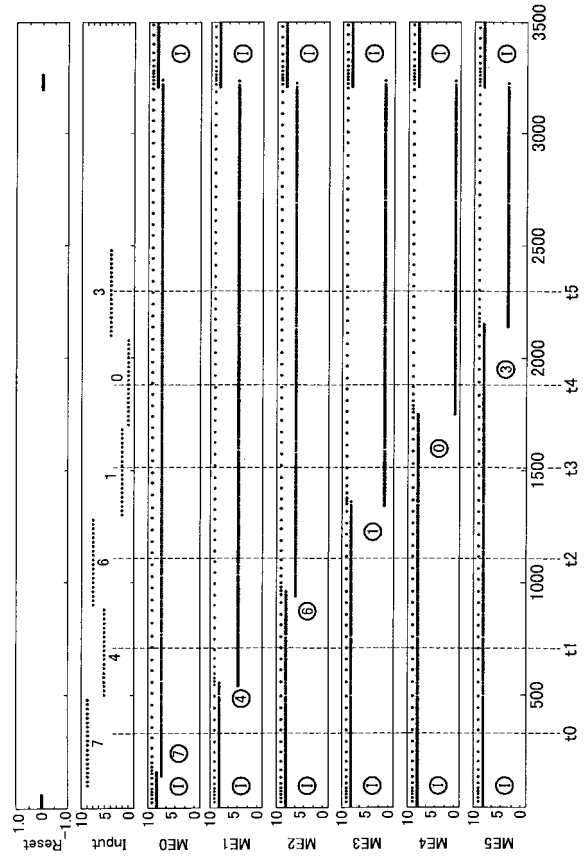
【図9】



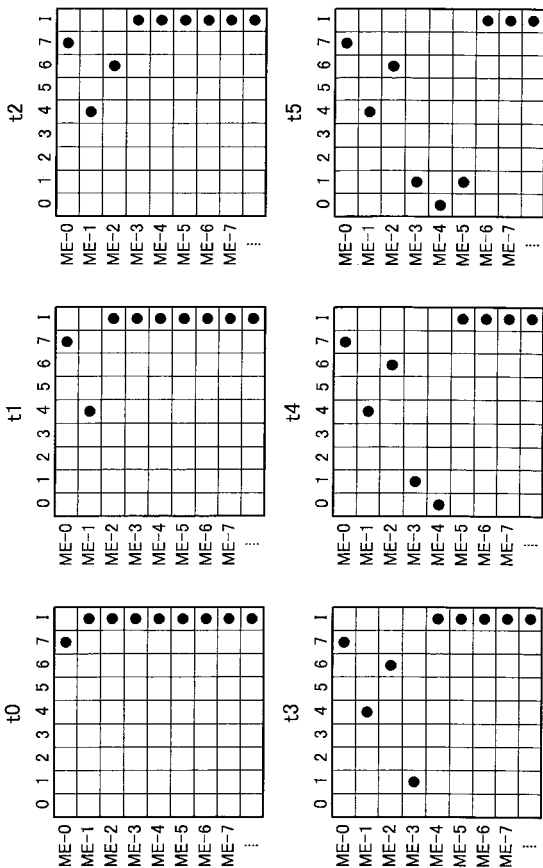
【図 10】



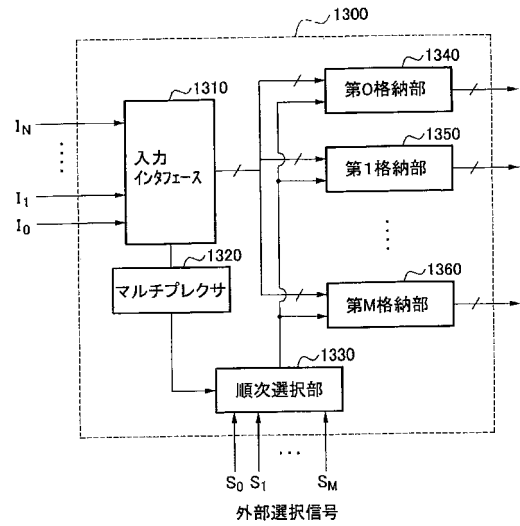
【図 11】



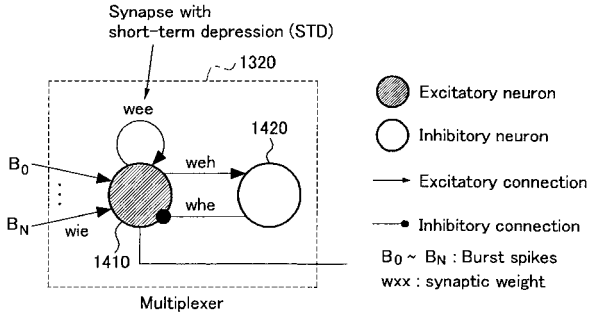
【図 12】



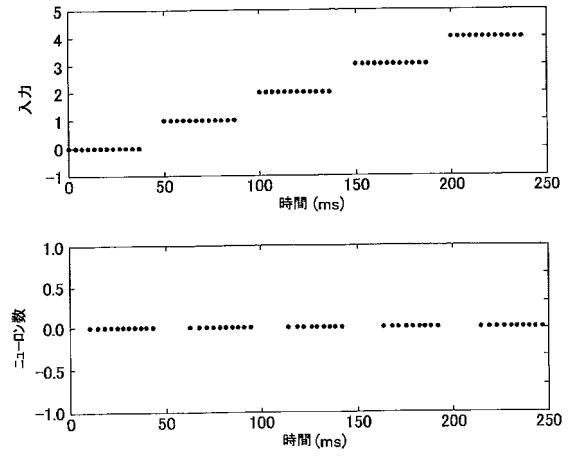
【図 13】



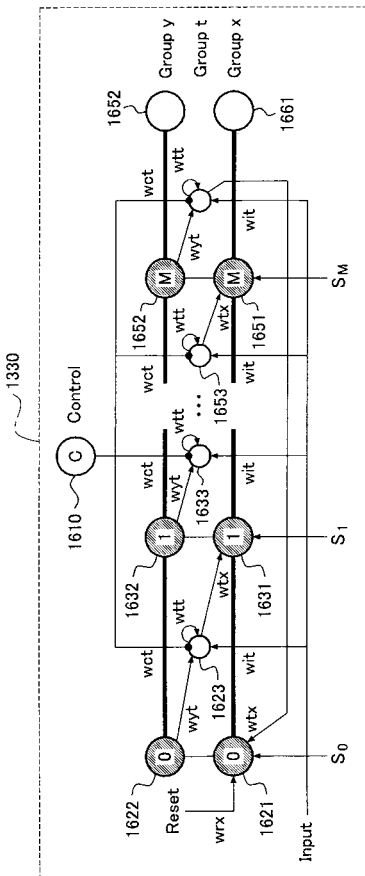
【 図 1 4 】



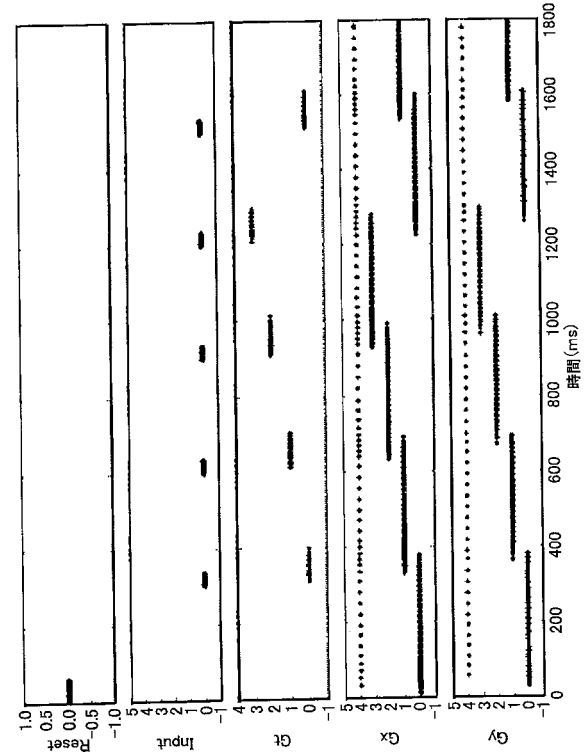
【 図 1 5 】



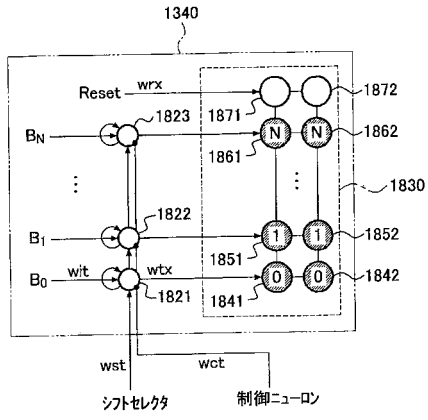
【 図 1 6 】



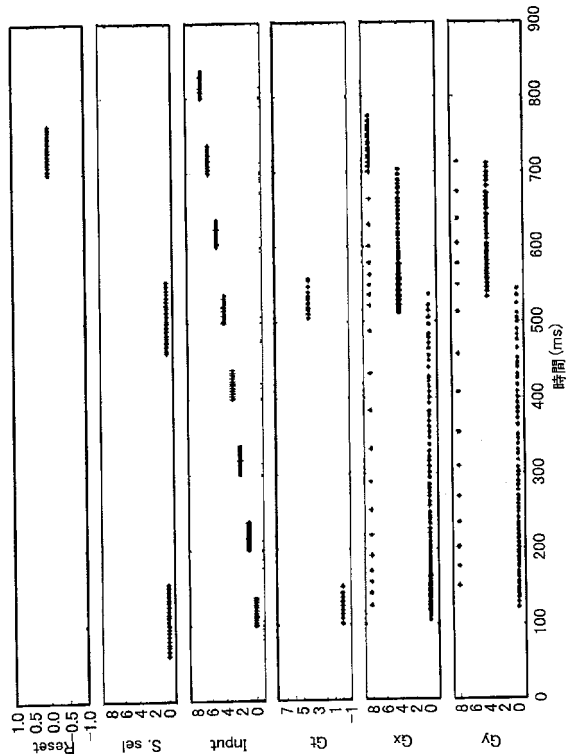
【 図 1 7 】



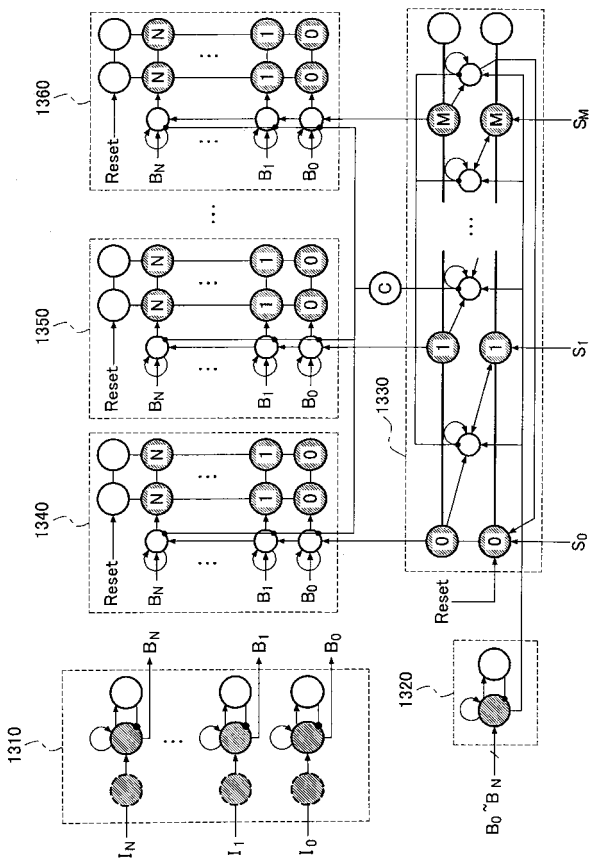
【図18】



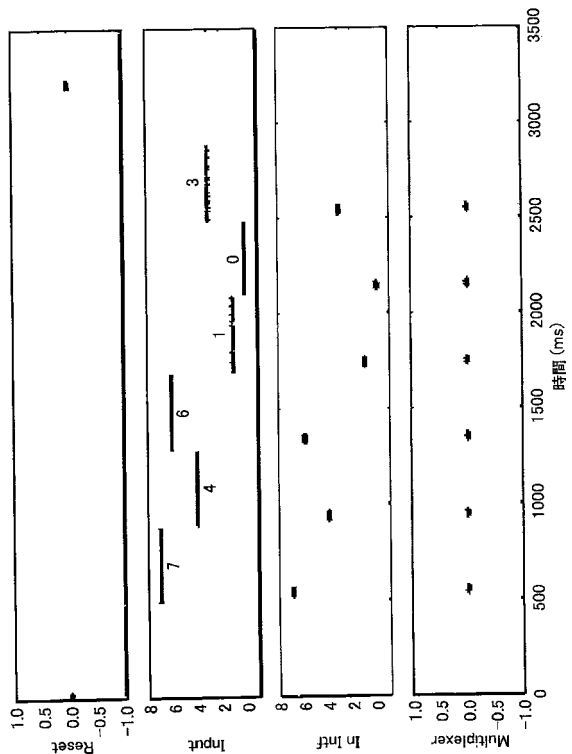
【図19】



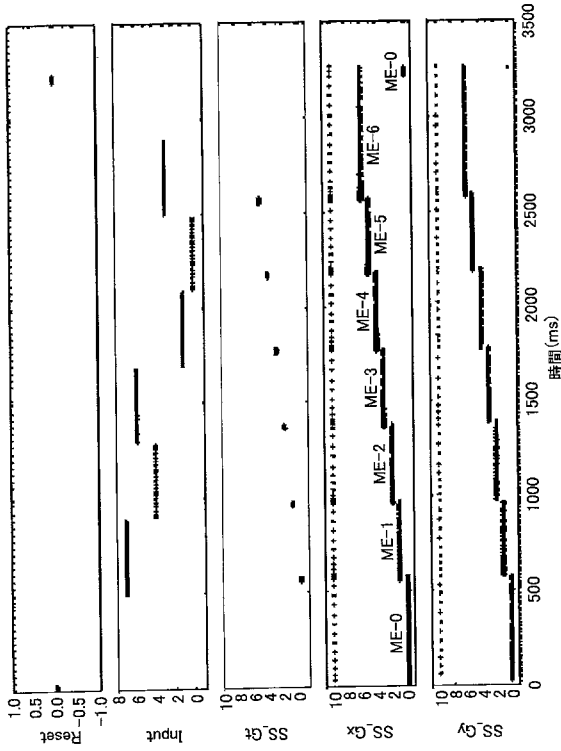
【図20】



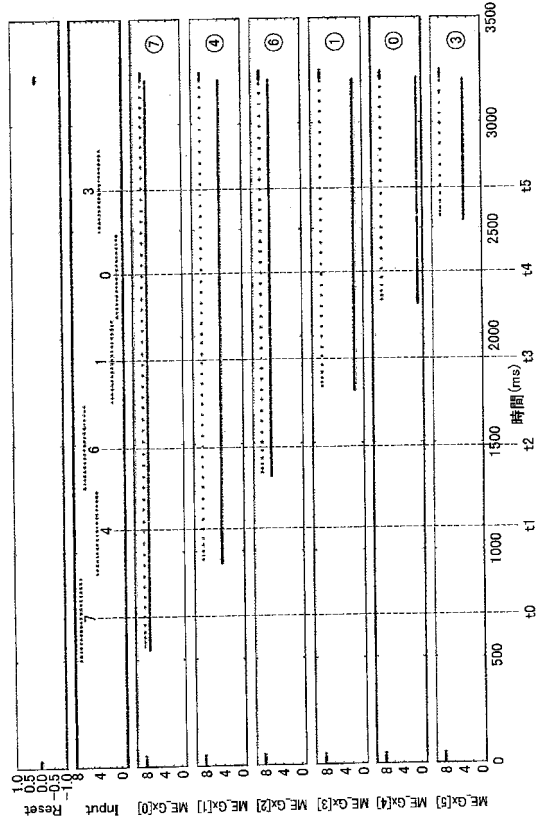
【図21】



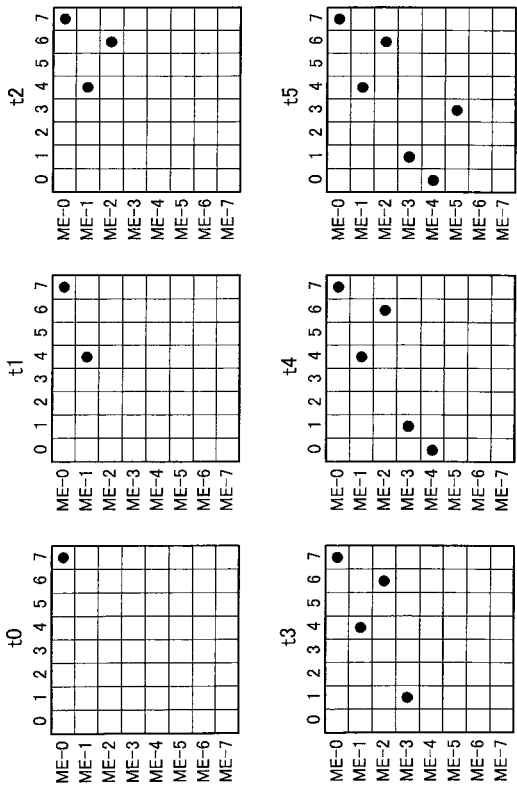
【 図 2 2 】



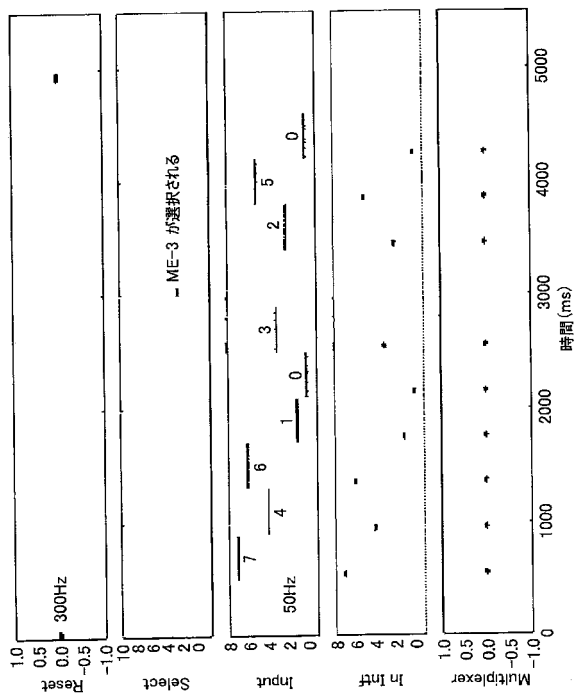
【 図 2 3 】



【 図 2 4 】



【 図 2 5 】







---

フロントページの続き

- (72)発明者 李 俊 行  
大韓民国京畿道龍仁市器興区農書洞山 1 4 - 1 番地 三星綜合技術院内
- (72)発明者 申 昌 雨  
大韓民国京畿道龍仁市器興区農書洞山 1 4 - 1 番地 三星綜合技術院内
- (72)発明者 柳 賢 錫  
大韓民国京畿道龍仁市器興区農書洞山 1 4 - 1 番地 三星綜合技術院内
- (72)発明者 朴 根 柱  
大韓民国京畿道龍仁市器興区農書洞山 1 4 - 1 番地 三星綜合技術院内