

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-74106
(P2018-74106A)

(43) 公開日 平成30年5月10日(2018.5.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	R 2 F 0 6 3
HO 1 L 27/04 (2006.01)	GO 1 B 7/16	R 5 F 0 3 8
GO 1 B 7/16 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2016-216372 (P2016-216372)
(22) 出願日 平成28年11月4日 (2016.11.4)

(71) 出願人 000000011
アイシン精機株式会社
愛知県刈谷市朝日町2丁目1番地
(74) 代理人 110001818
特許業務法人R&C
(72) 発明者 加藤 学
愛知県刈谷市朝日町二丁目一番地 アイシン精機株式会社内
Fターム(参考) 2F063 AA25 CA40 EC06 EC14 EC15
EC26
5F038 AR01 AR21 AR29 CA11 EZ12
EZ13 EZ17 EZ20

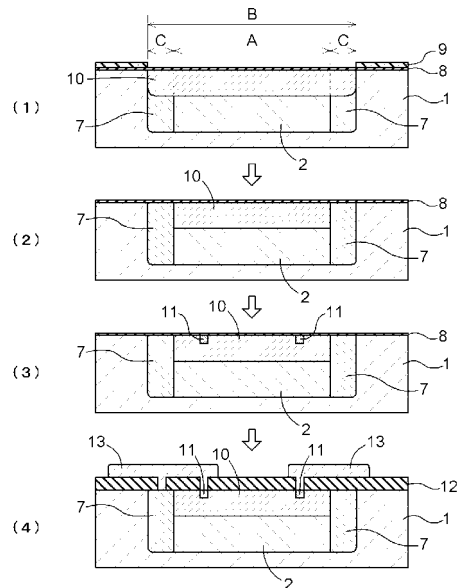
(54) 【発明の名称】 半導体素子の製造方法、及び半導体素子を有するチップ

(57) 【要約】

【課題】 2方向に通電するように同一チップ上に配された複数の抵抗の抵抗変化量の差異を抑制できる半導体素子の製造方法を提供する。

【解決手段】 第1の導電性を有する半導体基板1の表面、及び半導体基板1の表面に形成された第1の導電性を有するウエル層2の表面の何れか一方に形成された第2の導電性を有する半導体素子の製造方法は、少なくとも半導体素子が形成される領域を除いて第1の導電性を形成する第1の不純物を気相又は固相拡散により半導体基板1に導入する工程と、少なくとも半導体素子を形成する領域と第1の不純物が拡散した拡散領域とに亘って第2の導電性を形成する第2の不純物をイオン注入により導入する工程と、を有する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の導電性を有する半導体基板の表面、及び半導体基板の表面に形成された第 1 の導電性を有するウェル層の表面の何れか一方に形成された第 2 の導電性を有する半導体素子の製造方法であって、

少なくとも前記半導体素子が形成される領域を除いて前記第 1 の導電性を形成する第 1 の不純物を気相又は固相拡散により前記半導体基板に導入する工程と、

少なくとも前記半導体素子を形成する領域と前記第 1 の不純物が拡散した拡散領域とに亘って前記第 2 の導電性を形成する第 2 の不純物をイオン注入により導入する工程と、を有する半導体素子の製造方法。

10

【請求項 2】

第 1 の導電性を有する半導体基板の表面、及び半導体基板の表面に形成された第 1 の導電性を有するウェル層の表面の何れか一方に形成された第 2 の導電性を有する半導体素子を有するチップであって、

前記半導体基板の表面に平行な面内における前記第 1 の導電性を有する第 1 領域と前記半導体素子となる前記第 2 の導電性を有する第 2 領域との界面において、前記第 1 領域における前記第 1 の導電性を形成する不純物の濃度が、前記第 2 領域における前記第 2 の導電性を形成する不純物の濃度よりも高い半導体素子を有するチップ。

【請求項 3】

前記第 1 の導電性は n 型であり、前記第 2 の導電性が p 型である請求項 2 に記載の半導体素子を有するチップ。

20

【請求項 4】

前記半導体素子は、互いに同じパターンからなる 2 つの抵抗体が対をなして形成され、対となる前記 2 つの抵抗体は通電方向が互いに直交するように構成されている請求項 2 又は 3 に記載の半導体素子を有するチップ。

【請求項 5】

前記半導体基板は、面方位が (1 0 0) 面の基板であり、前記通電方向が前記基板における < 1 1 0 > 方向に沿った方向である請求項 4 に記載の半導体素子を有するチップ。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、半導体素子の製造方法、及び半導体素子を有するチップに関する。

【背景技術】**【0002】**

従来、半導体を用いて作製された半導体素子が利用されてきた。このような半導体素子の作製に関する技術として、例えば特許文献 1 - 3 に記載のものがある。

【0003】

特許文献 1 に記載の電界効果トランジスタの製法及び特許文献 2 に記載の半導体装置の製造方法では、半導体基板にイオン注入により不純物を導入する際にチャネリングによる不純物の予定外の深い注入や、イオン注入後の不純物分布のバラツキを抑制するため、半導体基板表面の法線方向から一定以上の角度をつけてイオン注入を行っている。また、斜め注入による非対称性を抑制するため、複数回に分けて半導体基板に対する注入方向を変えてイオン注入を行っている。

40

【0004】

特許文献 3 に記載の半導体ウエハでは、斜め入射による非対称性を抑制するため、ウエハ表面の面方位をイオン注入のチャネリングが起きないように基準となる面方位 (例え (1 0 0) 面) から一定角度以上ずらした面方位のウエハを用い、ウエハに対して法線方向からイオン注入してもチャネリングにより不純物が予定外に深く注入されたり、チャネリングに伴いイオン注入後の不純物分布のバラツキが生じたりすることを抑制している。

【先行技術文献】

50

【特許文献】

【0005】

【特許文献1】特開昭61-105874号公報

【特許文献2】特開2005-166730号公報

【特許文献3】特開昭61-144017号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

10
 ピエゾ抵抗形成時の不純物導入には通常不純物濃度を精度良く制御できるイオン注入プロセスが用いられるが、特許文献1及び2に記載の技術では、半導体基板表面の法線方向から一定以上の角度をつけてイオン注入が行われる。このため、イオン注入を不要とする領域上に形成されるマスクの影となる領域には不純物を導入できず、上記マスクの形状とイオン注入による不純物導入パターンにズレが発生し、かつズレに上記マスクの形状の方向依存性ができる。同一チップ上に2方向の歪を検出できるように2方向の通電方向を有するピエゾ抵抗を形成する場合、上記マスクの影の影響が2方向の通電方向を有する抵抗間で等価となる条件は存在するが、上記条件からずれた場合、両抵抗間での上記マスクの影の影響が大きくなり易く、上記2方向の抵抗を等価とすることは困難である。

【0007】

20
 特許文献3に記載の技術では、イオン注入によるチャネリングを防ぐため、ウエハ表面が(100)面からずれた基板を用いている。Siピエゾ抵抗は通電方向を<110>方向とすることで感度を高くすることができるが、基板表面の面方位が(100)面からずれることにより通電方向が<110>方向からズレ、感度が低下してしまう。更に同一基板上に直交する2方向に通電するようにピエゾ抵抗を配し、歪による抵抗変化量を比較して歪量を検出する場合、上記<110>方向からのズレによる感度低下量が各方向で異なり、初期的な歪による抵抗変化が変わるためオフセットが発生する。

【0008】

30
 そこで、マスクに影響されずにイオン注入により不純物を導入することができる半導体素子の製造方法、及びマスクに影響されずにイオン注入により不純物が導入された半導体素子を有するチップが求められる。

【課題を解決するための手段】

【0009】

本発明に係る半導体素子の製造方法の特徴構成は、第1の導電性を有する半導体基板の表面、及び半導体基板の表面に形成された第1の導電性を有するウェル層の表面の何れか一方に形成された第2の導電性を有する半導体素子の製造方法であって、少なくとも前記半導体素子が形成される領域を除いて前記第1の導電性を形成する第1の不純物を気相又は固相拡散により前記半導体基板に導入する工程と、少なくとも前記半導体素子を形成する領域と前記第1の不純物が拡散した拡散領域とに亘って前記第2の導電性を形成する第2の不純物をイオン注入により導入する工程と、を備えている点にある。

【0010】

40
 例えば半導体表面における拡散抵抗形成には、その不純物濃度を精度良く制御できることから不純物の導入にイオン注入法が広く用いられている。イオン注入による拡散抵抗の形成には、第1の導電性を有する半導体基板又はウェル層上にマスクパターンを形成後、第2の導電性のドーパントとなる不純物原子をイオン化し、電界により加速し半導体基板の表面に打ち込む。この時、第1の導電性を有する半導体基板又はウェル層は抵抗となる第2の導電性を有する領域の不純物濃度より低くする必要があり、動作時の逆バイアスにより空乏層が広く伸びてしまいリーク電流の増加を招いてしまう。

【0011】

50
 また、半導体基板は単結晶により形成されており、その表面は(100)面又は(111)面を有するため、半導体基板の表面に対して垂直方向よりイオンが注入されるとチャネリングといわれるイオン化した不純物原子が結晶を構成する原子に散乱されず深くまで

到達する現象がおきてしまい、不純物濃度が制御できなくなってしまう。これを避けるため、半導体基板の表面に対して垂直方向から角度をつけてイオンを注入するが、この時上記マスクパターンの影となりその表面にマスクパターンが形成されていない領域でもイオン注入されないシャドウイングといわれる現象が起きてしまう。この結果、注入方向が傾斜した方向と並行に通電するような抵抗パターンではシャドウイングがおきないため、抵抗値の設計からのずれは小さくできるが、注入方向が傾斜した方向に直交する方向に通電するような抵抗パターンではシャドウイングによりイオン注入される幅が減少し、設計値よりも高い抵抗値を示してしまう。

【0012】

そこで、上記特徴構成とすれば、半導体基板の表面と平行な面で抵抗領域と接する抵抗とは異なる導電性を有する領域を少なくとも抵抗を形成する領域を除いて選択的に気相又は固相からの不純物拡散により不純物を導入する工程と、半導体基板の表面にマスクとなる層がないベアウエハ又は半導体基板の表面に均一な保護膜を形成した状態での半導体基板に対して斜め方向よりのイオン注入を行う工程とでシャドウイングが起きず抵抗の通電方向依存性の無い抵抗が形成可能となる。また、抵抗となる領域と上記第1の不純物の拡散領域をオーバーラップさせてイオン注入できる窓を有するマスクを形成後、半導体基板に対して斜め方向よりのイオン注入を行っても上記同様シャドウイングの影響がなく、抵抗の通電方向依存性の無い抵抗が形成可能となる。

10

【0013】

また、本発明に係る半導体素子を有するチップの特徴構成は、第1の導電性を有する半導体基板の表面、及び半導体基板の表面に形成された第1の導電性を有するウェル層の表面の何れか一方に形成された第2の導電性を有する半導体素子を有するチップであって、前記半導体基板の表面に平行な面内における前記第1の導電性を有する第1領域と前記半導体素子となる前記第2の導電性を有する第2領域との界面において、前記第1領域における前記第1の導電性を形成する不純物の濃度が、前記第2領域における前記第2の導電性を形成する不純物の濃度よりも高い点にある。

20

【0014】

このような特徴構成とすれば、半導体基板の表面と平行な面で抵抗領域と接する抵抗とは異なる導電性を有する領域の不純物濃度を高濃度にするにより、逆バイアス時の空乏層の幅を狭くでき、リーク電流の低減が可能となる。

30

【0015】

また、前記第1の導電性はn型であり、前記第2の導電性がp型であると好適である。

【0016】

このような構成とすれば、半導体素子はp型となる。更に、半導体素子の不純物濃度を $2 \times 10^{18} / \text{cm}^3$ 程度とし、定電流を通電して例えば半導体素子を歪ゲージ(歪ゲージ抵抗)として用いた場合、電圧変化を検出することにより感度の温度特性の良い歪ゲージとして使用できる。

【0017】

また、前記半導体素子は、互いに同じパターンからなる2つの抵抗体が対をなして形成され、対となる前記2つの抵抗体は通電方向が互いに直交するように構成されていると好適である。

40

【0018】

このような構成とすれば、半導体基板より切り出したチップ表面に、少なくとも対となる互いに同じパターンよりなる2つの抵抗体を形成し、対となる抵抗体の通電方向を互いに90度変更することにより、上記抵抗体を歪ゲージに適用し、双方の電圧降下の差より歪量を検出する場合でも双方の抵抗値のズレを小さくでき、対となる抵抗に各々同じ大きさの電流を流してもゼロ点オフセットを小さくでき、チップ表面に並行で直交する方向の歪を1チップで検出可能である。上記ゼロ点オフセットの低減は、オフセット調整に必要な回路の調整範囲を低減できるため、回路コスト低減且つ調整工数の低減が可能となる。

【0019】

50

また、前記半導体基板は、面方位が(100)面の基板であり、前記通電方向が前記基板における<110>方向に沿った方向であると好適である。

【0020】

このような構成とすれば、直交する2方向に対して高感度な歪ゲージが実現可能である。なお、半導体基板の表面を(111)面とすることにより半導体基板の表面に平行な方向に対して感度の方向依存性がなくなるため、任意の方向の歪を検出する上では(111)面の半導体基板の使用が望ましい。

【図面の簡単な説明】

【0021】

【図1】p型拡散抵抗の製造工程を示す図である。

10

【図2】p型拡散抵抗の製造工程を示す図である。

【図3】半導体基板の表面に形成されたn型のウェル層の表面に形成されたp型拡散抵抗を有するチップの断面図である。

【図4】半導体基板の表面に形成されたp型のウェル層の表面に形成されたn型拡散抵抗を有するチップの断面図である。

【発明を実施するための形態】

【0022】

1. 半導体素子の製造方法

本発明に係る半導体素子の製造方法は、第1の導電性を有する半導体基板の表面、及び半導体基板の表面に形成された第1の導電性を有するウェル層の表面の何れか一方に形成された第2の導電性を有する半導体素子の製造方法である。以下では、半導体基板としてSiウエハを用い、第1の導電性がn型であり、第2の導電性がp型であるとして説明する。また、半導体素子としてp型拡散抵抗を例に挙げて説明する。

20

【0023】

図1及び図2には、p型拡散抵抗の製造工程の一例が示される。図1の(1)には、表面にn型のウェル層2が形成されたp型の半導体基板1の断面図が示される。このn型のウェル層2は、例えば半導体基板1に対してn型の不純物の注入及び拡散を行って形成することが可能である。ウェル層2は、所謂n型の不純物濃度の低い「n-」領域にあたる。

【0024】

図1の(2)には、n型拡散層を形成するためのマスクが形成された半導体基板1の断面図が示される。この工程では、図1の(1)に示される半導体基板1に対して、Si酸化膜3及びSi窒化膜4を形成後、パターニングを行うことによりn型不純物が導入される窓5が形成される。

30

【0025】

図1の(3)には、n型不純物の拡散源が形成された半導体基板1の断面図が示される。この工程では、図1の(2)に示される半導体基板1の全面に、例えばPSG(Phosphosilicate Glass)等のn型不純物を高濃度を含み、n型不純物拡散源となる膜6が形成される。

【0026】

図1の(4)には、n型不純物の拡散が行われた半導体基板1の断面図が示される。この工程では、少なくともp型拡散抵抗が形成される領域を除いてn型の不純物を固相拡散により半導体基板1に導入する。具体的には、図1の(3)に示される半導体基板1に熱処理を施すことにより、半導体基板1、特にn型のウェル層2に高濃度のn型不純物が導入され、n型拡散領域7が形成される。n型拡散領域7は、所謂n型の不純物濃度の高い「n+」領域にあたる。本例では、固相拡散によりn型の不純物を半導体基板1に導入する例を示したが、気相拡散により半導体基板1に導入しても良い。

40

【0027】

図1の(5)には、n型不純物の拡散源及びマスクの除去を行い、イオン注入用マスクが形成された半導体基板1の断面図が示される。この工程では、図1の(4)に示される

50

半導体基板 1 から、n 型不純物を高濃度を含む膜 6 と、マスク材となる Si 酸化膜 3 及び Si 窒化膜 4 とを除去した後、Si 酸化膜 8 を薄く形成し、イオン注入用のレジストマスク 9 を形成する。レジストマスク 9 は、p 型拡散抵抗を形成する領域 (図 1 の (5) の例では領域 A) より広い領域 (図 1 の (5) の例では領域 B) にイオン注入されるよう形成される。なお、レジストマスク 9 は形成しなくても良い。

【 0 0 2 8 】

図 2 の (1) には、イオン注入により p 型不純物が導入された半導体基板 1 の断面図が示される。この工程では、少なくとも p 型拡散抵抗を形成する領域 (領域 A) と n 型不純物が拡散した拡散領域 (図 2 の (1) の例では領域 C) とに亘って p 型不純物をイオン注入により導入する。具体的には、図 1 の (5) に示される半導体基板 1 に対して、チャネリングが起きない条件で p 型不純物がイオン注入される。図 2 の (1) の例では、p 型不純物が注入された注入領域は符号 1 0 を付して示される。

10

【 0 0 2 9 】

図 2 の (2) には、レジストマスク 9 を除去後、熱処理を施した半導体基板 1 の断面図が示される。この工程では、図 2 の (1) に示される半導体基板 1 から、レジストマスク 9 を除去し、熱処理が施される。この熱処理により、イオン注入にて壊れた結晶性を回復させて不純物を活性化させる。ここで、n 型拡散領域 7 における n 型不純物の不純物濃度は、注入領域 1 0 における p 型不純物の不純物濃度に対して十分に高く設定される。このため、図 2 の (2) に示されるように、注入領域 1 0 は n 型拡散領域 7 の内側にのみ形成されることになる。

20

【 0 0 3 0 】

図 2 の (3) には、p 型コンタクト 1 1 が作製された半導体基板 1 の断面図が示される。この工程では、図 2 の (2) に示される半導体基板 1 に、p 型拡散抵抗と配線との接合部の p 型不純物の不純物濃度を高くするための不純物の導入が行われ、p 型コンタクト 1 1 が作製される。

【 0 0 3 1 】

図 2 の (4) には層間絶縁膜 1 2 及び配線層 1 3 が形成された半導体基板 1 の断面図が示される。この工程では、図 2 の (3) に示される半導体基板 1 に、配線層 1 3 と半導体基板 1 との間の絶縁を確保するための層間絶縁膜 1 2 を形成し、所定のパターニングを行った後、配線層 1 3 の形成が行われる。

30

【 0 0 3 2 】

このように半導体基板 1 の表面に平行な方向での p 型拡散抵抗とウェル層 2 又は半導体基板 1 との境界をレジストパターン及びイオン注入によって決定するのではなく、ウェル層 2 又は半導体基板 1 へ p 型拡散抵抗とは異なる導電性となる不純物を固相又は気相拡散にて導入することによりイオン注入時のマスクパターンが不要となり、イオンを半導体基板 1 に対して斜めに注入しても (半導体基板 1 の鉛直方向に対して角度を有して注入しても) シャドウイングが起きないので、p 型拡散抵抗の通電方向によるシャドウイングの影響差がなくなり、同一パターンの p 型拡散抵抗間では通電方向に寄らず、同一チップ内での抵抗の相対値を安定させることができる。

【 0 0 3 3 】

なお、上記実施形態では、第 1 の導電性が n 型であり、第 2 の導電性が p 型であるとして説明したが、第 1 の導電性が p 型であり、第 2 の導電性が n 型であっても良い。また、半導体基板 1 として Si ウエハを用いた場合の例を挙げて説明したが、他の材料からなる半導体基板 1 を用いても良い。また、半導体素子として p 型拡散抵抗を例に挙げて説明したが、他の半導体素子であっても良い。

40

【 0 0 3 4 】

また、上記実施形態では、半導体基板 1 の表面に形成された第 1 の導電性 (例えば n 型) のウェル層 2 の表面に形成された第 2 の導電性を有する半導体素子 (例えば p 型拡散抵抗) を例に挙げて説明したが、第 1 の導電性の半導体基板 1 の表面に形成された第 2 の導電性を有する半導体素子の製造に適用することも可能である。

50

【 0 0 3 5 】

2. 半導体素子を有するチップ

次に半導体素子を有するチップについて説明する。本発明に係る半導体素子を有するチップは、第1の導電性を有する半導体基板の表面、及び半導体基板の表面に形成された第1の導電性を有するウェル層の表面の何れか一方に形成された第2の導電性を有する半導体素子を有するチップである。

【 0 0 3 6 】

図3には、半導体基板1の表面に形成されたn型のウェル層2の表面に形成されたp型拡散抵抗20を有するチップの断面図が示される。図2の(4)の例では、第1の導電性がn型であり、第2の導電性がp型である。

10

【 0 0 3 7 】

図3に示されるように、p型拡散抵抗20の場合、+側配線13Aはp型拡散抵抗20に形成されたp型コンタクト11のうち一方のp型コンタクト11A及びn型拡散領域7に接続され、-側配線13Bはp型拡散抵抗20に形成されたp型コンタクト11のうち他方のp型コンタクト11Bに接続される。また、半導体基板1は接地される。電流は、+側配線13Aを介してp型コンタクト11Aよりp型拡散抵抗20に流入すると同時に、他方のp型コンタクト11Bより-側配線13Bに流出する。

【 0 0 3 8 】

また、図4には、半導体基板1の表面に形成されたp型のウェル層2の表面に形成されたn型拡散抵抗21を有するチップの断面図が示される。図4の例では、第1の導電性がp型であり、第2の導電性がn型である。

20

【 0 0 3 9 】

図4に示されるように、n型拡散抵抗21の場合、+側配線13Aはn型拡散抵抗21に形成されたn型コンタクト14のうち一方のn型コンタクト14Aに接続され、-側配線13Bはp型拡散領域15及びn型拡散抵抗21に形成されたn型コンタクト14のうち他方のn型コンタクト14Bに接続される。また、半導体基板1は+側電源に接続される。電流は、+側配線13Aを介してn型コンタクト14Aよりn型拡散抵抗21に流入すると同時に、他方のn型コンタクト14Bより-側配線13Bに流出する。

【 0 0 4 0 】

図3に示されるp型拡散抵抗20を有するチップにおいては、半導体基板1の表面に平行な面内におけるn型拡散領域7(第1領域の一例)とp型拡散抵抗20(第2領域の一例)との界面において、n型拡散領域7におけるn型不純物の不純物濃度が、p型拡散抵抗20におけるp型不純物の不純物濃度よりも高くなる。一方、図4に示されるn型拡散抵抗21を有するチップにおいては、半導体基板1の表面に平行な面内におけるp型拡散領域15(第1領域の一例)とn型拡散抵抗21(第2領域の一例)との界面において、p型拡散領域15におけるp型不純物の不純物濃度が、n型拡散抵抗21におけるn型不純物の不純物濃度よりも高くなる。したがって、半導体基板1の表面に平行な面内では、p型拡散抵抗20及びn型拡散抵抗21の夫々は、不純物濃度の高いn型拡散領域7及びp型拡散領域15と接しており、空乏層が伸びにくくリーク電流を抑制できる。

30

【 0 0 4 1 】

また、p型拡散抵抗20及びn型拡散抵抗21は、互いに同じパターンからなる2つの抵抗体対をなして形成され、対となる2つの抵抗体は通電方向が互いに直交或いは略直交するように構成すると良い。

40

【 0 0 4 2 】

このような構成とすれば、上記p型拡散抵抗20やn型拡散抵抗21を歪ゲージに適用し、双方の電圧降下の差より歪量を検出する場合でも双方の抵抗値のずれを小さくでき、対となる抵抗に各々同じ大きさの電流を流してもゼロ点オフセットを小さくでき、チップ表面に並行で直交或いは略直交する方向の歪を1チップで検出可能である。上記ゼロ点オフセットの低減は、オフセット調整に必要な回路の調整範囲を低減できるため、回路コスト低減且つ調整工数の低減が可能となる。

50

【0043】

また、半導体基板1は、面方位が(100)面の基板であり、通電方向が半導体基板1における<110>方向に沿った方向とすると良い。

【0044】

このような構成とすれば、直交する2方向に対して高感度な歪ゲージが実現可能である。なお、半導体基板1の表面を(111)面とすることにより半導体基板1の表面に平行な方向に対して感度の方向依存性がなくなるため、任意の方向の歪を検出する上では(111)面の半導体基板1の使用が望ましい。

【0045】

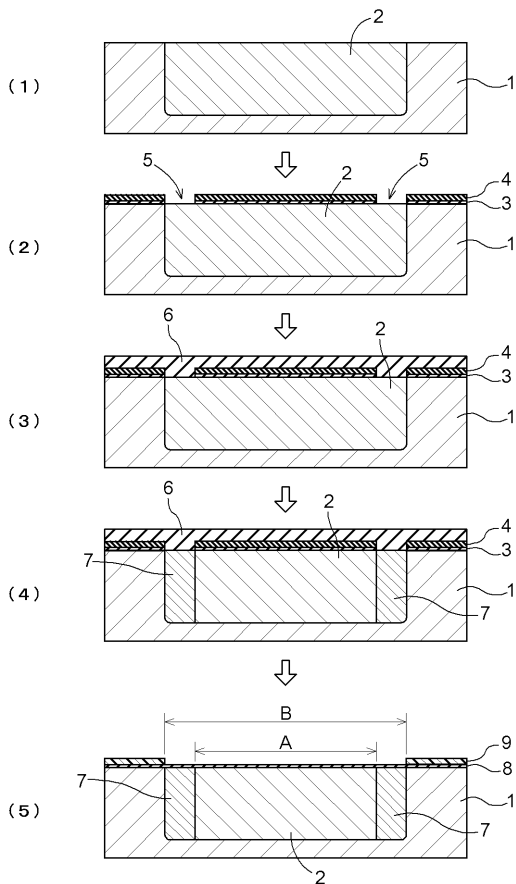
本発明は、半導体素子の製造方法、及び半導体素子を有するチップに用いることが可能である。

【符号の説明】

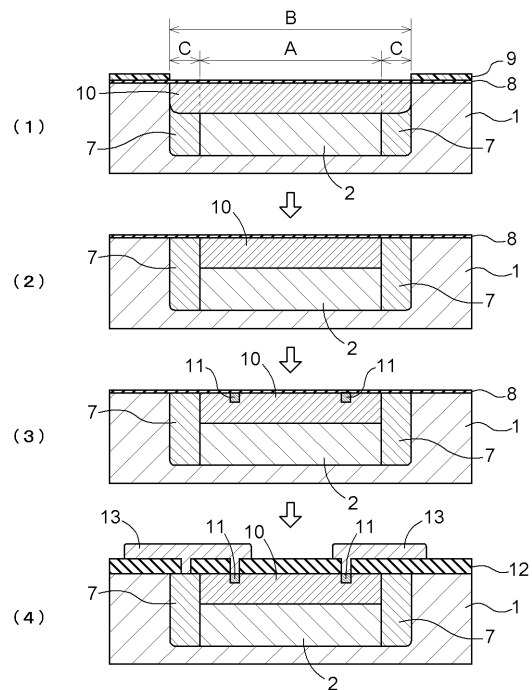
【0046】

- 1：半導体基板
- 2：ウェル層

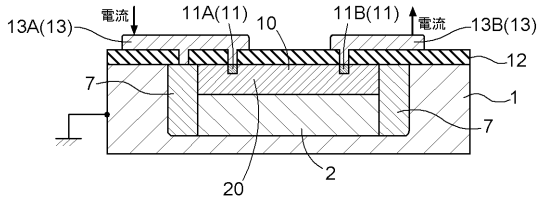
【図1】



【図2】



【 図 3 】



【 図 4 】

