

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2016-149632
(P2016-149632A)

(43) 公開日 平成28年8月18日 (2016. 8. 18)

(51) Int. Cl.	F I	テーマコード (参考)
H03K 17/08 (2006.01)	H03K 17/08 C	5H740
H02M 1/08 (2006.01)	H02M 1/08 341B	5J055
H03K 17/12 (2006.01)	H02M 1/08 A	
	H03K 17/12	

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2015-25216 (P2015-25216)	(71) 出願人 000004260
(22) 出願日 平成27年2月12日 (2015. 2. 12)	株式会社デンソー
	愛知県刈谷市昭和町 1 丁目 1 番地
	(74) 代理人 100121821
	弁理士 山田 強
	(74) 代理人 100139480
	弁理士 日野 京子
	(74) 代理人 100125575
	弁理士 松田 洋
	(74) 代理人 100175134
	弁理士 北 裕介
	(72) 発明者 渡邊 一範
	愛知県刈谷市昭和町 1 丁目 1 番地 株式会 社デンソー内

最終頁に続く

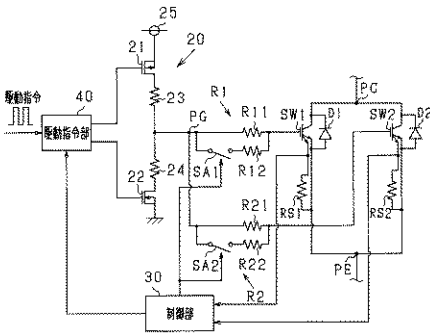
(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 共振による悪影響を抑制しつつ、駆動時における電力損失の発生を抑制可能な駆動回路を提供する。

【解決手段】 複数のスイッチ SW 1 , SW 2 を駆動するゲート駆動回路 2 0 であって、複数のスイッチ SW 1 , SW 2 は、並列接続されており、スイッチ SW 1 , SW 2 のゲートから放電するオフ駆動スイッチ 2 2 と、スイッチ SW 1 , SW 2 のゲートへ充電するオン駆動スイッチ 2 1 と、を備え、オフ駆動スイッチ 2 1 及びオン駆動スイッチ 2 2 は、それぞれ共通の接続点 P G を介して、複数のスイッチ S W 1 , S W 2 を同時に駆動するものであって、接続点 P G と、スイッチ S W 1 , S W 2 のゲートとの間に抵抗値を変更可能な抵抗器 R 1 , R 2 がそれぞれ設けられており、制御部 3 0 は、スイッチ S W 1 , S W 2 に過電流が生じることを判定し、スイッチ S W 1 , S W 2 に過電流が生じると判定されたことを条件として、抵抗器 R 1 , R 2 の抵抗値を増加させる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

電圧制御型半導体スイッチング素子である複数のスイッチ（SW1，SW2）を駆動する駆動回路（20）であって、

前記複数のスイッチは、並列接続されており、

前記スイッチの制御端子から放電することで、前記スイッチをオフ状態に切り替える放電回路（22）と、

前記スイッチの制御端子へ充電することで、前記スイッチをオン状態に切り替える充電回路（21）と、を備え、

前記放電回路及び前記充電回路は、それぞれ共通の接続点（PG）を介して、前記複数のスイッチを同時に駆動するものであって、

前記接続点と、前記複数のスイッチの制御端子との間に抵抗値を変更可能な抵抗器（R1，R2）がそれぞれ設けられており、

前記スイッチに過電流が生じることを判定する過電流判定部（30）と、

前記過電流判定部により、前記スイッチに過電流が生じると判定されたことを条件として、前記抵抗器の抵抗値を増加させる制御部（30）と、を備えることを特徴とする駆動回路。

10

【請求項 2】

前記放電回路に比べて、前記スイッチの制御端子から緩やかに放電する緩放電回路（26）を備え、

前記制御部（30A）は、前記過電流判定部により、前記スイッチに過電流が生じると判定されたことを条件として、前記抵抗器の抵抗値を増加させた後、前記緩放電回路による放電を実施することを特徴とする請求項 1 に記載の駆動回路。

20

【請求項 3】

前記スイッチには、前記スイッチに流れる出力電流を検出する電流検出部（RS1，RS2，30）が設けられており、

前記過電流判定部は、前記電流検出部の検出値が、所定の第一閾値を上回る場合に、前記スイッチに過電流が生じると判定するものであって、

前記制御部は、前記過電流判定部により、前記スイッチに過電流が生じると判定されたことを条件として、前記抵抗器の抵抗値を増加させるとともに、前記スイッチに流れる出力電流が前記第一閾値より大きい第二閾値を上回るか否かを判定し、前記スイッチに流れる出力電流が前記第二閾値を上回ると判定されたことを条件として、前記緩放電回路による放電を実施することを特徴とする請求項 2 に記載の駆動回路。

30

【請求項 4】

前記スイッチの温度を検出する温度検出部（31）を備え、

前記制御部（30B）は、前記スイッチの温度の検出値が所定温度よりも低いことを更に条件として、前記抵抗器の抵抗値を増加させることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の駆動回路。

【請求項 5】

前記放電回路（22C）及び前記充電回路（21C）の少なくとも一方は、前記スイッチの制御端子に流れる電流を定電流とする定電流駆動を実施することを特徴とする請求項 1 乃至 4 のいずれか一項に記載の駆動回路。

40

【請求項 6】

前記スイッチには、前記スイッチに流れる出力電流を検出する電流検出部（RS1，RS2）が設けられており、

前記過電流判定部は、前記電流検出部の検出値が、所定の第一閾値を上回る場合に、前記スイッチに過電流が生じると判定するものであって、

前記放電回路及び前記充電回路と前記接続点との間にそれぞれゲート抵抗（23D1，23D2，24D1，24D2）を備え、

前記スイッチの出力電流が所定電流よりも小さい場合に、前記ゲート抵抗を第 1 抵抗値

50

とし、前記スイッチの出力電流が所定電流よりも大きい場合に、前記ゲート抵抗を前記第1抵抗値よりも大きい第2抵抗値とするものであって、

前記所定電流は、前記第一閾値より小さいことを特徴とする請求項1乃至5のいずれか1項に記載の駆動回路。

【請求項7】

前記スイッチの制御端子、出力端子、及び、入力端子の少なくともいずれかの電圧を検出する電圧検出部を備え、

前記複数のスイッチにおける前記電圧検出部の検出値の変化の差に基づいて、前記抵抗器の異常を判定する異常判定部(30E)を備えることを特徴とする請求項1乃至6のいずれか1項に記載の駆動回路。

10

【請求項8】

前記制御部(30E)は、前記異常判定部により、前記抵抗器に異常が生じていると判定されると、正常な前記抵抗器の抵抗値を、異常が生じている前記抵抗器の抵抗値と等しくすることを特徴とする請求項7に記載の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

複数の半導体スイッチング素子を並列接続する構成において、その複数の半導体スイッチング素子を駆動する駆動回路に関する。

【背景技術】

20

【0002】

インバータ回路や、DCCコンバータにおいて、複数の半導体スイッチング素子(スイッチ)を並列接続することで、出力可能な電力を大きくする構成が考えられる。例えば、2つのスイッチが並列接続されている場合に、2つのスイッチの一方を第1スイッチとし、他方を第2スイッチとする。両スイッチのオフオン状態(開閉状態)のばらつきを抑制するため、一つの駆動回路を用いて、両スイッチの制御端子を同時に駆動する構成が知られている。この構成では、駆動回路と、両スイッチの制御端子との間に接続点が設けられる。駆動回路は、接続点を介して、両スイッチの制御端子を駆動する。

【0003】

上記の回路構成において、接続点 - 第1スイッチの制御端子 - 第1スイッチの出力端子 - 第2スイッチの出力端子 - 第2スイッチの制御端子 - 接続点という閉回路が形成される。この閉回路では、制御端子の電圧の立ち上がり時又は立ち下がり時において、帰還容量及び配線インダクタンスによって共振が発生する。

30

【0004】

また、接続点 - 第1スイッチの制御端子 - 第1スイッチの入力端子 - 第2スイッチの入力端子 - 第2スイッチの制御端子 - 接続点という閉回路が形成される。上記の閉回路では、制御端子の電圧の立ち上がり時又は立ち下がり時において、入力容量及び配線インダクタンスによって共振が発生する。

【0005】

これらの共振によって、素子や配線に対し、素子や配線の許容電流より大きな電流が流れ、素子や配線に損傷が生じることが懸念される。そこで、共振を抑制するために、接続点と両スイッチの制御端子との間にそれぞれ抵抗器を設け、共振を抑制する構成が知られている(非特許文献1)。

40

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】富士電機、"IGBTモジュール アプリケーションマニュアル"、第8章8-6、[online]、2011年5月、[2015年2月1日検索]、インターネット<URL:<http://www.fujielectric.co.jp/products/semiconductor/model/igbt/application/index.html>>

【発明の概要】

50

【発明が解決しようとする課題】

【0007】

ここで、接続点と制御端子との間に、抵抗器を設ける構成とすると、共振を抑制できる一方で、駆動時において電力損失が発生する。本発明は、上記課題を解決するために為されたものであり、共振による悪影響を抑制しつつ、駆動時における電力損失の発生を抑制可能な駆動回路を提供することを主たる目的とする。

【課題を解決するための手段】

【0008】

本発明は、電圧制御型半導体スイッチング素子である複数のスイッチ（SW1，SW2）を駆動する駆動回路（20）であって、前記複数のスイッチは、並列接続されており、前記スイッチの制御端子から放電することで、前記スイッチをオフ状態に切り替える放電回路（22）と、前記スイッチの制御端子へ充電することで、前記スイッチをオン状態に切り替える充電回路（21）と、を備え、前記放電回路及び前記充電回路は、それぞれ共通の接続点（PG）を介して、前記複数のスイッチを同時に駆動するものであって、前記接続点と、前記複数のスイッチの制御端子との間に抵抗値を変更可能な抵抗器（R1，R2）がそれぞれ設けられており、前記スイッチに過電流が生じることを判定する過電流判定部（30）と、前記過電流判定部により、前記スイッチに過電流が生じると判定されることを条件として、前記抵抗器の抵抗値を増加させる制御部（30）、を備えることを特徴とする。

【0009】

過電流の発生時において、接続点と制御端子との経路を含む閉回路に振幅の大きな共振が生じ、素子や配線に損傷が生じることが懸念される。そこで、スイッチに過電流が生じると判定されたことを条件として、抵抗器の抵抗値を増加させる構成とすることで、閉回路に共振が発生することで生じる素子の損傷を防止する。また、過電流が生じると判定されない場合に、抵抗器の抵抗値を増加させないこととなり、通常の駆動時における電力損失の発生を低減することができる。

【図面の簡単な説明】

【0010】

【図1】第1実施形態の電気的構成図。

【図2】スイッチのゲートと接続点とを含む閉回路を示す図。

【図3】第2実施形態の電気的構成図。

【図4】通常のターンオフ時、及び、緩放電を実施した場合のターンオフ時におけるゲート電圧の変化を表すタイミングチャート。

【図5】過電流が生じた場合の出力電流の変化を表すタイミングチャート。

【図6】第4実施形態の電気的構成図。

【図7】第5実施形態の電気的構成図。

【図8】第6実施形態の電気的構成図。

【図9】第7実施形態の電気的構成図。

【図10】抵抗器に常時オン異常が生じた場合のゲート電圧の変化、及び、センス電圧の変化を表すタイミングチャート。

【発明を実施するための形態】

【0011】

（第1実施形態）

図1に第1実施形態の電気的構成図を示す。本実施形態では、スイッチSW1，SW2が並列接続されて設けられている。スイッチSW1，SW2はともにIGBTである。スイッチSW1，SW2にはそれぞれ還流ダイオードD1，D2が設けられている。スイッチSW1，SW2は、インバータ回路（図示略）の上アームスイッチとして動作する。説明の簡略化のために、スイッチSW1，SW2をまとめて、スイッチSWとも記載する。

【0012】

スイッチSW1のコレクタとスイッチSW2のコレクタとは、共通の接続点PCに接続

されているとともに、スイッチ $SW1$ のエミッタとスイッチ $SW2$ のエミッタとは、共通の接続点 PE に接続されている。このようにスイッチ $SW1$, $SW2$ を並列接続することで、スイッチを単独で用いた場合に比べて、出力可能な電力を向上させることが可能となる。

【0013】

また、スイッチ $SW1$, $SW2$ のゲート（制御端子）は、一つのゲート駆動回路 20 から共通の接続点 PG を介して、同時に駆動される。ゲート駆動回路 20 は、オン駆動スイッチ 21 と、オフ駆動スイッチ 22 と、ゲート抵抗 23 , 24 とを備えている。オン駆動スイッチ 21 は、Nチャネル MOSFET であり、オフ駆動スイッチ 22 は、Pチャネル MOSFET である。

10

【0014】

充電回路としてのオン駆動スイッチ 21 は、スイッチ $SW1$, $SW2$ のゲートに対して電源電圧 V_s を駆動電圧として印加する。オン駆動スイッチ 21 のソースは電圧源 25 に接続され、ドレインはオンゲート抵抗 23 及び接続点 PG を介して、スイッチ $SW1$, $SW2$ のゲートに接続されている。オン駆動スイッチ 21 は、駆動制御部 40 からハイ状態のオン指令信号がゲートに入力されることでオン状態となり、スイッチ $SW1$, $SW2$ のゲートと電圧源 25 とを導通状態とさせる。

【0015】

また、放電回路としてのオフ駆動スイッチ 22 は、スイッチ $SW1$, $SW2$ のゲートと接地点とを接続し、ゲート電圧 V_{ge} （ゲート - エミッタ間電圧）を接地電圧（エミッタ電圧）にする。オフ駆動スイッチ 22 のソースは接地点に接続され、ドレインはオフゲート抵抗 24 及び接続点 PG を介してスイッチ $SW1$, $SW2$ のゲートに接続されている。オフ駆動スイッチ 22 は、駆動制御部 40 からハイ状態のオフ指令信号がゲートに入力されることでオン状態となり、スイッチ $SW1$, $SW2$ のゲートと接地点とを導通状態とさせる。

20

【0016】

ここで、スイッチ $SW1$, $SW2$ には、ゲート - コレクタ間の容量である帰還容量 C_{res} 、ゲート - エミッタ間の容量である入力容量 C_{ies} 、及び、コレクタ - エミッタ間の容量である出力容量 C_{oes} が存在する。

【0017】

図 2 (a) に示すように、接続点 PG - スwitch $SW1$ のゲート - スwitch $SW1$ の帰還容量 C_{res1} - スwitch $SW1$ のコレクタ - 接続点 PC - スwitch $SW2$ のコレクタ - スwitch $SW2$ の帰還容量 C_{res2} - スwitch $SW2$ のゲート - 接続点 PG という閉回路 $A1$ が生じている。また、図 2 (b) に示すように、接続点 PG - スwitch $SW1$ のゲート - スwitch $SW1$ の入力容量 C_{ies1} - スwitch $SW1$ のエミッタ - 接続点 PE - スwitch $SW2$ のエミッタ - スwitch $SW2$ の入力容量 C_{ies2} - スwitch $SW2$ のゲート - 接続点 PG という閉回路 $A2$ が生じている。

30

【0018】

ここで、スイッチ $SW1$, $SW2$ にそれぞれ流れる出力電流 I_{ce1} , I_{ce2} （コレクタ - エミッタ電流）が一致する場合、閉回路 $A1$, $A2$ に電流は流れない。しかし、スイッチ $SW1$, $SW2$ の個体差や、配線インピーダンスによって生じる駆動信号のずれなどを原因として、スイッチ $SW1$, $SW2$ のターンオン及びターンオフがずれることが考えられる。このターンオン及びターンオフのずれによって、スイッチ $SW1$, $SW2$ それぞれの出力電流 I_{ce1} , I_{ce2} に差異が生じ、2つの閉回路 $A1$, $A2$ に電流が流れることになる。

40

【0019】

閉回路 $A1$ に電流が流れると、帰還容量 C_{res} と、配線や素子の誘導成分とにより共振が生じることが懸念される。また、閉回路 $A2$ に電流が流れると、入力容量 C_{ies} と、配線や素子の誘導成分とにより共振が生じることが懸念される。

【0020】

50

図 1 の説明に戻り、本実施形態の構成では、閉回路 A 1 , A 2 における共振を抑制するために、抵抗器 R 1 , R 2 を接続点 P G と、スイッチ S W 1 , S W 2 のゲートとの間にそれぞれ設ける構成としている。抵抗器 R 1 , R 2 によって共振が減衰し、閉回路 A 1 , A 2 に大電流が流れること、及び、閉回路 A 1 , A 2 上の素子に対して高電圧が印加されることを抑制できる。

【 0 0 2 1 】

ここで、接続点 P G とスイッチ S W 1 , S W 2 のゲートとの間に、抵抗器 R 1 , R 2 を設ける構成とすると、共振を抑制できる一方で、スイッチ S W 1 , S W 2 の駆動時において電力損失が発生する。また、スイッチ S W 1 , S W 2 に過電流が発生すると、閉回路 A 1 , A 2 に振幅の大きな共振が生じ、素子に損傷が生じることが懸念される。過電流は、インバータ回路において、スイッチ S W 1 , S W 2 が上アームスイッチとなるレグにおいて、対となる下アームスイッチに常時オン異常が生じることなどを原因として発生する。

10

【 0 0 2 2 】

そこで、スイッチ S W 1 , S W 2 に過電流が生じると判定されたことを条件として、抵抗値を変更可能な抵抗器 R 1 , R 2 の抵抗値を増加させる構成とすることで、閉回路 A 1 , A 2 に共振が発生することで生じる素子や配線の損傷を防止する。また、過電流が生じると判定されない場合に、抵抗器 R 1 , R 2 の抵抗値を増加させないことで、駆動時における電力損失を低減することができる。

【 0 0 2 3 】

具体的には、抵抗器 R 1 は、大きい抵抗値の抵抗体 R 1 1 と、スイッチ S A 1 及び小さい抵抗値の抵抗体 R 1 2 が直列接続されたものと、が並列接続されて構成されている。同様に、抵抗器 R 2 は、大きい抵抗値の抵抗体 R 2 1 と、スイッチ S A 2 及び小さい抵抗値の抵抗体 R 2 2 が直列接続されたものと、が並列接続されて構成されている。スイッチ S A 1 , S A 2 がオン状態とされることで、抵抗器 R 1 , R 2 の抵抗値は小さくなり、スイッチ S A 1 , S A 2 がオフ状態とされることで、抵抗器 R 1 , R 2 の抵抗値は大きくなる。ここで、抵抗体 R 1 1 と抵抗体 R 2 1 との抵抗値（例えば、5 Ω）は等しく、抵抗体 R 1 2 と抵抗体 R 2 2 の抵抗値（例えば、1 Ω）は等しい。

20

【 0 0 2 4 】

また、スイッチ S W 1 , S W 2 のエミッタ側に電流検出用のセンス抵抗 R S 1 , R S 2 を設けている。センス抵抗 R S 1 , R S 2 はスイッチ S W 1 , S W 2 のエミッタと、接続点 P E とを接続する配線と並列に設けられている。本実施形態の制御部 3 0 は、センス抵抗 R S 1 , R S 2 の端子のうち、スイッチ S W 1 , S W 2 のエミッタ側の方の電圧（センス電圧 V s e）を検出することで、スイッチ S W 1 , S W 2 に流れる出力電流 I c e 1 , I c e 2 を取得する。つまり、センス抵抗 R S 1 , R S 2 及び制御部 3 0 は、電流検出部として動作する。そして、出力電流 I c e 1 , I c e 2 の少なくとも一方が閾値 I t h を超過した（第一閾値を上回った）場合に、スイッチ S W 1 , S W 2 に過電流が生じていると判定する。本実施形態では、センス電圧 V s e が、閾値 I t h に相当する閾値電圧を超過した場合に、スイッチ S W 1 , S W 2 に過電流が生じていると判定する。

30

【 0 0 2 5 】

制御部 3 0 は、スイッチ S W 1 , S W 2 に過電流が生じていると判定したことを条件として、スイッチ S A 1 , S A 2 をともにオフ状態にする。これにより、抵抗器 R 1 , R 2 の抵抗値が増加し、閉回路 A 1 , A 2 における共振を抑制することが可能になる。また、制御部 3 0 は、過電流が生じていない通常の駆動時において、スイッチ S A 1 , S A 2 をオン状態にすることで、抵抗器 R 1 , R 2 の抵抗値を減少させ、ゲート駆動回路 2 0 によるスイッチ S W 1 , S W 2 のゲート駆動時における電力損失を低減することができる。

40

【 0 0 2 6 】

（第 2 実施形態）

図 3 に第 2 実施形態の電氣的構成図を示す。第 1 実施形態と同一の構成については、同一の符号を付し、適宜説明を省略する。

【 0 0 2 7 】

50

本実施形態のゲート駆動回路 20 は、緩放電スイッチ 26 及び緩放電抵抗 27 を備える。緩放電スイッチ 26 は、Pチャネル MOS - FET である。緩放電スイッチ 26 は、スイッチ SW1, SW2 のゲートと接地点とを接続し、ゲート電圧 V_{ge} を接地電圧にする。緩放電スイッチ 26 のソースは接地点に接続され、ドレインは緩放電抵抗 27 及び接続点 PG を介してスイッチ SW1, SW2 のゲートに接続されている。緩放電スイッチ 26 は、駆動制御部 40 からハイ状態の緩放電指令信号がゲートに入力されることで、オン状態となり、スイッチ SW1, SW2 のゲートと接地点とを導通状態とさせる。

【0028】

ここで、緩放電抵抗 27 の抵抗値（例えば $50\ \Omega$ ）は、オフゲート抵抗 24 の抵抗値（例えば $1\ \Omega$ ）より大きく設定されている。このため、緩放電スイッチ 26 によるスイッチ SW1, SW2 のゲート放電は、オフ駆動スイッチ 22 によるスイッチ SW1, SW2 のゲート放電に比べて、緩やかである。

10

【0029】

緩放電回路としての緩放電スイッチ 26 は、スイッチ SW1, SW2 に過電流が流れた場合に、オンされることで、オフ駆動スイッチ 22 より緩やかにスイッチ SW1, SW2 のゲートから放電を行う。オフ駆動スイッチ 22 より緩やかにスイッチ SW1, SW2 のゲートから放電を行うことで、サージ電圧の発生を抑制することが可能になる。

【0030】

制御部 30A は、センス抵抗 RS1, RS2 の端子のうち、スイッチ SW1, SW2 のエミッタ側の方の電圧を検出することで、スイッチ SW1, SW2 に流れる出力電流 I_{ce1} , I_{ce2} を取得する。ここで、制御部 30 は、出力電流 I_{ce1} , I_{ce2} の少なくとも一方が閾値 I_{th} を超えたことを条件として、過電流が生じていると判定し、スイッチ SA1, SA2 をオフ状態にすることで、抵抗器 R1, R2 の抵抗値を増加させる。これにより、共振の発生を抑制する。

20

【0031】

さらに、本実施形態の制御部 30A は、抵抗器 R1, R2 の抵抗値を増加させた後、所定時間経過後に、緩放電スイッチ 26 をオン状態とするように、駆動制御部 40 に指令する。そして、駆動制御部 40A は、緩放電スイッチ 26 をオン状態とし、スイッチ SW1, SW2 の緩放電を実施する。

【0032】

30

図 4 (a) に通常のスイッチ SW のターンオフにおけるゲート電圧 V_{ge} のタイミングチャートを示し、図 4 (b) に過電流検出時のスイッチ SW のターンオフにおけるゲート電圧 V_{ge} のタイミングチャートを示す。

【0033】

図 4 (a) の時刻 T_1 の前では、スイッチ SW のゲートに電源電圧 V_s （例えば、 15 V ）が印加されており、スイッチ SW がオン状態とされている。そして、時刻 T_1 において、駆動制御部 40 からオフ駆動スイッチ 22 にターンオフ指令信号が入力される。時刻 T_1 からオフ駆動スイッチ 22 のターンオン時間の経過後、時刻 T_2 において、オフ駆動スイッチ 22 がオン状態となり、スイッチ SW のゲートと接地点とが導通状態とされる。これにより、ゲート電圧 V_{ge} が低下していく。その後、ミラー期間を経て、時刻 T_3 において、ゲート電圧 V_{ge} が 0 V とされる。

40

【0034】

図 4 (b) の時刻 T_{11} の前では、スイッチ SW のゲートに電源電圧 V_s が印加されており、スイッチ SW がオン状態とされている。時刻 T_{11} において、スイッチ SW の出力電流 I_{ce1} , I_{ce2} の一方が閾値 I_{th} を超えたと判定される。時刻 T_{11} からスイッチ SA1, SA2 のターンオフ時間の経過後、時刻 T_{12} において、スイッチ SA1, SA2 がオフ状態にされる。これにより、抵抗器 R1, R2 の抵抗値が増加する。

【0035】

その後、時刻 T_{13} において、時刻 T_{12} から所定時間経過後に、緩放電スイッチ 26 がオン状態とされ、緩放電が実施される。これにより、スイッチ SW のゲートの緩放電が

50

行われ、図 4 (a) に示すターンオフ時間 (時刻 T_2 ~ 時刻 T_3) より長い時間を経て、時刻 T_{14} において、ゲート電圧 V_{ge} が 0 V とされる。

【 0 0 3 6 】

過電流の発生時において、スイッチ SW_1 , SW_2 をターンオフすると、大きなサージ電流が発生する。サージ電流と共振電流によって、過大な電流が流れ、素子に損傷が生じることが懸念される。そこで、緩放電スイッチ 26 によってターンオフ速度を低下させることで、サージ電圧を抑制する構成とする。ここで、ターンオフを実施する前に、抵抗器 R_1 , R_2 の抵抗値を予め増加させることで、ターンオフ時における共振を抑制することができ、サージ電流及び共振による素子への悪影響を効果的に抑制することができる。

【 0 0 3 7 】

(第 3 実施形態)

第 3 実施形態の電氣的構成は、第 2 実施形態と同一である。

【 0 0 3 8 】

本実施形態の制御部 30 A は、センス抵抗 RS_1 , RS_2 の端子のうち、スイッチ SW_1 , SW_2 のエミッタ側の方の電圧を検出することで、スイッチ SW_1 , SW_2 に流れる出力電流 I_{ce1} , I_{ce2} を取得する。ここで、制御部 30 A は、出力電流 I_{ce1} , I_{ce2} の少なくとも一方が閾値 I_{th1} (第一閾値) を超えたことを条件として、過電流が生じていると判定し、スイッチ SA_1 , SA_2 をオフ状態にすることで、抵抗器 R_1 , R_2 の抵抗値を増加させる。これにより、共振の発生を抑制する。

【 0 0 3 9 】

さらに、制御部 30 A は、出力電流 I_{ce1} , I_{ce2} の少なくとも一方が、所定時間にわたって閾値 I_{th2} (第二閾値) を超えたことを条件として、緩放電スイッチ 26 をオン状態とするように、駆動制御部 40 に指令する。そして、駆動制御部 40 A は、緩放電スイッチ 26 をオン状態とし、スイッチ SW_1 , SW_2 の緩放電を実施する。ここで、閾値 I_{th2} は、閾値 I_{th1} より大きい値に設定されている。このように閾値 I_{th1} , I_{th2} を設定することで、抵抗器 R_1 , R_2 の抵抗値が増加した後に、スイッチ SW_1 , SW_2 の緩放電が実施される。

【 0 0 4 0 】

図 5 に過電流検出時のターンオフにおけるスイッチ SW の出力電流 I_{ce} のタイミングチャートを示す。

【 0 0 4 1 】

時刻 T_{21} の前において、インバータ回路の下アームスイッチに常時オン異常が生じている。時刻 T_{21} において、インバータ回路の下アームスイッチに常時オン異常が生じている状態で、スイッチ SW がオン状態とされることで、スイッチ SW の出力電流 I_{ce} が、正常時に比べて速い速度で増加していく。

【 0 0 4 2 】

時刻 T_{22} において、スイッチ SW の出力電流 I_{ce} が、閾値 I_{th1} に達する。これにより、抵抗器 R_1 , R_2 の抵抗値が増加される。その後、スイッチ SW の出力電流 I_{ce} が更に増加することで、時刻 T_{23} において、閾値 I_{th2} に達する。

【 0 0 4 3 】

時刻 T_{24} において、出力電流 I_{ce} が所定時間にわたって閾値 I_{th2} を超えているため、緩放電スイッチ 26 による緩放電が実施される。緩放電によって、ゲート電圧 V_{ge} が低下し、出力電流 I_{ce} が減少していく。その後、テール電流が流れた後、時刻 T_{24} において、出力電流 I_{ce} が 0 A となる。

【 0 0 4 4 】

過電流判定部としての制御部 30 A は、スイッチ SW に流れる出力電流 I_{ce} を検出し、その検出値が所定の閾値 I_{th1} を超えている場合に、過電流が生じていると判定する。ここで、緩放電スイッチ 26 による緩放電の実施を判定するための閾値 I_{th2} と比べ、抵抗器 R_1 , R_2 の抵抗値の増加の実施を判定するための閾値 I_{th1} を小さくする構成とする。この構成にすることで、緩放電スイッチ 26 を用いてターンオフを実施する前

10

20

30

40

50

に、抵抗器 R 1 , R 2 の抵抗値を予め増加させることが可能になる。

【 0 0 4 5 】

(第 4 実施形態)

図 6 に第 4 実施形態の電氣的構成図を示す。第 1 実施形態と同一の構成については、同一の符号を付し、適宜説明を省略する。第 4 実施形態の構成では、スイッチ S W 1 , S W 2 の温度 T h 1 , T h 2 を検出するための感温ダイオード D T 1 , D T 2 をそれぞれ設ける構成としている。感温ダイオード D T 1 , D T 2 は、温度検出部 3 1 に接続されている。

【 0 0 4 6 】

温度検出部 3 1 は、感温ダイオード D T 1 , D T 2 の順方向降下電圧に基づいて、スイッチ S W 1 , S W 2 の温度 T h 1 , T h 2 を検出し、その検出値を制御部 3 0 B に出力する。制御部 3 0 B は、スイッチ S W 1 , S W 2 の温度 T h 1 , T h 2 のいずれか一方が、閾値 T h t h (所定温度) より低いことを条件として、過電流時における抵抗器 R 1 , R 2 の抵抗値の変更を実施する。

【 0 0 4 7 】

半導体スイッチング素子であるスイッチ S W 1 , S W 2 は、その温度 T h 1 , T h 2 が低いほど、スイッチング速度が速くなる。スイッチング速度が速くなることで、サージ電圧が大きくなり、共振の影響が大きくなる。そこで、低温時には、抵抗器 R 1 , R 2 の抵抗値を増加させる構成とする。これにより、共振による素子への悪影響を好適に抑制することができる。

【 0 0 4 8 】

また、スイッチ S W 1 , S W 2 は、その温度 T h 1 , T h 2 が高いほど、装置全体の発熱許容量が小さくなる。そこで、高温時には、抵抗器 R 1 , R 2 の抵抗値を増加させない構成にすることで、スイッチ S W 1 , S W 2 を含む装置全体の発熱を低減することが可能となる。

【 0 0 4 9 】

(第 5 実施形態)

図 7 に第 5 実施形態の電氣的構成図を示す。第 1 実施形態と同一の構成については、同一の符号を付し、適宜説明を省略する。第 5 実施形態のゲート駆動回路 2 0 C は、充電回路として、定電流駆動回路 2 1 C を備えている。また、ゲート駆動回路 2 0 C は、放電回路として、定電流駆動回路 2 2 C を備えている。

【 0 0 5 0 】

定電流駆動回路 2 1 C は、駆動制御部 4 0 C からハイ状態のオン指令信号が入力されることで、スイッチ S W 1 , S W 2 のゲートと電圧源 2 5 とを導通状態とさせる。また、定電流駆動回路 2 2 C は、駆動制御部 4 0 C からハイ状態のオフ指令信号が入力されることで、スイッチ S W 1 , S W 2 のゲートと接地点とを導通状態とさせる。ここで、定電流駆動回路 2 1 C , 2 2 C は、定電流駆動を実施する。

【 0 0 5 1 】

放電回路及び充電回路とスイッチ S W 1 , S W 2 のゲートとの間に抵抗器 R 1 , R 2 を設けることで、スイッチ S W 1 , S W 2 のスイッチング速度が低下し、スイッチング損失増加の原因となることが懸念される。ここで、定電流駆動可能な充電回路及び放電回路として、定電流駆動回路 2 1 C , 2 2 C を用いることで、スイッチ S W 1 , S W 2 のスイッチング速度が一定になる。スイッチング速度を一定にすることで、抵抗器 R 1 , R 2 によるスイッチング速度の低下に伴うスイッチング損失を低減することが可能になる。

【 0 0 5 2 】

(第 6 実施形態)

図 8 に第 6 実施形態の電氣的構成図を示す。第 1 実施形態と同一の構成については、同一の符号を付し、適宜説明を省略する。ゲート駆動回路 2 0 D は、充電回路として、2つのオン駆動スイッチ 2 1 D 1 , 2 1 D 2 を備えている。ゲート駆動回路 2 0 D は、放電回路として、2つのオフ駆動スイッチ 2 2 D 1 , 2 2 D 2 を備えている。

【 0 0 5 3 】

オン駆動スイッチ 2 1 D 1 , 2 1 D 2 は、スイッチ S W 1 , S W 2 のゲートに対して電源電圧 V_s を駆動電圧として印加する。オン駆動スイッチ 2 1 D 1 , 2 1 D 2 のソースは電圧源 2 5 にそれぞれ接続され、ドレインはオンゲート抵抗 2 3 D 1 , 2 3 D 2 及び接続点 P G を介して、スイッチ S W 1 , S W 2 のゲートにそれぞれ接続されている。オン駆動スイッチ 2 1 D 1 , 2 1 D 2 は、駆動制御部 4 0 D からハイ状態のオン指令信号がゲートに入力されることでオン状態となり、スイッチ S W 1 , S W 2 のゲートと電圧源 2 5 とを導通状態とさせる。ここで、オンゲート抵抗 2 3 D 2 の抵抗値（例えば、 10Ω ）は、オンゲート抵抗 2 3 D 1 の抵抗値（例えば、 1Ω ）より大きく設定されている。

【 0 0 5 4 】

また、オフ駆動スイッチ 2 2 D 1 , 2 2 D 2 は、スイッチ S W 1 , S W 2 のゲートと接地点とを接続し、ゲート電圧 V_{ge} （ゲート - エミッタ間電圧）を接地電圧（エミッタ電圧）にする。オフ駆動スイッチ 2 2 D 1 , 2 2 D 2 のソースは接地点に接続され、ドレインはオフゲート抵抗 2 4 D 1 , 2 4 D 2 及び接続点 P G を介してスイッチ S W 1 , S W 2 のゲートに接続されている。オフ駆動スイッチ 2 2 D 1 , 2 2 D 2 は、駆動制御部 4 0 からハイ状態のオフ指令信号がゲートに入力されることでオン状態となり、スイッチ S W 1 , S W 2 のゲートと接地点とを導通状態とさせる。ここで、オフゲート抵抗 2 4 D 2 の抵抗値（例えば、 10Ω ）は、オフゲート抵抗 2 4 D 1 の抵抗値（例えば、 1Ω ）より大きく設定されている。

【 0 0 5 5 】

オン駆動スイッチ 2 1 D 1 及びオフ駆動スイッチ 2 2 D 1 を用いてスイッチ S W 1 , S W 2 のゲートの充放電を行うと、ゲート抵抗 2 3 D 1 , 2 4 D 1 を介して充放電を実施することになる。また、オン駆動スイッチ 2 1 D 2 及びオフ駆動スイッチ 2 2 D 2 を用いてスイッチ S W 1 , S W 2 のゲートの充放電を行うと、ゲート抵抗 2 3 D 2 , 2 4 D 2 を介して充放電を実施することになる。ゲート抵抗 2 3 D 1 , 2 4 D 1 の抵抗値が「第 1 抵抗値」であり、ゲート抵抗 2 3 D 2 , 2 4 D 2 の抵抗値が「第 2 抵抗値」である。

【 0 0 5 6 】

ゲート抵抗 2 3 D 2 , 2 4 D 2 を介して充放電を実施すると、スイッチ S W 1 , S W 2 のサージ電圧及びサージ電流の抑制を効果的に行える一方で、スイッチ S W 1 , S W 2 のゲートの駆動に伴う電力損失が増加する。ゲート抵抗 2 3 D 1 , 2 4 D 1 を介して充放電を実施すると、スイッチ S W 1 , S W 2 のゲートの駆動に伴う電力損失が低下する一方で、スイッチ S W 1 , S W 2 のサージ電圧及びサージ電流低減の効果が低下する。

【 0 0 5 7 】

そこで、駆動制御部 4 0 D は、制御部 3 0 D からスイッチ S W 1 , S W 2 に流れる出力電流 I_{ce1} , I_{ce2} を取得する。駆動制御部 4 0 D は、出力電流 I_{ce1} , I_{ce2} が所定の閾値 I_A （所定電流）より小さい場合に、オン駆動スイッチ 2 1 D 1 及びオフ駆動スイッチ 2 2 D 1 に対してオン指令信号及びオフ指令信号を出力する。これにより、スイッチ S W 1 , S W 2 のゲートの駆動に伴う電力損失を低減することができる。

【 0 0 5 8 】

また、駆動制御部 4 0 D は、出力電流 I_{ce1} , I_{ce2} が閾値 I_A 以上の場合に、オン駆動スイッチ 2 1 D 2 及びオフ駆動スイッチ 2 2 D 2 に対してオン指令信号及びオフ指令信号を出力する。これにより、スイッチ S W 1 , S W 2 のターンオン時及びターンオフ時におけるサージ電圧を抑制することができる。

【 0 0 5 9 】

ここで閾値 I_A は、抵抗器 R 1 , R 2 の抵抗値増加のための閾値 I_{th} より小さい値に設定されている。抵抗器 R 1 , R 2 の抵抗値を増加させる場合、ゲート抵抗 2 3 D 2 , 2 4 D 2 が用いられるため、共振抑制の効果と、サージ電圧及びサージ電流低減の効果と、をあわせて得ることができる。これにより、素子に与える悪影響を好適に抑制することができる。

【 0 0 6 0 】

(第7実施形態)

図9に第7実施形態の電氣的構成図を示す。第1実施形態と同一の構成については、同一の符号を付し、適宜説明を省略する。制御部30Eは、スイッチSW1, SW2のゲート電圧Vgeの検出値を取得する。

【0061】

スイッチSA1, SA2の一方(例えば、スイッチSA2)に常時オフ異常が生じた場合に、図10に示すように、スイッチSW1のターンオン時間及びターンオフ時間と、スイッチSW2のターンオン時間及びターンオフ時間とに差異が生じる。両スイッチSW1, SW2のターンオン時間及びターンオフ時間に差異が生じることで、両スイッチSW1, SW2のターンオン及びターンオフにおいて、閉回路A1, A2に電流が流れ、共振が発生することが懸念される。

10

【0062】

そこで、電圧検出部としての制御部30Eは、スイッチSW1, SW2のゲート電圧Vgeを検出する。そして、異常判定部としての制御部30Eは、ゲート電圧Vgeの時間変化に基づいて、スイッチSA1, SA2の常時オフ異常を判定する。制御部30Eは、スイッチSA1, SA2の一方に常時オフ異常が発生していると判定される、つまり、抵抗器R1, R2の一方に異常が生じていると判定されると、正常な抵抗器R1, R2の抵抗値を、異常が生じている抵抗器R1, R2の抵抗値と等しくする。具体的には、スイッチSA2に常時オフ異常が生じたとすると、スイッチSA1を常時オフするように制御を行う。

20

【0063】

ここで、制御部30Eは、ターンオン時におけるコレクタ電圧(入力端子の電圧)の変化や、ターンオフ時におけるコレクタ電圧(出力端子の電圧)の変化に基づいて、抵抗器R1, R2に異常が生じているか否かの判定を行うことも可能である。

【0064】

また、例えば、出力電流Ice1, Ice2を検出するために用いているセンス抵抗RS1, RS2のセンス電圧Vseは、図10に示すように変化する。具体的には、ゲート電圧Vgeがターンオン電圧Vonに達すると、出力電流Ice1, Ice2が流れ始めることで、センス電圧Vseは上昇し始める。そこで、センス電圧Vseの立ち上がりタイミングに基づいて、スイッチSA1, SA2の異常を判定することが可能である。同様に、センス電圧Vseの立ち下がりタイミングに基づいて、スイッチSA1, SA2の異常を判定することも可能である。

30

【0065】

スイッチSW1, SW2の一方の抵抗器R1, R2に異常が生じると、オン駆動スイッチ21及びオフ駆動スイッチ22と、スイッチSW1, SW2のゲートとの間の抵抗値が異なることになる。この抵抗値のアンバランスによって、スイッチSW1, SW2の間で、ターンオン時において、スイッチSW1, SW2がターンオンするタイミングにずれが生じる。同様にターンオフ時において、スイッチSW1, SW2がターンオフするタイミングにずれが生じる。このずれによって、共振が生じることが懸念されるため、スイッチSA1, SA2の一方に常時オフ異常が生じた場合には、他方を常時オフする制御を実施し、抵抗器R1, R2の抵抗値を等しくする。この制御によって、抵抗器R1, R2の異常による共振の発生を抑制することができ、また過電流発生時に共振を好適に抑制することが可能になる。

40

【0066】

(他の実施形態)

・第1~4, 7の実施形態において、ゲート抵抗23, 24を省略する構成としてもよい。ゲート抵抗23, 24を省略した場合であっても、抵抗器R1, R2により、スイッチSW1, SW2のゲートと、スイッチ21, 22との間に生じるサージ電圧及びサージ電流を抑制することが可能である。

【0067】

50

・スイッチSWの出力電流 I_{ce} の過電流の判定について、出力電流 I_{ce} を検出し、その検出値と閾値 I_{th} とを比較する方法を変更してもよい。例えば、インバータ回路の下アームスイッチに常時オン異常が生じていると判定されたことを条件として、対となる上アームスイッチとしてのスイッチSWに過電流が生じると判定してもよい。

【0068】

・スイッチSW1, SW2のエミッタ側にセンス抵抗RS1, RS2を設ける構成としたが、これを変更し、スイッチSW1, SW2のコレクタ側にセンス抵抗を設ける構成としてもよい。また、センス抵抗RS1, RS2に代えて、ホール素子などを用いて出力電流 I_{ce} を検出する構成としてもよい。

【0069】

・スイッチSW1, SW2の温度 T_{h1} , T_{h2} に基づいて、過電流判定の閾値 I_{th} を変更する構成としてもよい。スイッチSW1, SW2の温度 T_{h1} , T_{h2} が低いほど、過電流の判定に用いる閾値 I_{th} を小さくするとよい。

【0070】

・電圧制御型半導体スイッチング素子であるスイッチSWは、IGBTに代えて、MOS-FETでもよい。

【0071】

・第3実施形態において、感温ダイオードDT1, DT2に代えて、測温抵抗体などを用いてもよい。

【0072】

・上記実施形態の構成は、3個以上のスイッチを並列接続する構成についても適用可能である。

【0073】

・抵抗値を変更可能な抵抗器として、3以上の抵抗値を選択可能なデジタル可変抵抗器を用いてもよい。

【0074】

・上記実施形態は適宜組み合わせる実施することが可能である。例えば、第2, 3実施形態は、それぞれ第4～第7実施形態と組み合わせることが可能である。第4実施形態は、第5～第7実施形態と組み合わせることが可能である。第5, 6実施形態は、それぞれ第7実施形態と組み合わせることが可能である。

【符号の説明】

【0075】

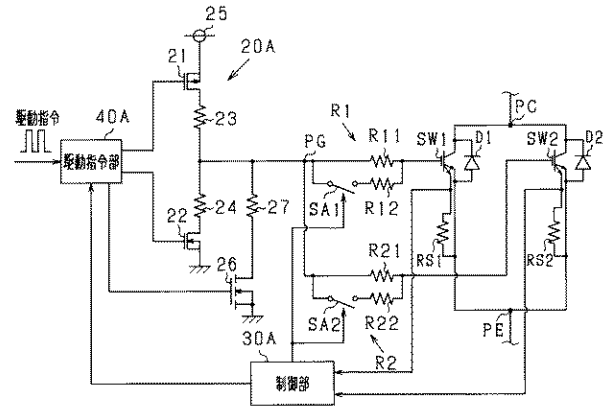
20 ゲート駆動回路、21 オン駆動スイッチ、22 オフ駆動スイッチ、30 制御部（過電流判定部、制御部）、PG 接続点、R1, R2 抵抗器、SW1, SW2 スイッチ。

10

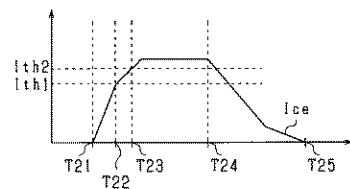
20

30

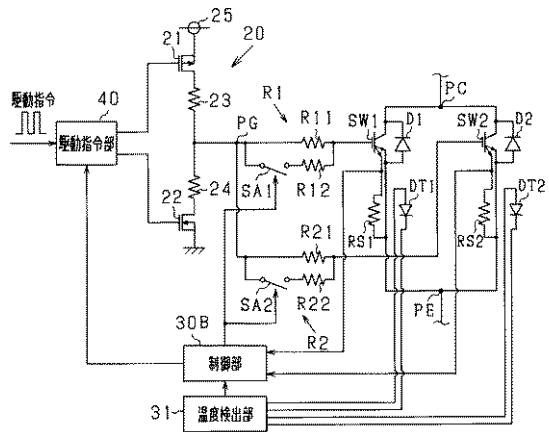
【 図 3 】



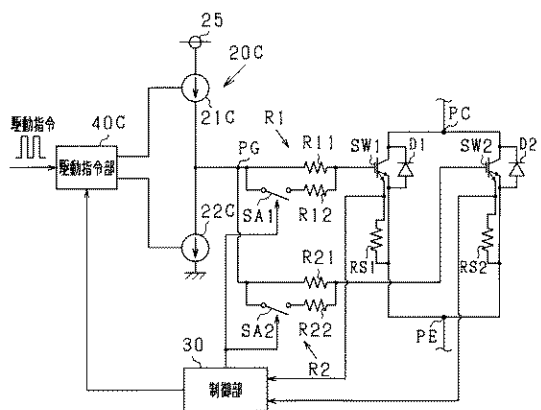
【圖 5】



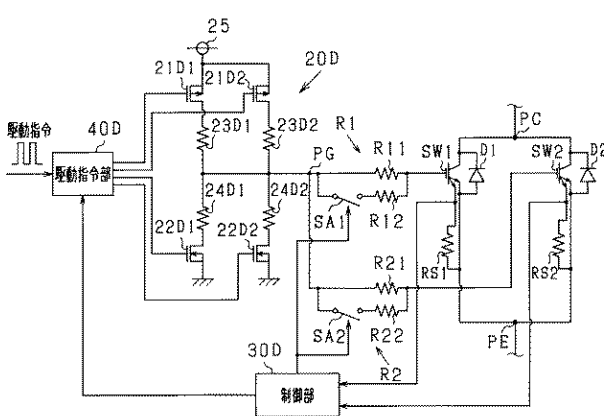
【図 6】



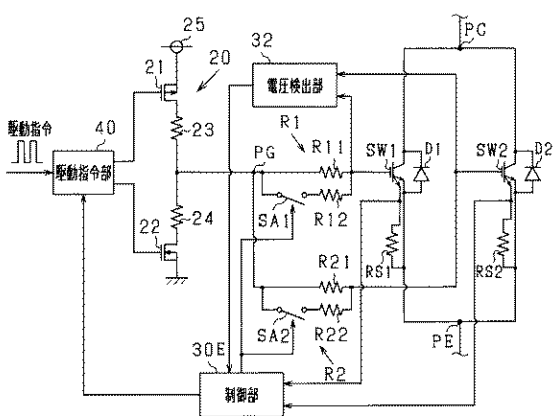
【図 7】



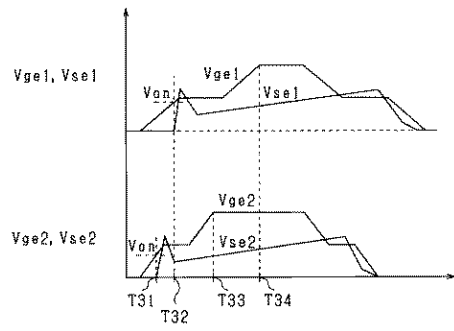
【図 8】



【図 9】



【図 10】



フロントページの続き

F ターム(参考) 5H740 BA11 BB02 BC01 BC02 JA01 JB01 KK01 MM01 MM08 MM14
MM18
5J055 AX08 AX53 CX07 DX09 EY01 EY12 EY21 FX02 FX04 GX01
GX04