

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-118144
(P2019-118144A)

(43) 公開日 令和1年7月18日(2019.7.18)

(51) Int. Cl.			F I			テーマコード (参考)
H03F	1/42	(2006.01)	H03F	1/42		5J500
H03F	3/45	(2006.01)	H03F	3/45	220	
H03F	1/34	(2006.01)	H03F	1/34		

審査請求 有 請求項の数 3 O L (全 14 頁)

(21) 出願番号	特願2019-57576 (P2019-57576)	(71) 出願人	000000572 アンリツ株式会社 神奈川県厚木市恩名五丁目1番1号
(22) 出願日	平成31年3月26日 (2019.3.26)	(72) 発明者	平林 文人 神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内
(62) 分割の表示	特願2015-214552 (P2015-214552) の分割	Fターム(参考)	5J500 AA01 AA12 AC54 AC62 AC63 AC92 AF16 AF17 AH02 AH25 AH27 AH29 AK02 AK05 AK42 AM01 AM08 AM13 AT01 AT03 DN22 DN23 DP02 NH06 NH17 NM02 NN12
原出願日	平成27年10月30日 (2015.10.30)		

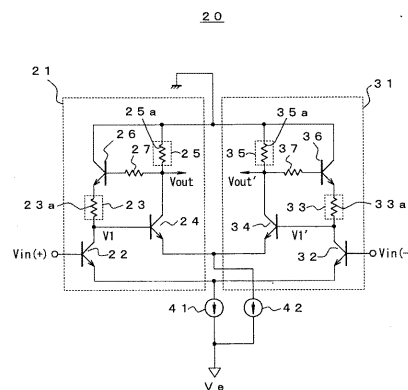
(54) 【発明の名称】 帰還増幅回路

(57) 【要約】

【課題】 安定に広帯域特性や高い周波数域でのピーキング特性を得られるようにする。

【解決手段】 入力信号 $V_{in}(+)$ 、 $V_{in}(-)$ を初段トランジスタ 2 2、3 2 のベースで受け、そのコレクタに接続された初段負荷抵抗回路 2 3、3 3 に現れる初段出力信号 V_1 、 V_1' を次段トランジスタ 2 4、3 4 のベースに与え、そのコレクタに接続された次段負荷抵抗回路 2 5、3 5 に現れる次段出力信号 V_{out} 、 V_{out}' を帰還用トランジスタ 2 6、3 6 のベースに入力し、そのエミッタから初段負荷抵抗回路 2 3、3 3 を介して次段トランジスタ 2 4、3 4 のベースに帰還する帰還増幅回路において、次段出力信号 V_{out} 、 V_{out}' の信号出力点と帰還用トランジスタ 2 6、3 6 のベースとの間が、所定周波数より高域の信号成分の帰還量を減少させるための帰還制御用の抵抗 2 7、3 7 を介して接続されている。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

入力信号を初段トランジスタ(22、32)のベースで受け、該初段トランジスタのコレクタに接続された初段負荷抵抗回路(23、33)に現れる初段出力信号を、次段トランジスタ(24、34)のベースに与え、該次段トランジスタのコレクタに接続された次段負荷抵抗回路(25、35)に現れる次段出力信号を、帰還用トランジスタ(26、36)のベースに入力し、該帰還用トランジスタのエミッタから前記初段負荷抵抗回路を介して前記次段トランジスタのベースに帰還する帰還増幅回路において、

前記次段負荷抵抗回路に現れる次段出力信号の信号出力点と、前記帰還用トランジスタのベースとの間が、前記次段トランジスタのベースに帰還される信号成分のうち、所定周波数より高域の信号成分の帰還量を減少させるための帰還制御用の抵抗(27、37)を介して接続され、前記初段負荷抵抗回路が複数の抵抗の直列接続回路で構成され、前記初段負荷抵抗回路に現れる初段出力信号が前記複数の抵抗の接続点から出力され、前記次段トランジスタのベースに入力されることを特徴とする帰還増幅回路。

10

【請求項 2】

入力信号を初段トランジスタ(22、32)のベースで受け、該初段トランジスタのコレクタに接続された初段負荷抵抗回路(23、33)に現れる初段出力信号を、次段トランジスタ(24、34)のベースに与え、該次段トランジスタのコレクタに接続された次段負荷抵抗回路(25、35)に現れる次段出力信号を、帰還用トランジスタ(26、36)のベースに入力し、該帰還用トランジスタのエミッタから前記初段負荷抵抗回路を介して前記次段トランジスタのベースに帰還する帰還増幅回路において、

20

前記次段負荷抵抗回路に現れる次段出力信号の信号出力点と、前記帰還用トランジスタのベースとの間が、前記次段トランジスタのベースに帰還される信号成分のうち、所定周波数より高域の信号成分の帰還量を減少させるための帰還制御用の抵抗(27、37)を介して接続され、前記次段負荷抵抗回路が複数の抵抗の直列接続回路で構成され、前記複数の抵抗の接続点が前記帰還制御用の抵抗を介して前記帰還用トランジスタのベースに入力される前記次段出力信号の信号出力点であることを特徴とする帰還増幅回路。

【請求項 3】

前記帰還用トランジスタのベースに帰還制御用のキャパシタ(28、38)が接続され、該帰還制御用のキャパシタと前記帰還制御用の抵抗とで形成されたRC型のローパスフィルタにより、前記次段トランジスタのベースに帰還される信号成分のうち、所定周波数より高域の信号成分の帰還量を減少させることを特徴とする請求項1あるいは請求項2に記載の帰還増幅回路。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、帰還増幅回路の周波数特性を安定に広帯域化あるいは高域の利得にピーキングを生じさせるための技術に関する。

【背景技術】**【0002】**

40

広帯域な信号増幅が可能な増幅回路として帰還増幅回路が知られている。帰還増幅回路は、図13に示すように、入力信号 V_{in} を初段トランジスタ11のベースで受け、その初段トランジスタ11のコレクタと初段負荷抵抗12(帰還抵抗)との接続点に現れる初段出力信号を、次段トランジスタ13のベースに与え、次段トランジスタ13のコレクタと次段負荷抵抗14との接続点に現れる次段出力信号(帰還増幅回路の出力信号) V_{out} を、帰還用トランジスタ15のベースに与え、帰還用トランジスタ15のエミッタから初段負荷抵抗12を介して次段トランジスタ13のベースに逆位相で帰還する構成を有している。

【0003】

このように、帰還増幅回路は、2段接続されたエミッタ接地型増幅回路の出力信号を工

50

ミッタフォロア回路で初段負荷抵抗を介して次段トランジスタのベースに負帰還しているため、広帯域な動作が可能となる。

【0004】

なお、各種の通信装置や測定装置等を実装される増幅回路では、例えば特許文献1に示しているように、上記帰還増幅回路を2組用い、各組の初段トランジスタのエミッタ同士を共通の定電流源に接続し、各組の次段トランジスタのエミッタ同士を共通の定電流源に接続して差動動作させるものが一般的である。

【0005】

上記した従来の帰還増幅回路の電圧利得 A_v は、初段トランジスタによる増幅部の裸利得を A_{v1} ($= g_{m1} \cdot R_{L1}$)、次段トランジスタによる増幅部の裸利得を A_{v2} ($= g_{m2} \cdot R_{L2}$) とし、帰還用トランジスタ15による次段出力信号 V_{out} の帰還がゲイン1で十分広帯域に行なわれると仮定すると、特許文献1にも示されているように、

$$A_v = A_{v1} \cdot A_{v2} / K \quad (1)$$

$$K = (1 + g_{m2} \cdot R_{L2}) (1 + j\omega a) (1 + j\omega b) (1 + j\omega c) \quad (2)$$

で表される。

【0006】

ここで、 g_{m1} は初段トランジスタの相互コンダクタンス、 g_{m2} は次段トランジスタの相互コンダクタンス、 R_{L1} は初段負荷抵抗の抵抗値、 R_{L2} は次段負荷抵抗の抵抗値、 C_L は次段トランジスタのコレクタの負荷容量、 a は初段トランジスタのベースでの時定数、 b は次段トランジスタのベースでの時定数、 c は次段トランジスタのコレクタでの時定数、 ω は角周波数であり、初段トランジスタ内部のベース抵抗を r_{b1} 、入力容量を C_1 、次段トランジスタのベース抵抗を r_{b2} 、入力容量を C_2 とすれば、 $a \sim c$ は、それぞれ次のように表される。

【0007】

$$a = C_1 \cdot r_{b1} \quad (3)$$

$$b = \{ C_2 \cdot (R_{L1} + r_{b2}) / (1 + g_{m2} \cdot R_{L2}) \} \times \{ (1 + j\omega C_L \cdot R_{L2}) / (1 + j\omega c) \} \quad (4)$$

$$c = C_L \cdot R_{L2} / (1 + g_{m2} \cdot R_{L2}) \quad (5)$$

上式(1)(2)において、角周波数 ω が低く、 $j\omega a$ 、 $j\omega b$ 、 $j\omega c$ の各値が1に対して無視できる程度に小さい範囲では、 K は $(1 + g_{m2} \cdot R_{L2})$ に近似され、利得 A_v は、

$$A_v = A_{v1} \cdot A_{v2} / (1 + g_{m2} \cdot R_{L2}) = A_{v1} \cdot A_{v2} / (1 + A_{v2})$$

で一定となり、仮に $1 \ll A_{v2}$ であれば、帰還増幅回路全体の利得 A_v は、ほぼ初段の利得に A_{v1} に等しくなる。

【0008】

また、角周波数 ω が高くなって、 $j\omega a$ 、 $j\omega b$ 、 $j\omega c$ の各値が1に対して無視できない大きになると、利得 A_v は、角周波数 ω が高くなるにつれて低下することになるが、帰還が掛かることで、次段トランジスタのベースおよびコレクタの時定数が、帰還が無い状態に比べて $1 / (1 + g_{m2} \cdot R_{L2})$ に低減されるため、帰還が無い増幅回路に比べて広帯域な特性が得られる。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平2-223209号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

このように、帰還増幅回路は、帰還が無い増幅回路に比べて広帯域な特性が得られるが、近年の通信速度の高速化等に対応するために、さらなる広帯域化や高い周波数域での高利得化が望まれている。

10

20

30

40

50

【 0 0 1 1 】

これを実現する一つの技術として、前記した特許文献 1 では、次段負荷抵抗が接続されている帰還増幅回路の信号出力端子に、一端が接地された容量を接続することによりピーキング特性を得る技術が開示されている。

【 0 0 1 2 】

しかしながら、上記した従来回路では、次段負荷抵抗に直に接続された容量のみでピーキング特性を得るので、上記容量により次段トランジスタのコレクタの時定数が大きくなってしまい、高周波領域での利得の低下が急峻になり、得られる帯域が制限されるという問題があった。また、帰還増幅回路の信号出力端子に容量を直に接続するため、出力反射特性が悪化するという問題もあった。

10

【 0 0 1 3 】

また、大きなピーキング量を得るためには、大面積の容量を形成する必要があり、回路レイアウトにおいて各配線が長くなってしまい、余計な配線の寄生成分や帰還信号の位相遅れが生じやすくなり、それにより意図しない共振や発振が発生して回路の動作が不安定になる問題があった。

【 0 0 1 4 】

また、従来回路では、次段負荷抵抗に接続された容量のみでピーキング特性を得るため、ピーキング量とピーク周波数を自由に設定することができない不便さがあった。

【 0 0 1 5 】

本発明は、これらの問題を解決し、安定な動作を維持しながら広帯域化する、あるいは高い周波数域でピーキング特性を得ることができる帰還増幅回路を提供することを目的としている。

20

【課題を解決するための手段】

【 0 0 1 6 】

前記目的を達成するために、本発明の請求項 1 の帰還増幅回路は、

入力信号を初段トランジスタ (2 2 、 3 2) のベースで受け、該初段トランジスタのコレクタに接続された初段負荷抵抗回路 (2 3 、 3 3) に現れる初段出力信号を、次段トランジスタ (2 4 、 3 4) のベースに与え、該次段トランジスタのコレクタに接続された次段負荷抵抗回路 (2 5 、 3 5) に現れる次段出力信号を、帰還用トランジスタ (2 6 、 3 6) のベースに入力し、該帰還用トランジスタのエミッタから前記初段負荷抵抗回路を介して前記次段トランジスタのベースに帰還する帰還増幅回路において、

30

前記次段負荷抵抗回路に現れる次段出力信号の信号出力点と、前記帰還用トランジスタのベースとの間が、前記次段トランジスタのベースに帰還される信号成分のうち、所定周波数より高域の信号成分の帰還量を減少させるための帰還制御用の抵抗 (2 7 、 3 7) を介して接続され、前記初段負荷抵抗回路が複数の抵抗の直列接続回路で構成され、前記初段負荷抵抗回路に現れる初段出力信号が前記複数の抵抗の接続点から出力され、前記次段トランジスタのベースに入力されることを特徴とする。

【 0 0 1 7 】

また、本発明の請求項 2 の帰還増幅回路は、入力信号を初段トランジスタ (2 2 、 3 2) のベースで受け、該初段トランジスタのコレクタに接続された初段負荷抵抗回路 (2 3 、 3 3) に現れる初段出力信号を、次段トランジスタ (2 4 、 3 4) のベースに与え、該次段トランジスタのコレクタに接続された次段負荷抵抗回路 (2 5 、 3 5) に現れる次段出力信号を、帰還用トランジスタ (2 6 、 3 6) のベースに入力し、該帰還用トランジスタのエミッタから前記初段負荷抵抗回路を介して前記次段トランジスタのベースに帰還する帰還増幅回路において、前記次段負荷抵抗回路に現れる次段出力信号の信号出力点と、前記帰還用トランジスタのベースとの間が、前記次段トランジスタのベースに帰還される信号成分のうち、所定周波数より高域の信号成分の帰還量を減少させるための帰還制御用の抵抗 (2 7 、 3 7) を介して接続され、前記次段負荷抵抗回路が複数の抵抗の直列接続回路で構成され、前記複数の抵抗の接続点の前記帰還制御用の抵抗を介して前記帰還用トランジスタのベースに入力される前記次段出力信号の信号出力点であることを特徴とする

40

50

。

【 0 0 1 8 】

また、本発明の請求項 3 の帰還増幅回路は、

前記帰還用トランジスタのベースに帰還制御用のキャパシタ (2 8 、 3 8) が接続され、該帰還制御用のキャパシタと前記帰還制御用の抵抗とで形成された R C 型のローパスフィルタにより、前記次段トランジスタのベースに帰還される信号成分のうち、所定周波数より高域の信号成分の帰還量を減少させることを特徴とする。

【 発明の効果 】

【 0 0 1 9 】

このように、本発明の請求項 1 、 2 では、帰還増幅回路の次段負荷抵抗回路に現れる次段出力信号の信号出力点と、帰還用トランジスタのベースとの間が、帰還制御用の抵抗を介して接続されている。

10

【 0 0 2 0 】

このようにエミッタフォロア回路を形成する帰還用トランジスタのベースに帰還制御用の抵抗を直列に挿入したことで、エミッタフォロア回路の高周波領域で利得が低下する周波数が、帰還制御用の抵抗が無い場合に比べて低い方に変化する。

【 0 0 2 1 】

これは、エミッタフォロア回路の周波数特性の極 (カットオフ周波数) が、帰還制御用の抵抗の値が大きくなるほど低くなることに起因して生じる作用であり、この作用によって、帰還用トランジスタから次段トランジスタへの信号の帰還量が低下し始める周波数が、帰還制御用の抵抗が無い場合に比べて低くなり、その結果、その周波数より高域で帰還増幅回路全体の利得が上昇し、周波数特性を広帯域化したり、ピーキングを生じさせることができる。また、信号出力端子に容量を接続する従来方法に比べ、ピーク周波数以上の利得低下が小さく、出力反射特性の劣化も生じない。

20

【 0 0 2 2 】

また、本発明の請求項 3 では、帰還用トランジスタのベースに帰還制御用のキャパシタを接続して帰還制御用の抵抗とで R C 型のローパスフィルタを形成している。このため、帰還用トランジスタのベースに入力される信号が減衰し始める周波数と減衰度合いが、R C 型のローパスフィルタの特性により調整でき、帰還制御用の抵抗の抵抗値とキャパシタの容量値の組合せによって、ピーキング量およびピーク周波数を高い自由度で設定できる。

30

。

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】 本発明の実施形態の回路図

【 図 2 】 帰還制御用の抵抗およびコンデンサの有無による帰還量の周波数特性の変化を示す図

【 図 3 】 実施形態の帰還制御用の抵抗の抵抗値変化に対する周波数特性図

【 図 4 】 入力部に用いたエミッタフォロア回路

【 図 5 】 実施形態と従来回路の利得の周波数特性図

【 図 6 】 実施形態と従来回路の出力反射係数の周波数特性図

40

【 図 7 】 本発明の別の実施形態の回路図

【 図 8 】 本発明の別の実施形態の帰還制御用のキャパシタの容量変化に対する利得の周波数特性図

【 図 9 】 本発明の別の実施形態の帰還制御用のキャパシタの容量変化に対する出力反射係数の周波数特性図

【 図 1 0 】 本発明の別の実施形態の抵抗とキャパシタの組合せに対する利得の周波数特性図

【 図 1 1 】 非差動型 (シングル型) の帰還増幅回路に本発明を適用した例を示す回路図

【 図 1 2 】 負荷抵抗回路を 2 つの抵抗の直列接続回路で形成した実施形態の回路図

50

【図 1 3】従回路を示す図

【発明を実施するための形態】

【0024】

以下、図面に基づいて本発明の実施の形態を説明する。

【0025】

図 1 は、本発明を適用した帰還増幅回路 20 の構成を示す図である。

【0026】

この帰還増幅回路 20 は、二組の帰還増幅回路 21、31 を用いた差動型のものであり、一方の帰還増幅回路 21 は、入力信号 $V_{in(+)}$ を、初段トランジスタ 22 のベースで受け、初段トランジスタ 22 のコレクタに一端側が接続された初段負荷抵抗回路 23 (帰還抵抗回路) に現れる初段出力信号 V_1 を、次段トランジスタ 24 のベースに与え (抵抗を介して入力する場合もある)、次段トランジスタ 24 のコレクタに一端側が接続された次段負荷抵抗回路 25 に現れる次段出力信号 (帰還増幅回路 20 の一方の出力信号) V_{out} を、帰還用トランジスタ 26 のベースに与え、帰還用トランジスタ 26 のエミッタから初段負荷抵抗回路 23 を介して次段トランジスタ 24 のベースに逆位相で帰還する構成を有している。

10

【0027】

他方の帰還増幅回路 31 も同様に、入力信号 $V_{in(-)}$ を、初段トランジスタ 32 のベースで受け、その初段トランジスタ 32 のコレクタに一端側が接続された初段負荷抵抗回路 33 (帰還抵抗回路) に現れる初段出力信号 V_1 を、次段トランジスタ 34 のベースに与え、次段トランジスタ 34 のコレクタに一端側が接続された次段負荷抵抗回路 35 に現れる次段出力信号 (帰還増幅回路 20 の他方の出力信号) V_{out} を、帰還用トランジスタ 36 のベースに与え、帰還用トランジスタ 36 のエミッタから初段負荷抵抗回路 33 を介して次段トランジスタ 34 のベースに逆位相で帰還する構成を有している。

20

【0028】

そして、二組の帰還増幅回路 21、31 が差動動作するように、帰還増幅回路 21 の初段トランジスタ 22 のエミッタと帰還増幅回路 31 の初段トランジスタ 32 のエミッタが共通の定電流源 41 を介して電源 V_e に接続され、帰還増幅回路 21 の次段トランジスタ 24 のエミッタと帰還増幅回路 31 の次段トランジスタ 34 のエミッタが、共通の定電流源 42 を介して電源 V_e に接続されている。また、帰還増幅回路 21 の次段負荷抵抗回路 25 と帰還用トランジスタ 26 のコレクタ、帰還増幅回路 31 の次段負荷抵抗回路 35 と帰還用トランジスタ 36 のコレクタはアース (電源 V_e より高電位の電源に接続する場合もある) に接続されている。

30

【0029】

なお、ここでは、初段負荷抵抗回路 23、33 がそれぞれ単一の抵抗 23a、33a で形成され、その抵抗 23a、33a と初段トランジスタ 22、32 のコレクタとの接続点に現れる初段出力信号 V_1 、 V_1 を出力し、次段負荷抵抗回路 25、35 が単一の抵抗 25a、35a で形成され、その抵抗 25a、35a と次段トランジスタ 24、34 のコレクタとの接続点に現れる次段出力信号 V_{out} 、 V_{out} を出力する回路例について説明するが、後述するように、初段負荷抵抗回路 23、33 や次段負荷抵抗回路 25、35 をそれぞれ二つの抵抗の直列接続回路で形成し、その二つの抵抗の接続点から信号を出力させる回路の場合でも本発明を適用できる。

40

【0030】

これら帰還増幅回路 21、31 の高域側の周波数特性を改善して広帯域化するために、帰還増幅回路 21 の次段出力信号 V_{out} の信号出力点 (この回路例では次段トランジスタ 24 のコレクタと次段負荷抵抗回路 25 との接続点) と帰還用トランジスタ 26 のベースの間が、所定抵抗値 R_s の帰還制御用の抵抗 27 を介して接続され、帰還増幅回路 31 の次段出力信号 V_{out} の信号出力点 (次段トランジスタ 34 のコレクタと次段負荷抵抗回路 35 との接続点) と、帰還用トランジスタ 36 のベースの間も所定抵抗値 R_s の帰還制御用の抵抗 37 を介して接続されている。

50

【 0 0 3 1 】

次に、上記構成の帰還増幅回路 2 0 の基本的な動作について説明するが、二組の帰還増幅回路 2 1、3 1 の初段トランジスタ 2 2、3 2 の特性、初段負荷抵抗回路 2 3、3 3 の抵抗値、次段トランジスタ 2 4、3 4 の特性、次段負荷抵抗回路 2 5、3 5 の抵抗値、帰還用トランジスタ 2 6、3 6 の特性、帰還制御用の抵抗 2 7、3 7 の抵抗値は互いに等しいものとし、定電流源 4 1、4 2 により、各トランジスタの動作点が非飽和領域で適正に動作するように設定されているものとする。

【 0 0 3 2 】

ここで、二組の帰還増幅回路 2 1、3 1 に、振幅が等しく互いに位相が反転した入力信号 $V_{in}(+)$ 、 $V_{in}(-)$ が与えられ、一方の入力信号 $V_{in}(+)$ の電圧が上昇した場合、帰還増幅回路 2 1 の初段トランジスタ 2 2 に流れる電流が増大し、それに伴って初段出力信号 V_{out1} の電圧が減少し、次段トランジスタ 2 4 に流れる電流が減少し、次段出力信号 V_{out} の電圧が上昇する。

【 0 0 3 3 】

この次段出力信号 V_{out} は、帰還制御用の抵抗 2 7 を介して帰還用トランジスタ 2 6 のベースに入力されているので、次段出力信号 V_{out} の電圧が上昇すると帰還用トランジスタ 2 6 のエミッタ電圧も上昇するので、入力信号 $V_{in}(+)$ の電圧上昇による初段トランジスタ 2 2 と初段負荷抵抗回路 2 3 との接続点の電圧降下が抑制されて負帰還が掛かることになる。また、入力信号 $V_{in}(+)$ の電圧が下降する場合には、上記動作と反対の電流変化、電圧変化が起きるため、次段出力信号 V_{out} には、2 段接続のエミッタ接地型増幅器が有する利得から負帰還量を減じた利得で入力信号 $V_{in}(+)$ を増幅した信号が現れることになる。

【 0 0 3 4 】

一方の帰還増幅回路 2 1 が上記動作をしている状態で、他方の帰還増幅回路 3 1 は、 $V_{in}(+)$ に対して位相が反転した入力信号 $V_{in}(-)$ が入力され、初段トランジスタ 3 2 の電流は、共通の定電流源 4 1 に接続されている帰還増幅回路 2 1 の初段トランジスタ 2 2 の電流の増減変化と逆に増減変化する。同様に、次段トランジスタ 3 4 の電流は、共通の定電流源 4 2 に接続されている帰還増幅回路 2 1 の次段トランジスタ 2 4 の電流の増減変化と逆に増減変化するので、次段出力信号 V_{out} として、帰還増幅回路 2 1 の次段出力信号 V_{out} に対して位相が反転した信号が現れることになる。

【 0 0 3 5 】

この帰還増幅回路 2 0 のように、エミッタフォロア回路を形成する帰還用トランジスタ 2 6、3 6 のベースに帰還制御用の抵抗 2 7、3 7 を直列に挿入したことで、エミッタフォロア回路の高周波領域で利得が低下する周波数が、帰還制御用の抵抗が無い場合に比べて低い方に变化する。これは、エミッタフォロア回路の周波数特性の極（またはカットオフ周波数）が、帰還制御用の抵抗の値が大きくなるほど低くなることに起因して生じる作用であり、この作用によって、帰還用トランジスタから次段トランジスタへの信号の帰還量が低下し始める周波数が、帰還制御用の抵抗が無い場合に比べて低くなり、その結果、その周波数より高域で帰還増幅回路全体の利得が上昇し、周波数特性を広帯域化することができる。

【 0 0 3 6 】

帰還用トランジスタ 2 6、3 6 が、通常のバイポーラトランジスタとすると、上記トランジスタで構成されるエミッタフォロア回路の極の周波数 p_1 は、近似的に下記の式となる。

【 0 0 3 7 】

$$|p_1| = 1 / (2 R_1 C) \quad R_1 = r \{ (R_S + r_b + R_E) / (1 + g_m R_E) \} \quad (6)$$

ただし、 r 、 r_b 、 C 、 g_m は、帰還用トランジスタのベース・エミッタ間抵抗、ベース抵抗、ベース・エミッタ間容量、相互コンダクタンスであり、 R_S は、帰還制御用抵抗の抵抗値、 R_E は、帰還用トランジスタのエミッタに接続された抵抗の抵抗値である

。また、記号 $X \parallel Y$ は、 X と Y の並列抵抗を示す。

【0038】

上式より、ベースに抵抗 R_S が接続されていない場合に比べて、ベースに抵抗 R_S が接続されている場合の方が、エミッタフォロア回路のカットオフ周波数が低くなる。

【0039】

このように、エミッタフォロア回路のベースに抵抗を直列に接続することで、エミッタフォロア回路の周波数特性を、ベースに抵抗が接続されていない状態の図2の特性Aから特性Bのようにシフトさせることができる。

【0040】

この特性Bは、帰還制御用の抵抗27、37がベースに接続された帰還用トランジスタ26、36で構成されるエミッタフォロア回路の特性を示すものであり、この特性Bを伝達関数 $F(s)$ ($F(0) = 1$) と仮定して、帰還増幅回路20全体の特性を求めると、

$$A_v = (g_{m1} \cdot R_{L1}) (g_{m2} \cdot R_{L2}) / K = A_{v1} \cdot A_{v2} / K \quad (7)$$

$$K = (1 + F(s) \cdot g_{m2} \cdot R_{L2}) \times (1 + j\omega a) (1 + j\omega b) (1 + j\omega c) \quad (8)$$

で表される。

【0041】

前記同様に、 g_{m1} は初段トランジスタ22、32の相互コンダクタンス、 g_{m2} は次段トランジスタ24、34の相互コンダクタンス、 R_{L1} は初段負荷抵抗回路23、33の抵抗値、 R_{L2} は次段負荷抵抗回路25、35の抵抗値、 C_L は次段トランジスタ24、34のコレクタの負荷容量、 a は初段トランジスタ22、32のベースでの時定数、 b は次段トランジスタ24、34のベースでの時定数、 c は次段トランジスタ24、34のコレクタでの時定数である。

【0042】

初段トランジスタ22、32の内部のベース抵抗を r_{b1} 、入力容量を C_1 、次段トランジスタ24、34の内部のベース抵抗を r_{b2} 、入力容量を C_2 とすれば、 a 、 b 、 c はそれぞれ次のように表される。

【0043】

$$a = C_1 \cdot r_{b1} \quad (9)$$

$$b = \{ C_2 \cdot (R_{L1} + r_{b2}) / (1 + F(s) \cdot g_{m2} \cdot R_{L2}) \} \times \{ (1 + j\omega C_L \cdot R_{L2}) / (1 + j\omega c) \} \quad (10)$$

$$c = C_L \cdot R_{L2} / (1 + F(s) \cdot g_{m2} \cdot R_{L2}) \quad (11)$$

式(7)、(8)において、角周波数が低く、 $j\omega a$ 、 $j\omega b$ 、 $j\omega c$ の各値が1に対して無視できる程度に小さく、 $F(s)$ が1に近い範囲では、 K は $(1 + g_{m2} \cdot R_{L2})$ に近似され、電圧利得 A_v は、

$$A_v = A_{v1} \cdot A_{v2} / (1 + g_{m2} \cdot R_{L2})$$

となり、帰還制御用の抵抗が無い場合と同じになる。

【0044】

また、角周波数が高くなり、 $F(s)$ が低下する周波数領域では、利得の分母の $(1 + F(s) \cdot g_{m2} \cdot R_{L2})$ の項が低下(帰還量が低下)するので、利得 A_v が増加し、周波数特性をより広帯域にすることができる。

【0045】

図3は、帰還増幅回路20において、帰還制御用の抵抗27、37の抵抗値 R_S を0、50、100に変えたときの利得(S_{21})の周波数特性を示している(実施例1)。ただし、同図は図4のエミッタフォロアからなる入力バッファ回路を帰還増幅回路20の前段(V_{in+} 、 V_{in-} 端子)に接続して、上記入力バッファ回路の V_i 端子に信号入力した場合の特性である。また、回路を形成する各トランジスタは、ベース抵抗：十数、ベース・エミッタ間容量：十数 fF (フェムトファラッド)、電流増幅率：約50、遮断周波数：約200GHzの標準的な InP (インジウム・リン) HBT (ヘテロバイ

10

20

30

40

50

ポーラトランジスタ)である。

【0046】

図3から明らかなように、帰還制御用の抵抗の値RSが増すと、帰還増幅回路の帯域が向上することが判る。

【0047】

また、図3において帰還制御用の抵抗を100とした場合、30GHzで低域の利得に対する利得偏差が+0.4dB程度のピーキング特性が得られ、最も広帯域な特性となっている。従来回路を用いて同じように低域の利得に対する利得偏差が+0.4dB程度のピーキング特性を得るには、次段負荷抵抗に接続する容量値は230fF程度が必要となる。

【0048】

そこで、230fFの容量を次段負荷抵抗回路に接続した場合の従来回路の利得と出力反射係数(S22)の周波数特性を図5、図6に示す。また、比較として帰還制御用の抵抗100の場合の本発明の実施例回路の利得と出力反射係数の周波数特性も同グラフにそれぞれ示す。

【0049】

図5より、従来回路では、25GHzで低域の利得に対する利得偏差が+0.4dB程度のピーキング特性が得られているが、25GHz以上での利得の低下が急峻であり、3dB帯域は本発明の実施例回路が62GHz程度であるのに対し、従来回路では43GHz程度と低くなっている。これは、従来回路では次段負荷抵抗回路(次段トランジスタのコレクタ)に直に容量を接続するので、次段トランジスタのコレクタの時定数が大きくなり、25GHz以上で帰還増幅回路全体の利得を低下させるためである。

【0050】

また、図6より、本発明の実施例回路は低域での出力反射係数が-8dB程度で周波数が高くなるほど低下しているのに対し、従来回路では帰還増幅回路の信号出力端子(Vout端子)に直に容量を接続するため、高周波領域で出力インピーダンスが低下し、50GHzにおいて-4dB程度まで悪化している。

【0051】

また、従来回路では230fFの容量を回路上に形成する必要があるが、一般的な高周波ICプロセスで用いられる窒化シリコン膜を誘電体として平行平板型のキャパシタを形成する方法では、230fFの容量値を得るには数百 μm^2 もの面積を要する。それにより従来回路では回路が大型化し、各配線長が長くなり、意図しない共振や発振が生じやすくなる。一方、本発明の実施例回路では広帯域特性を得るため100の抵抗を用いているが、一般的な高周波ICプロセスで用いられる窒化タングステンシリサイド膜で抵抗体を形成する方法では、100の抵抗値は従来回路の上記容量に比べ、1/10以下の面積で実現できる。そのため本発明の実施例回路では各配線を短くでき、帰還増幅回路の動作を不安定にすることなく広帯域化することができる。

【0052】

なお、本実施例では高周波ICプロセスで帰還増幅回路を形成する場合の帰還制御用の抵抗として、窒化タングステンシリサイド膜で形成する抵抗を一例として述べたが、別の材料やトランジスタのコレクタコンタクト層を用いて抵抗を形成してもよい。また、電界効果トランジスタ等による可変抵抗素子を用いて、帰還制御用の抵抗の値を外部電圧で可変できる構成としてもよい。

【0053】

上記実施形態では、帰還用トランジスタ26、36のベースに帰還制御用の抵抗27、37を直列に挿入して、帰還量が低下しはじめる周波数を下げ、その周波数より高い領域で帰還増幅回路全体の利得を高くして広帯域化していたが、図7に示すように、帰還制御用の抵抗27、37と帰還用トランジスタ26、36のベースとの接続点に帰還制御用のキャパシタ28、38を接続することでRC型のローパスフィルタを形成し、高域側の帰還量をより高い自由度で制御することもできる。

10

20

30

40

50

【 0 0 5 4 】

このように構成した帰還増幅回路 2 0 では、帰還用トランジスタ 2 6、3 6 のベースに R C 型のローパスフィルタが接続されたことになり、その R C 型のローパスフィルタの抵抗値およびキャパシタの容量値を選ぶことで、帰還用トランジスタで構成されるエミッタフォロア回路の周波数特性を、図 2 の特性 A、B に比べてカットオフ周波数が低い特性 C にできる。

【 0 0 5 5 】

この特性 C を伝達関数 $F(\omega)$ とすれば、帰還増幅回路の利得 A_v は、前記した式 (7)、(8) の $F(\omega)$ を $F(\omega)$ に置き換え、さらに式 (1 0)、(1 1) の次段負荷抵抗回路の時定数 $R_L 2 C_L$ を、帰還制御用の抵抗の抵抗値 R_S と帰還制御用のキャパシタの容量値 C_S の成分を考慮した式、

$R_L 2 [C_L + C_S / (1 + R_S C_S j \omega)]$
に置き換えた特性となる。

【 0 0 5 6 】

なお、帰還用トランジスタのベース・エミッタ間抵抗が、式 (6) の r_b 、 R_S より十分高い場合、 $F(\omega)$ の極の周波数は、 $1 / \{ 2 (R_L C_L + R_S C_S) \}$ と近似できる。

【 0 0 5 7 】

したがって、帰還制御用キャパシタにより、帰還量が低下しはじめる周波数が低下し、その周波数より高域で帰還増幅回路全体の利得が上昇することになり、より広帯域な特性やピーキング特性が得られる。

【 0 0 5 8 】

図 8、図 9 は、実施例 1 と同じ条件のもとで、帰還制御用の抵抗 2 7、3 7 の値 $R_S = 5 0 \Omega$ とし、帰還制御用のキャパシタ 2 8、3 8 の容量値 C_S を、0、2 0 f F、5 0 f F としたときの利得 (S 2 1) と出力反射係数 (S 2 2) の周波数特性を示している。また、比較のために、実施例 1 の $R_S = 1 0 0 \Omega$ のときの特性を同図に破線で示す。

【 0 0 5 9 】

図 8 から明らかのように、キャパシタ 2 8、3 8 の容量値 C_S が増すと高域側の利得のピーキング量が増加している。これは C_S を増すことにより帰還用トランジスタから次段トランジスタへの高域側の信号の帰還量が低下するためである。 $C_S = 5 0 \text{ f F}$ では、4 0 G H z までの利得はそれ以下の容量値の場合より大きいですが、3 0 G H z 以上で利得の減衰が急峻になっている。これは帰還制御用キャパシタにより次段トランジスタのコレクタ時定数が大きくなる効果によるものである。 $C_S = 2 0 \text{ f F}$ の場合、広帯域でかつ比較的平坦な周波数特性が得られており、帰還制御用のキャパシタを設けることで $R_S = 5 0 \Omega$ の抵抗値でも、実施例 1 の $R_S = 1 0 0 \Omega$ の時と同程度の特性が得られている。また、 $C_S = 2 0 \text{ f F}$ の場合、帰還制御用のキャパシタは帰還制御用の抵抗と同程度の面積で形成できるため、この構成でも回路面積を小さくできる。

【 0 0 6 0 】

また、図 9 より、出力反射係数は、 C_S がいずれの値の場合でも - 8 d B 以下が得られている。これは、本発明の実施例回路の構成では、帰還制御用のキャパシタが帰還増幅回路の信号出力端子に対して帰還制御用の抵抗を介して接続され、帰還制御用の抵抗がない場合に比べて信号出力端子に付加される容量成分の影響が軽減されるためである。

【 0 0 6 1 】

以上のように、抵抗値 R_S と容量値 C_S を最適化することにより、帰還増幅回路の高域側の帰還量を制御でき、安定に周波数特性を広帯域にしたり、所望の周波数でピーキング特性を得ることができる。

【 0 0 6 2 】

また、例えば通信システムで使用されるタイミング再生回路により抽出されたクロック信号を増幅する増幅器等では、特定の高い周波数の利得を大きくすることが要求される。図 1 0 は、本発明の帰還増幅回路において、抵抗値 R_S と容量値 C_S のみを調整して、低

10

20

30

40

50

域に対するゲイン偏差 + 2 d B 程度のピーキングを生じさせ、さらにそのピーク周波数を調整した場合の特性である。それぞれピーク周波数が 2 5 G H z、3 0 G H z、4 0 G H z 程度となっている。このように実施形態の回路では抵抗値 R S と容量値 C S を調整することで、所望の周波数でピーキングを生じさせ、特定の周波数で高いゲインを得られる。

【 0 0 6 3 】

なお、帰還制御用のキャパシタは I C 表面に形成する平行平板型のキャパシタを一例として述べたが、半導体の p n 接合部の容量を利用してよく、その場合、バラクタダイオード等の可変容量素子を用いて、帰還制御用のキャパシタの容量値を外部電圧で調整できる構成としてもよい。

【 0 0 6 4 】

なお、上記実施例では、主材料として I n P で形成されたトランジスタで構成された帰還増幅回路について述べたが、シリコンやガリウム砒素等、別の材料で形成されたトランジスタで構成された帰還増幅回路についても本発明を同様に適用できる。

【 0 0 6 5 】

上記実施形態は、二組の帰還増幅回路 2 1、3 1 を用いて差動型に構成したものであるが、帰還増幅回路 2 1、3 1 の一方だけを用いたシングル型の増幅回路の場合にも、本発明を適用できる。その場合には、例えば図 1 1 のように、初段トランジスタ 2 2 と次段トランジスタ 2 4 のエミッタにそれぞれ抵抗 5 1、5 2 を接続する構成としてもよい。この帰還増幅回路 2 1 では、帰還制御用の抵抗 2 7 とキャパシタ 2 8 を設けているが、キャパシタ 2 8 を省いて帰還制御用の抵抗 2 7 のみで、帰還量の制御を行なってもよい。

【 0 0 6 6 】

また、前記実施形態では、初段トランジスタと次段トランジスタとで増幅部を形成していたが、前記したように、図 4 に示したようなエミッタフォロアからなる入力バッファ回路を併用した帰還増幅回路についても本発明を同様に適用できる。

【 0 0 6 7 】

また、前記実施形態では、初段負荷抵抗回路 2 3、3 3 を単一の抵抗 2 3 a、3 3 a で形成し、その抵抗 2 3 a、3 3 a と初段トランジスタ 2 2、3 2 のコレクタとの接続点に現れる初段出力信号 V 1、V 1 を出力し、次段負荷抵抗回路 2 5、3 5 を単一の抵抗 2 5 a、3 5 a で形成し、その抵抗 2 5 a、3 5 a と次段トランジスタ 2 4、3 4 のコレクタとの接続点に現れる次段出力信号 V out、V out を出力していたが、図 1 2 に示すように、初段負荷抵抗回路 2 3、3 3 あるいは次段負荷抵抗回路 2 5、3 5 をそれぞれ 2 つの抵抗の直列接続回路で形成した回路にも本発明を適用できる。

【 0 0 6 8 】

初段負荷抵抗回路を 2 つの抵抗の直列接続回路とする場合、一方の初段トランジスタ 2 2 のコレクタに接続された初段負荷抵抗回路 2 3 を形成する二つの抵抗 2 3 a、2 3 b の接続点に現れる初段出力信号 V 1 を次段トランジスタ 2 4 のベースに入力させ、他方の初段トランジスタ 3 2 のコレクタに接続された初段負荷抵抗回路 3 3 を形成する二つの抵抗 3 3 a、3 3 b の接続点に現れる初段出力信号 V 1 を次段トランジスタ 3 4 のベースに入力させる。

【 0 0 6 9 】

また、次段負荷抵抗回路を 2 つの抵抗の直列接続回路とする場合、一方の次段トランジスタ 2 4 のコレクタに接続された次段負荷抵抗回路 2 5 を形成する二つの抵抗 2 5 a、2 5 b の接続点を帰還用の信号出力点とし、この信号出力点と帰還用トランジスタ 2 6 のベースの間に帰還用の抵抗 2 7 を挿入して、次段出力信号 V 2 を帰還させ、他方の次段トランジスタ 3 4 のコレクタに接続された次段負荷抵抗回路 3 5 を形成する二つの抵抗 3 5 a、3 5 b の接続点を帰還用の信号出力点とし、この信号出力点と帰還用トランジスタ 3 6 のベースの間に帰還用の抵抗 3 7 を挿入して、次段出力信号 V 2 を帰還させる。なお、この回路の場合、帰還増幅回路としての出力信号 V out、V out を、次段トランジスタ 2 4、3 4 のコレクタから出力させている。

【 0 0 7 0 】

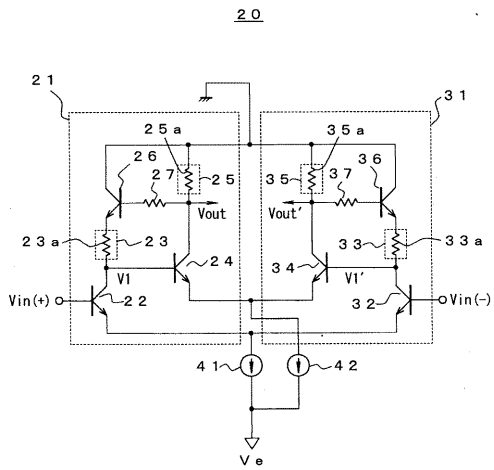
上記図 1 2 の回路では、帰還制御用のキャパシタを用いていたが、帰還制御用の抵抗だけで構成することもできる。

【符号の説明】

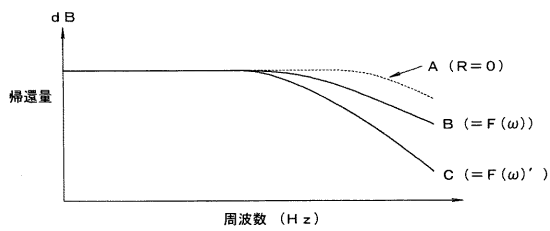
【 0 0 7 1 】

- 2 0 帰還増幅回路、 2 1、 3 1 帰還増幅回路、 2 2、 3 2 初段トランジスタ、 2 3、 3 3 初段負荷抵抗回路、 2 4、 3 4 次段トランジスタ、 2 5、 2 5、 3 5、 3 5 次段負荷抵抗回路、 2 6、 3 6 帰還用トランジスタ、 2 7、 3 7 帰還制御用の抵抗、 2 8、 3 8 帰還制御用のキャパシタ、 4 1、 4 2 定電流源

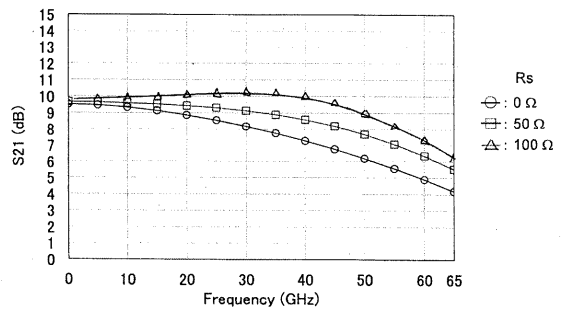
【 図 1 】



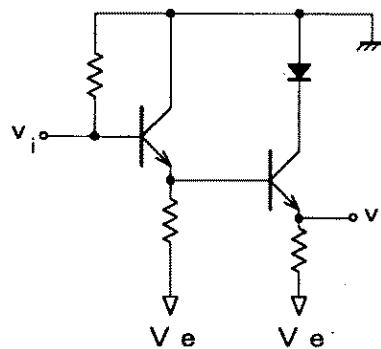
【 図 2 】



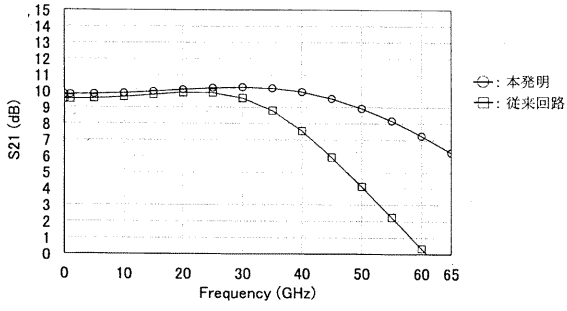
【 図 3 】



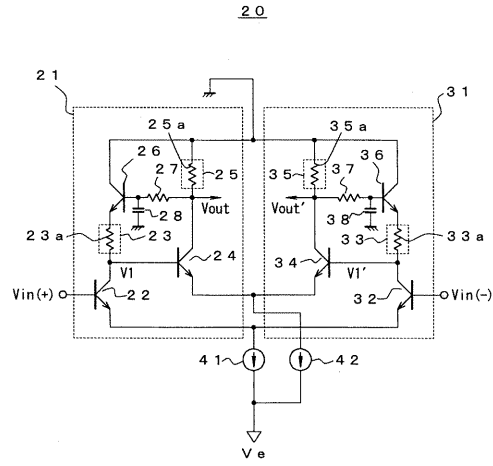
【 図 4 】



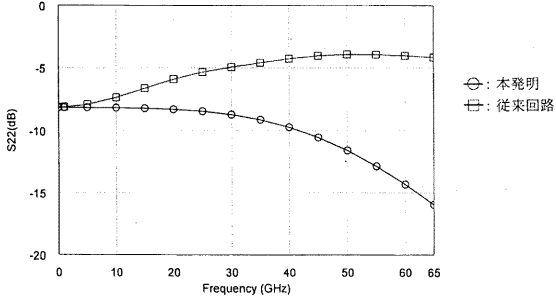
【図5】



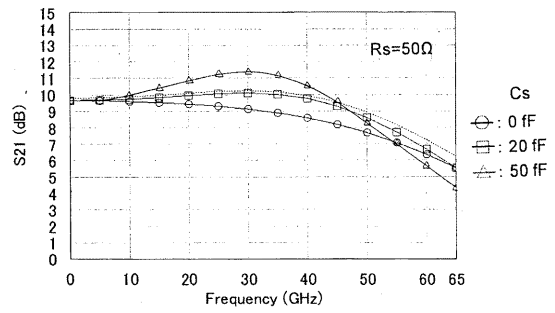
【図7】



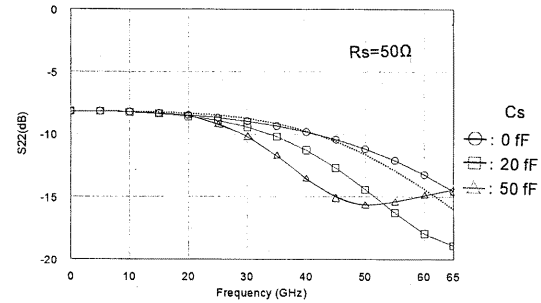
【図6】



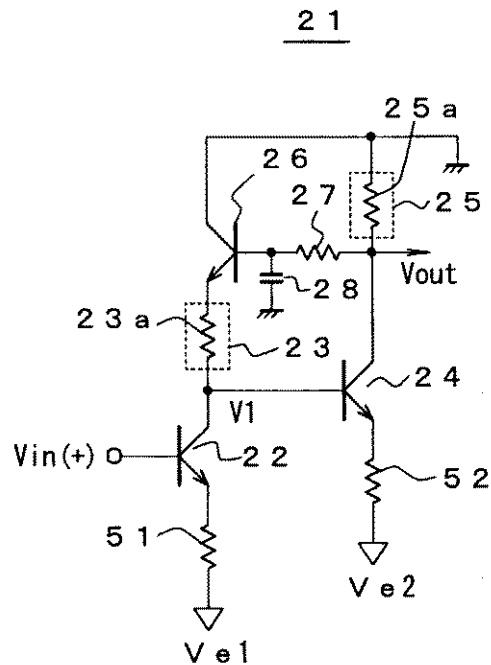
【図8】



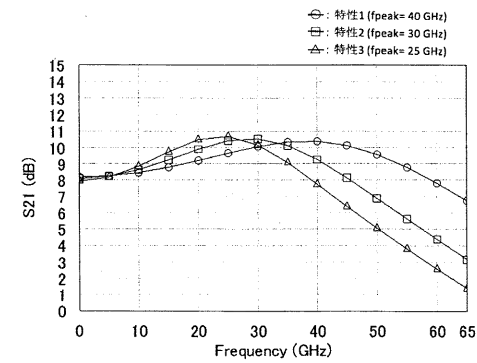
【図9】



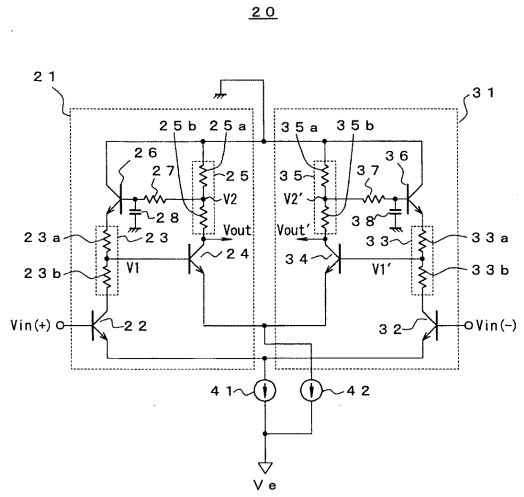
【図11】



【図10】



【図 1 2】



【図 1 3】

