

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-101067

(P2019-101067A)

(43) 公開日 令和1年6月24日(2019.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/3291 (2016.01)	G09G 3/3291	5C080
G09G 3/20 (2006.01)	G09G 3/20 621L	5C380
H01L 51/50 (2006.01)	G09G 3/20 612F	
H01L 27/32 (2006.01)	G09G 3/20 623B	

審査請求 未請求 請求項の数 7 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2017-228286 (P2017-228286)
 (22) 出願日 平成29年11月28日(2017.11.28)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WOR
 LD PATENT & TRADEMA
 RK
 (72) 発明者 山野 要
 大阪府堺市堺区匠町1番地 シャープ株式
 会社内
 Fターム(参考) 3K107 AA01 BB01 CC31 CC45 HH04
 5C080 AA06 BB05 DD08 DD22 FF11
 FF12 JJ02 JJ03

最終頁に続く

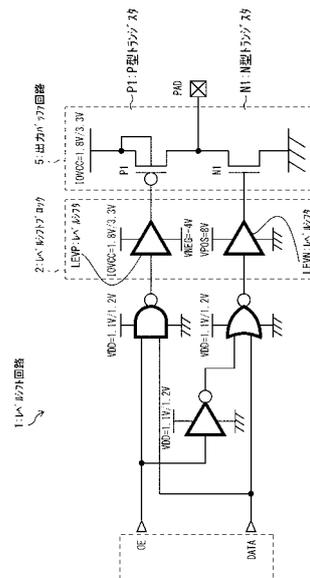
(54) 【発明の名称】 レベルシフト回路及び表示装置駆動ドライバ

(57) 【要約】

【課題】出力バッファ専用最適化されたプロセスを追加することなく、駆動能力を引き上げる。

【解決手段】レベルシフト回路(1)のレベルシフトブロック(2)が、P型トランジスタ(P1)を駆動する信号の振幅レベルを負側に拡張するレベルシフタ(LEV P)と、N型トランジスタ(N1)を駆動する信号の振幅レベルを正側に拡張するレベルシフタ(LEV N)とを含む。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

信号出力するための P 型トランジスタと N 型トランジスタとで構成される出力バッファ回路を備え、

前記 P 型トランジスタをオンさせるゲート信号レベルは前記出力バッファ回路の負側電源電位よりも低い電位であり、

前記 N 型トランジスタをオンさせるゲート信号レベルは前記出力バッファ回路の正側電源電位よりも高い電位であることを特徴とするレベルシフト回路。

【請求項 2】

ロジック信号をレベルシフトするレベルシフトブロックと、

信号出力するための P 型トランジスタと N 型トランジスタとを含む出力バッファ回路とを備え、

前記レベルシフトブロックが、前記 P 型トランジスタを駆動する信号の振幅レベルを負側に拡張する第 1 レベルシフトと、前記 N 型トランジスタを駆動する信号の振幅レベルを正側に拡張する第 2 レベルシフトとを含むことを特徴とするレベルシフト回路。

【請求項 3】

前記第 1 レベルシフトは、表示装置のための階調電圧を生成する階調電圧生成回路により生成された階調電圧のうちの一つに基づいて、前記 P 型トランジスタを駆動する信号の振幅レベルを負側に拡張する請求項 2 に記載のレベルシフト回路。

【請求項 4】

前記第 1 レベルシフトにより拡張された負側の電圧が、前記 P 型トランジスタの耐圧を超えない電圧である請求項 2 に記載のレベルシフト回路。

【請求項 5】

前記第 2 レベルシフトは、表示装置のための階調電圧を生成する階調電圧生成回路に供給される電源電圧に基づいて、前記 N 型トランジスタを駆動する信号の振幅レベルを正側に拡張する請求項 2 に記載のレベルシフト回路。

【請求項 6】

前記第 2 レベルシフトにより拡張された正側の電圧が、前記 N 型トランジスタの耐圧を超えない電圧である請求項 2 に記載のレベルシフト回路。

【請求項 7】

請求項 3 又は 5 に記載のレベルシフト回路と、

前記階調電圧生成回路により生成された階調電圧に基づいて表示装置を駆動するソース駆動回路とを備えることを特徴とする表示装置駆動ドライバ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ロジック信号を入出力信号にレベルシフトするレベルシフト回路及びこれを用いた表示装置駆動ドライバに関し、特に、多電源を要する表示装置駆動ドライバに用いられるレベルシフト回路に関する。

【背景技術】**【0002】**

演算や記憶を行う半導体素子は、低消費電力化や高速動作のため動作電圧が低下している。しかしながら、表示素子については、高電圧での駆動が一般的である。

【0003】

表示素子を駆動するディスプレイドライバ IC の場合、ロジック信号用の制御電源（例えば 1.1 V）の他に、階調電圧用電源（例えば 8 V）、パネル内トランジスタ駆動用電源（例えば 20 V や 10 V）が必要となる。これに加え、表示装置の他のロジックデバイスと接続するための、入出力系電源（例えば 1.8 V）のために最適なトランジスタが必要になる場合もある。

【0004】

10

20

30

40

50

それぞれの電圧で最適に動作するトランジスタを同一の半導体素子上に形成するには、不純物注入条件の異なる領域をそれぞれ設ける必要があり製造プロセスが増加する。

【0005】

このため特許文献1では、製造プロセスを増加させること無く複数の不純物濃度を作成する事が記載されている。

【0006】

また、製造プロセスが複雑化すると、マスク枚数と受注から製品供給までの所要時間 (TAT、Turn Around Time)が増加することでコストや納期に影響する。入出力系に使用できるトランジスタは、階調用電源用トランジスタで耐圧がクリアできる。このため、入出力系のために階調用電源用トランジスタが設定され入出力系のための専用トランジスタが設定されないことがある。

10

【0007】

入出力系のための専用トランジスタが設定されない場合、必要以上の耐圧が設定された階調用電源用トランジスタのプロセスを使用して入出力系に使用するトランジスタを作成する必要がある。

【0008】

図6に入出力系の出力バッファ回路95を備えた従来のレベルシフト回路91の回路図を示す。図6は出力制御信号OEがイネーブルの場合、出力信号DATAを外部へ出力する例を示している。

【0009】

出力制御信号OEおよび出力信号DATAは、ロジック系の信号のVDD-GNDレベル(1.1V)である。このため、レベルシフト回路91のインバータ、NAND、NORは制御ロジック用電源(1.1V)で最適な動作になるようなプロセスで作成される。レベルシフトブロック92および出力バッファ回路95のP型トランジスタP0およびN型トランジスタN0は、ロジック系の信号(1.1V)を入出力系の信号(1.8V)へ変換し、出力を行う必要があるため、入出力系電源(1.8V)で最適な動作になるプロセスで作成したい。しかしながら、専用のプロセスが無いので、耐圧が1.8V以上で最適な動作電圧に近い階調用電源(8V)のプロセスで作成する。

20

【0010】

このレベルシフト回路91により、ロジック系の信号(1.1V)の出力信号DATAが、レベルシフトブロック92および出力バッファ95で入出力系の信号(1.8V)に変換されて外部へ出力される。

30

【0011】

図7に従来の一般的なレベルシフタの回路図を示す。このレベルシフタは、2個のN型トランジスタN51、N52と、ゲートが互いに双方のドレインに接続されるクロスカップル型の2個のP型トランジスタP51、P52と、インバータINV50とを備える。このインバータINV50は入力端子INの入力信号を反転し、1.1Vの低電圧源VDD(図示せず)で動作する。インバータINV50以外の素子は、1.8Vの高電圧源IOVCCで動作する高電圧側の素子である。

【0012】

2個のN型トランジスタN51、N52は、ソースが接地されると共に、互いに相補の信号、すなわち入力端子INの入力信号、及びインバータINV50からの入力信号の反転信号をそれぞれ受け取る。2個のP型トランジスタP51とP52とは、ソースが高電圧源IOVCCに接続され、ゲートは互いに相手方のドレインにクロスカップル接続され、ドレインが各々N型トランジスタN51、N52のドレインにそれぞれ接続される。P型トランジスタP51とN型トランジスタN51との接続点をノードW51とし、P型トランジスタP52とN型トランジスタN52との接続点をノードW52とする。更に、出力端子OUTは、ノードW52に接続される。

40

【0013】

次に、前記レベルシフタの動作を説明する。定常時では、例えば入力信号がH(VDD

50

)レベル、その反転信号がL (GND = 0V)レベルの時、N型トランジスタN51はON、N型トランジスタ52はOFF、P型トランジスタP51はOFF、P型トランジスタP52はON状態にある。また、一方のノードであるノードW51はL (GND)レベル、他方のノードであるノードW52はH (IOVCC)レベルにある。N型トランジスタN51とP型トランジスタP51と、N型トランジスタN52とP型トランジスタP52とは、各々相補的な関係にあるので、この定常時では電流は流れない。

【0014】

その後、入力信号がL (GND)レベルに変化し、状態遷移時になると、N型トランジスタN51がOFF、N型トランジスタN52はONする。従って、高電圧源IOVCCからON状態のP型トランジスタP52及びN型トランジスタN52を経てGNDへ貫通電流が流れ、ノードW52の電位はH (IOVCC)レベルから低下し始める。ノードW52の電位がIOVCC - Vtp (VtpはP型トランジスタP52の閾値電圧)以下に低下すると、P型トランジスタP51がONし始め、ノードW51の電位 (P型トランジスタP52のゲートの電位)は上昇して、P型トランジスタP52のドレイン電流は少なくなり、ノードW52の電位は一層低くなる。

10

【0015】

最終的に、ノードW51の電位はH (IOVCC)レベル、ノードW52の電位はL (GND)レベルになり、貫通電流は流れなくなって、出力論理が反転し、次の入力信号の変化待ち状態となる。以上、入力信号がHレベル (VDD)からLレベル (GND)に変化した場合について説明したが、その逆の場合もレベルシフトは同様に動作する。

20

【先行技術文献】

【特許文献】

【0016】

【特許文献1】特開平7-161821号公報 (1995年6月23日公開)

【発明の概要】

【発明が解決しようとする課題】

【0017】

上記背景技術の説明では、ノードW52の電位がIOVCC - Vtp以下に低下すると、P型トランジスタP51がONし始める。しかしながら、図7に示すレベルシフトは階調電源 (8V)のプロセスで作成しているので、閾値電圧Vtpが大きく、ノードW52の電位がIOVCC - Vtp以下に低下するのに時間がかかる。このため、レベルシフトのスイッチングスピードが遅くなる。同様の事が他のトランジスタでも起こるため、スイッチングのスピードを確保するためには、より大きなトランジスタを必要とするという課題がある。同様に出力バッファにおいても、閾値を超えた十分なゲート電圧を得られないため、電流供給能力の仕様を実現するために、より大きなトランジスタを必要とする課題がある。

30

【0018】

本発明の一態様は、出力バッファ専用に最適化されたプロセスを追加することなく、駆動能力を引き上げることができる駆動方法と、その駆動方法を実現するレベルシフト回路及び表示装置駆動ドライバを実現することを目的とする。

40

【課題を解決するための手段】

【0019】

上記の課題を解決するために、本発明の一態様に係るレベルシフト回路は、信号出力するためのP型トランジスタとN型トランジスタとで構成される出力バッファ回路を備え、前記P型トランジスタをオンさせるゲート信号レベルは前記出力バッファ回路の負側電源電位よりも低い電位であり、前記N型トランジスタをオンさせるゲート信号レベルは前記出力バッファ回路の正側電源電位よりも高い電位であることを特徴とする。

【0020】

上記の課題を解決するために、本発明の一態様に係る他のレベルシフト回路は、ロジック信号をレベルシフトするレベルシフトブロックと、入出力信号を出力するためのP型ト

50

ランジスタとN型トランジスタとを含む出力バッファ回路とを備え、前記レベルシフトブロックが、前記P型トランジスタを駆動する信号の振幅レベルを負側に拡張する第1レベルシフトと、前記N型トランジスタを駆動する信号の振幅レベルを正側に拡張する第2レベルシフトとを含むことを特徴とする。

【0021】

上記の課題を解決するために、本発明の一態様に係る表示装置駆動ドライバは、本発明に係るレベルシフト回路と、前記階調電圧生成回路により生成された階調電圧に基づいて表示装置を駆動するソース駆動回路とを備えることを特徴とする。

【発明の効果】

【0022】

本発明の一態様によれば、出力バッファ専用に最適化されたプロセスを追加することなく、駆動能力を引き上げることができるレベルシフト回路及び表示装置駆動ドライバを提供することができる。

【図面の簡単な説明】

【0023】

【図1】実施形態1に係る表示装置のブロック図である。

【図2】上記表示装置に設けられた駆動ドライバのブロック図である。

【図3】上記駆動用ドライバに設けられたレベルシフト回路の回路図である。

【図4】上記レベルシフト回路に設けられた第1レベルシフトの回路図である。

【図5】上記レベルシフト回路に設けられた第2レベルシフトの回路図である。

【図6】従来のレベルシフト回路の回路図である。

【図7】従来のレベルシフトの回路図である。

【発明を実施するための形態】

【0024】

〔実施形態1〕

以下、本発明の一実施形態について、詳細に説明する。図1は、アクティブマトリックス型有機ELディスプレイの表示装置101の要部を示すブロック図である。この表示装置101は、マトリクス状に形成された複数の画素102と、駆動ドライバ8と、Flashメモリー104とを備える。そして、各画素102は、ゲートライン121と、データライン122とに接続される。また、各画素102は、第1薄膜トランジスタ123と、キャパシタ124と、第2薄膜トランジスタ125と、有機発光ダイオード（発光素子）126とを含む。

【0025】

第1薄膜トランジスタ123は、N型トランジスタにより構成される。この第1薄膜トランジスタ123のゲートはゲートライン121に接続される。また、第1薄膜トランジスタ123のドレインはデータライン122に接続される。また、キャパシタ124は、第1薄膜トランジスタ123のソースに接続される。

【0026】

一方、第2薄膜トランジスタ125は、P型トランジスタにより構成される。この第2薄膜トランジスタ125のゲートは、キャパシタ124を介して、第1薄膜トランジスタ123のソースに接続される。そして、有機発光ダイオード126は、陽極が第2薄膜トランジスタ125のドレインに接続される。

【0027】

また、ゲートライン121は、駆動ドライバ8のゲート駆動信号（Gate drive signals）端子に接続され、データライン122は駆動ドライバ8のソース駆動信号（Source drive signals）端子に接続され、第2薄膜トランジスタ125のソースは有機発光ダイオード電源105の電圧E1vddの端子に接続され、有機発光ダイオード126の陰極は有機発光ダイオード電源105の電圧E1vssの端子に接続される。

【0028】

10

20

30

40

50

更に、駆動ドライバ8は、Flashメモリー104と接続され、クロック信号CLK、出力信号DATA、高電圧源IOVCC、電圧AVDDが外部から供給される。

【0029】

図2に駆動ドライバ8のブロック図を示す。尚、記載する電圧の値は一例であり、本発明はこれらの値に限定されない。

【0030】

駆動ドライバ8は、外部から高電圧源IOVCCと電圧AVDDとが供給される。高電圧源IOVCCは制御回路系の電源であり、1.8Vの電圧が与えられる。電圧AVDDはディスプレイ駆動系の電源の電圧であり、例えば8Vの電圧が与えられる。

【0031】

リニア・レギュレータ(LDO)201は高電圧源IOVCCからの電圧を駆動ドライバ8の内部のロジック動作電圧(VDDD)1.1Vに変換する。

【0032】

シリアル・ペリフェラル・インタフェース(Serial Peripheral Interface, SPI I/F)202は、接続されたFlashメモリー104とのインタフェースである。駆動ドライバ8の内部ロジックで作成されるロジック動作電圧(VDDD)レベルの信号(1.1V)をFlashメモリー104にアクセスする信号(Interface Signals)の信号レベル(IOVCC、1.8V)へレベルシフトしてシリアル・ペリフェラル・インタフェース202は出力する。シリアル・ペリフェラル・インタフェース202に設けられるレベルシフト回路1については後述する。

【0033】

MIPi(Mobile Industry Processor Interface)I/F204は、外部の画像処理用デバイスから表示データDATAと同期信号CLKを受けとるインタフェースである。

【0034】

階調電圧生成回路6(GAMMA VOLTAGE GENERATE BLK)は、画像データに対応した表示電圧(Gamma Voltage)を作成するブロックである。表示電圧は表示するパネルのガンマ特性に合わせて作成され、有機発光ダイオード126の陽極から陰極に流れる電流を制御する第2薄膜トランジスタ125のゲートに印加される。図1に示すその他の画素102においても同様の接続となる。

【0035】

有機発光ダイオード126の陽極には第2薄膜トランジスタ125を介して有機発光ダイオード電源105の正側電源の端子である電圧Elvddの端子が接続され、陰極には負側電源の端子である電圧Elvssの端子が接続される。この正側の電圧Elvddの端子と負側の電圧Elvssの端子は複数ある画素102に共通に接続される。電圧Elvddと電圧Elvssについては、本発明と密接な関係を有しないので、ここでは詳細な説明を省略する。

【0036】

データラッチDAコンバータ(DATA LATCH、D/A converter)206は、表示電圧(Gamma Voltage)から画像データに合致する電圧をソース駆動回路(SOURCE DRIVER)7へ出力する。

【0037】

ソース駆動回路7は、データライン122を駆動するためのバッファを備える。GIP電圧生成ブロック(GIP(gate drivers in panel)VOLTAGE GENERATE BLK)208は、GIP電圧を作成する。GIP電圧は、第1薄膜トランジスタ123をオンできる電圧である。タイミングジェネレータ(Timing Generator)209は、第1薄膜トランジスタ123をオンするタイミングを作成する。

【0038】

10

20

30

40

50

G I Pドライバ (G I P D R I V E R) 2 1 0 は、ゲートライン 1 2 1 を駆動するためのバッファを備える。

【 0 0 3 9 】

ロジックブロック (L O G I C B L K) 2 1 2 は、本発明と密接な関係を有しないので詳細な説明を省略する。

【 0 0 4 0 】

係る構成において、各画素 1 0 2 の駆動は、次の様に行われる。まず、G I Pドライバ 2 1 0、ゲートライン 1 2 1 を介して、第 1 薄膜トランジスタ 1 2 3 のゲートにG I P電圧が印加される。これにより、第 1 薄膜トランジスタ 1 2 3 はオンになる。次に、ソース駆動回路 7 からソース駆動信号がデータライン 1 2 2 へ出力される。ソース駆動信号は、表示対象の画素 1 0 2 に対応するガンマ電圧である。データライン 1 2 2 の電圧は、第 1 薄膜トランジスタ 1 2 3 を通り、キャパシタ 1 2 4 を介して、第 2 薄膜トランジスタ 1 2 5 のゲートに印加され、第 2 薄膜トランジスタ 1 2 5 にゲート電圧に対応した電流が流れる。これにより、有機発光ダイオード 1 2 6 に電流が供給されて、有機発光ダイオード 1 2 6 が所望の輝度で発光する。

【 0 0 4 1 】

次に、シリアル・ペリフェラル・インタフェース 2 0 2 に設けられるレベルシフト回路 1 を、図 3 に示す。

【 0 0 4 2 】

背景技術で図 6 を参照して説明したレベルシフト回路 9 1 とレベルシフト回路 1 の構成は類似するが、レベルシフトブロックの構成が異なり、出力バッファ回路 5 のP型トランジスタ P 1 を駆動するレベルシフト L E V P (第 1 レベルシフト) の低電圧側の電源を低電圧源 V N E G (- 4 V) にし、出力バッファ回路 5 のN型トランジスタ N 1 を駆動するレベルシフト L E V N (第 2 レベルシフト) の高電圧側の電源を高電圧源 V P O S (+ 8 V) にしている。

【 0 0 4 3 】

レベルシフト L E V P の動作を、図 4 を基に説明する。

【 0 0 4 4 】

レベルシフト L E V P は、ロジック系信号 (1 . 1 V) の振幅を高電圧源 I O V C C 系電源電圧 (1 . 8 V) に拡大するシフト回路 L 4 0 と、シフト回路 L 4 0 の高電圧源 I O V C C 系出力信号 (1 . 8 V) を、高電圧源 I O V C C 系電源電圧と低電圧源 V N E G (- 4 V) との間で振幅する信号に変換するシフト回路 L 5 0 とを含む。

【 0 0 4 5 】

レベルシフト L E V P は、出力バッファ回路 5 のP型トランジスタ P 1 のオン動作を高速化する事を目的とするので、入力信号 I N が H (1 . 1 V) から L (G N D) に変化する場合を説明する。

【 0 0 4 6 】

定常時で入力信号 I N が H レベルの時、シフト回路 L 4 0 のN型トランジスタ N 4 2 は O F F しており、N型トランジスタ N 4 1 は O N している。この時、ノード W 4 1 は G N D レベルになっているので、P型トランジスタ P 4 2 が O N してノード W 4 2 が高電圧源 I O V C C レベルになっている。

【 0 0 4 7 】

この時、ノード W 4 1 が接続されているP型トランジスタ P 5 2 は O N し、シフト回路 L 5 0 の出力ノード O U T は高電圧源 I O V C C レベルとなる。

【 0 0 4 8 】

さらに、出力ノード O U T が接続されているN型トランジスタ N 5 1 は O N し、ノード W 5 1 を低電圧源 V N E G レベル (- 4 V) にするので、N型トランジスタ N 5 2 は O F F する。また、高電圧源 I O V C C レベルとなっているノード W 4 2 が接続されているP型トランジスタ P 5 1 は O F F している。

【 0 0 4 9 】

10

20

30

40

50

入力信号 I N が H レベルの定常時から L レベルに移行した時、シフト回路 L 4 0 の N 型トランジスタ N 4 1 が O F F し、N 型トランジスタ N 4 2 が O N する。この時、N 型トランジスタ N 4 2 に接続されるノード W 4 2 が G N D レベルになるので、P 型トランジスタ P 4 1 は O N し、ノード W 4 1 が高電圧源 I O V C C レベルになり、P 型トランジスタ P 4 2 は O F F する。

【 0 0 5 0 】

さらに、ノード W 4 1 とノード W 4 2 とが接続されるシフト回路 L 5 0 の P 型トランジスタ P 5 1 が O N するので、接続されるノード W 5 1 が高電圧源 I O V C C レベルになる。そのため、ノード W 5 1 に接続される N 型トランジスタ N 5 2 が O N し、シフト回路 L 5 0 の出力ノード O U T が低電圧源 V N E G レベル (- 4 V) になる。一方、出力ノード O U T が接続されている N 型トランジスタ N 5 1 は O F F しており、高電圧源 I O V C C レベルになっているノード W 4 1 に接続される P 型トランジスタ P 5 2 も O F F になる。

10

【 0 0 5 1 】

この出力ノード O U T は図 3 のソース電位を高電圧源 I O V C C に接続している P 型トランジスタ P 1 に接続されているので、O N 動作時にはゲート電位が低電圧源 V N E G レベル (- 4 V) となり、ゲートソース間電圧を十分に確保することができるため、駆動電流を P 型トランジスタ P 1 に多く流すことができ、出力バッファ回路 5 のトランジスタサイズを大きくすることなく、仕様の駆動能力を確保する事が可能になる。ここで、低電圧源 V N E G は一例として 4 V として説明しているが、本発明はこれに限定されない。レベルシフトブロック 2 の高電圧源 I O V C C と低電圧源 V N E G レベルとの間の差が、P 型トランジスタ P 1 の耐圧を超えなければよいことは言うまでもない。

20

【 0 0 5 2 】

レベルシフト L E V N の動作を、図 5 を基に説明する。

【 0 0 5 3 】

レベルシフト L E V N は、ロジック系信号 (1 . 1 V) の振幅を高電圧源 I O V C C 系電源電圧 (1 . 8 V) に拡大するシフト回路 L 6 0 と、シフト回路 L 6 0 の高電圧源 I O V C C 系出力信号 (1 . 8 V) を、高電圧源 V P O S (+ 8 V) と G N D との間の振幅を有する信号に変換するシフト回路 L 7 0 とを含む。

【 0 0 5 4 】

レベルシフト L E V N は出力バッファ回路 5 の N 型トランジスタ N 1 のオン動作を高速化する事を目的としているので、入力信号 I N が L (G N D) から H (1 . 1 V) に変化する場合は説明する。

30

【 0 0 5 5 】

定常時で入力信号 I N が L レベルの時、シフト回路 L 6 0 の N 型トランジスタ N 6 1 は O F F しており、N 型トランジスタ N 6 2 は O N している。この時、ノード W 6 2 は G N D レベルになっているので、P 型トランジスタ P 6 1 が O N してノード W 6 1 が高電圧源 I O V C C レベルになっている。

【 0 0 5 6 】

この時、ノード W 6 1 が接続されている N 型トランジスタ N 7 2 は O N し、シフト回路 L 7 0 の出力ノード O U T は G N D レベルとなる。

40

【 0 0 5 7 】

さらに、出力ノード O U T が接続されている P 型トランジスタ P 7 1 は O N し、ノード W 7 1 を高電圧源 I O V C C レベル (1 . 8 V) にするので、P 型トランジスタ P 7 2 は O F F する。また、高電圧源 I O V C C レベルとなっているノード W 7 1 が接続されている N 型トランジスタ N 7 1 は O F F している。

【 0 0 5 8 】

入力信号 I N が L レベルの定常時から H レベルに移行した時、シフト回路 L 6 0 の N 型トランジスタ N 6 2 が O F F し、N 型トランジスタ N 6 1 が O N する。この時、N 型トランジスタ N 6 1 に接続されるノード W 6 1 が G N D レベルになるので、P 型トランジスタ P 6 2 は O N し、ノード W 6 2 が高電圧源 I O V C C レベルになり、P 型トランジスタ P

50

61はOFFする。

【0059】

さらに、ノードW61とノードW62とが接続されるシフト回路L70のN型トランジスタN71がONするので、接続されるノードW71がGNDレベルになる。そのため、ノードW71に接続されるP型トランジスタP72がONし、シフト回路L70の出力ノードOUTが高電圧源VPOSレベル(+8V)になる。一方、出力ノードOUTが接続されているP型トランジスタP71はOFFしており、GNDレベルになっているノードW71に接続されるN型トランジスタN71もOFFになる。

【0060】

この出力ノードOUTはソース電位をGNDに接続している図3のN型トランジスタN1に接続されているので、ON動作時にはN型トランジスタN1のゲート電位が高電圧源VPOSレベル(+8V)となる。このため、N型トランジスタN1のゲートソース間電圧を十分に確保することができる。従って、駆動電流をN型トランジスタN1に多く流すことができる。この結果、出力バッファ回路5のトランジスタサイズを大きくすることなく、出力バッファ回路5を駆動するための仕様の駆動能力を確保する事が可能になる。

【0061】

ここで、高電圧源VPOSの電圧は一例として+8Vとして説明しているが、本発明はこれに限定されない。高電圧源VPOSの電圧は、レベルシフトLEVNのGNDレベルとの差が、N型トランジスタN1の耐圧を超えなければよいことは言うまでもない。

【0062】

高電圧源VPOS(+8V)は、図2のブロック図に示すように、外部から供給される電圧AVDDを使用して作成する。

【0063】

低電圧源VNEGは、図2のブロック図に示すように、階調電圧生成回路6(GAMMA AVOLTAGE GENERATE BLK)で作成する表示電圧(Gamma Voltage)から選択した電圧AVEER(-4V)を使用して作成する。

【0064】

このため、本実施形態に係るレベルシフト回路1は新たな電源を必要としない。レベルシフト回路1は、表示装置101に必要な電圧(電圧AVDD、電圧AVEER)を利用して構成するため、回路が新たな電源のために増大せずチップ面積へのインパクトを最小にすることができる。また、入出力に最適なトランジスタを用意することなく、表示装置を駆動するためのこれまでのデバイスの製造プロセスでレベルシフト回路1を作成できるので、製造プロセスを追加することなく製造TATへの影響も無くなる。

【0065】

このように、本実施形態のレベルシフト回路1は、出力バッファ回路5専用に最適化されたプロセスを追加することなく、駆動能力を引き上げることが可能となり、表示装置101を駆動する駆動ドライバ8と接続されるFlashメモリー104との通信時間を大幅に短縮することができる。

【0066】

〔まとめ〕

本発明の態様1に係るレベルシフト回路1は、信号出力するためのP型トランジスタP1とN型トランジスタN1とで構成される出力バッファ回路5を備え、前記P型トランジスタP1をオンさせるゲート信号レベルは前記出力バッファ回路5の負側電源電位よりも低い電位であり、前記N型トランジスタN1をオンさせるゲート信号レベルは前記出力バッファ回路5の正側電源電位よりも高い電位である。

【0067】

本発明の態様2に係るレベルシフト回路1は、ロジック信号をレベルシフトするレベルシフトブロック2と、入出力信号を出力するためのP型トランジスタP1とN型トランジスタN1とを含む出力バッファ回路5とを備え、前記レベルシフトブロック2が、前記P型トランジスタP1を駆動する信号の振幅レベルを負側に拡張する第1レベルシフト(レ

10

20

30

40

50

ベルシフトLEV P)と、前記N型トランジスタN1を駆動する信号の振幅レベルを正側に拡張する第2レベルシフト(レベルシフトLEV N)とを含んでいる。

【0068】

上記の構成によれば、P型トランジスタを駆動する信号の振幅レベルを負側に拡張され、N型トランジスタを駆動する信号の振幅レベルを正側に拡張される。このため、P型トランジスタに流れる電流が増大し、N型トランジスタに流れる電流が増大する。この結果、出力バッファ専用に最適化されたプロセスを追加することなく、出力バッファ回路のP型トランジスタ及びN型トランジスタの駆動能力を引き上げることができる。

【0069】

本発明の態様3に係るレベルシフト回路1は、上記態様2において、前記第1レベルシフト(レベルシフトLEV P)は、表示装置101のための階調電圧を生成する階調電圧生成回路6により生成された階調電圧のうちの一つに基づいて、前記P型トランジスタP1を駆動する信号の振幅レベルを負側に拡張してもよい。

10

【0070】

上記の構成によれば、表示装置に必要な階調電圧を利用して、P型トランジスタを駆動する信号の振幅レベルを負側に拡張することができる。

【0071】

本発明の態様4に係るレベルシフト回路1は、上記態様2において、前記第1レベルシフト(レベルシフトLEV P)により拡張された負側の電圧が、前記P型トランジスタP1の耐圧を超えない電圧である。

20

【0072】

上記の構成によれば、P型トランジスタを駆動する信号の振幅レベルの拡張によるP型トランジスタの破壊を回避することができる。

【0073】

本発明の態様5に係るレベルシフト回路1は、上記態様2において、前記第2レベルシフト(レベルシフトLEV N)は、表示装置101のための階調電圧を生成する階調電圧生成回路6に供給される電源電圧に基づいて、前記N型トランジスタN1を駆動する信号の振幅レベルを正側に拡張してもよい。

【0074】

上記の構成によれば、表示装置に必要な電源電圧を利用して、N型トランジスタを駆動する信号の振幅レベルを正側に拡張することができる。

30

【0075】

本発明の態様6に係るレベルシフト回路1は、上記態様2において、前記第2レベルシフト(レベルシフトLEV N)により拡張された正側の電圧が、前記N型トランジスタN1の耐圧を超えない電圧である。

【0076】

上記の構成によれば、N型トランジスタを駆動する信号の振幅レベルの拡張によるN型トランジスタの破壊を回避することができる。

【0077】

本発明の態様7に係る表示装置駆動ドライバは、態様3又は5に記載のレベルシフト回路と、前記階調電圧生成回路6により生成された階調電圧に基づいて表示装置を駆動するソース駆動回路7とを備える。

40

【0078】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

【符号の説明】

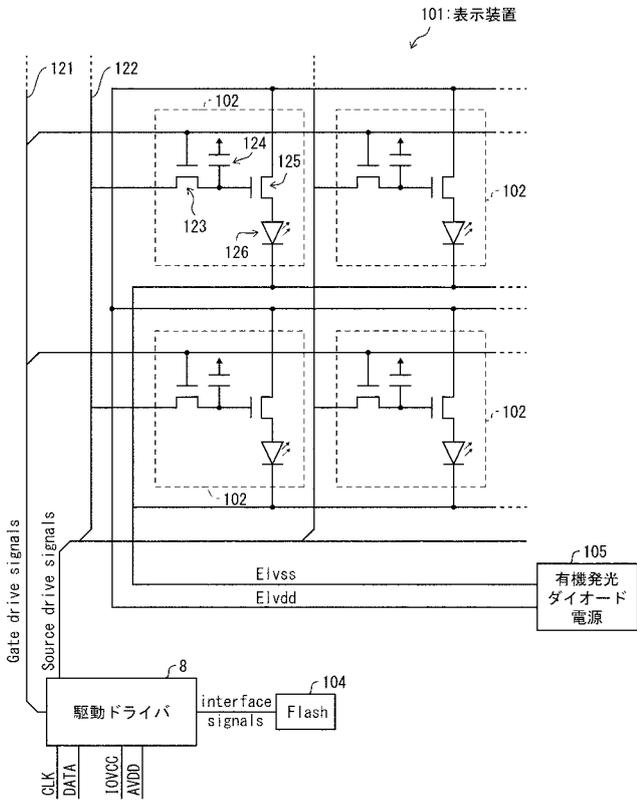
【0079】

50

- 1 レベルシフト回路
- 2 レベルシフトブロック
- 5 出力バッファ回路
- 6 階調電圧生成回路
- 7 ソース駆動回路
- 8 駆動ドライバ (表示装置駆動ドライバ)
- LEVP レベルシフタ (第1レベルシフタ)
- LEVN レベルシフタ (第2レベルシフタ)
- L40 シフタ回路
- L50 シフタ回路
- L60 シフタ回路
- L70 シフタ回路
- IOVCC 高電圧源
- VPOS 高電圧源
- VNEG 低電圧源

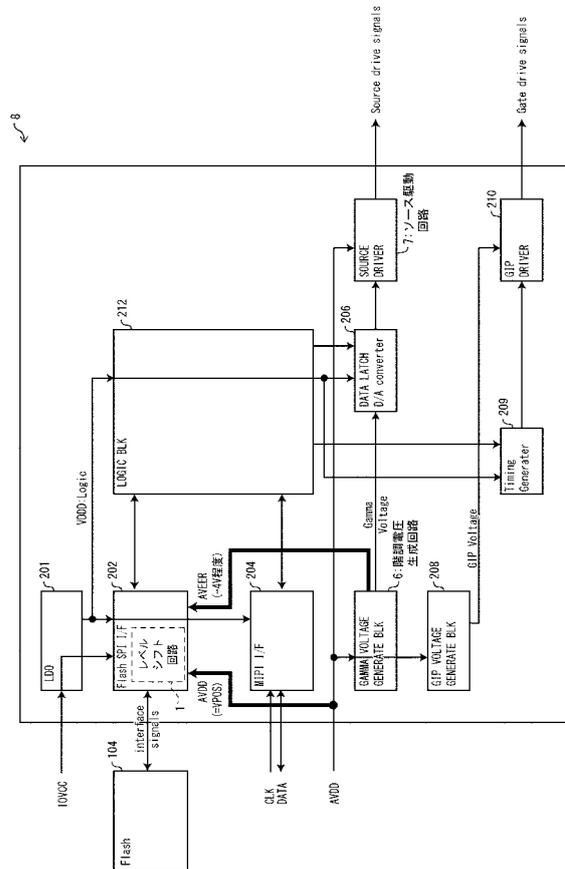
【 図 1 】

図 1

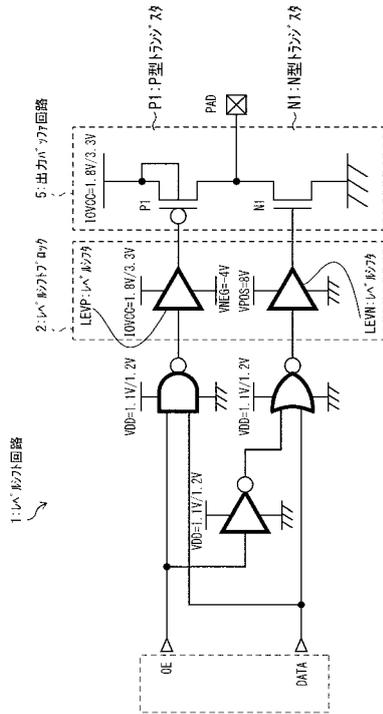


【 図 2 】

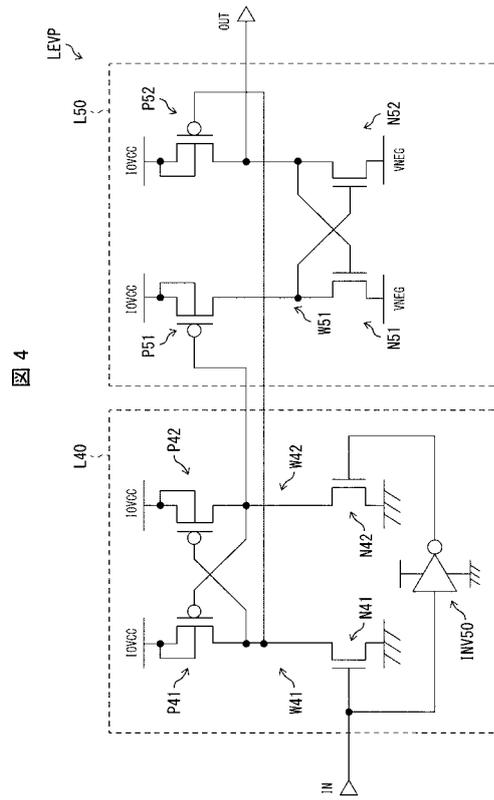
図 2



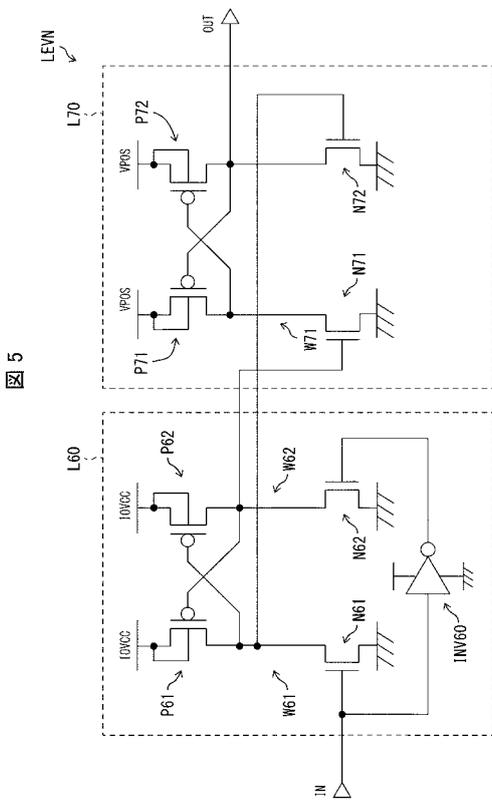
【 図 3 】



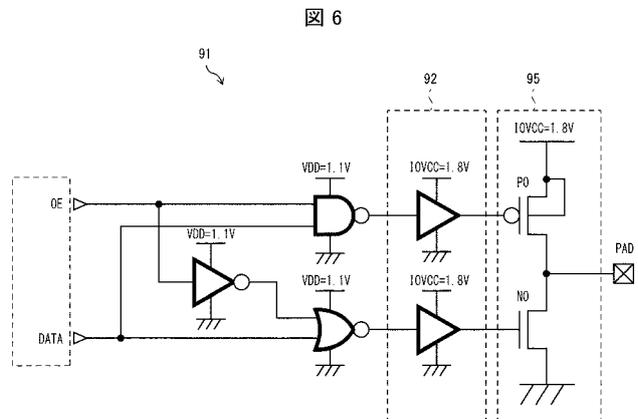
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A
H 0 1 L 27/32

Fターム(参考) 5C380 AA01 AB06 BA11 BA24 BC20 CA12 CA33 CC02 CC26 CC33
CC62 CD012 CE05 CE21 CF05 CF22 CF23 CF24 CF48 DA02
DA06