

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-101829

(P2020-101829A)

(43) 公開日 令和2年7月2日(2020.7.2)

(51) Int. Cl.	F I	テーマコード (参考)
GO9F 9/30 (2006.01)	GO9F 9/30 338	3K107
GO9F 9/35 (2006.01)	GO9F 9/30 365	5C094
HO1L 29/786 (2006.01)	GO9F 9/35	5F110
HO1L 21/336 (2006.01)	GO9F 9/30 340	
HO1L 51/50 (2006.01)	HO1L 29/78 618B	

審査請求 有 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21) 出願番号	特願2020-37785 (P2020-37785)	(71) 出願人	502356528
(22) 出願日	令和2年3月5日 (2020.3.5)		株式会社ジャパンディスプレイ
(62) 分割の表示	特願2016-58455 (P2016-58455)		東京都港区西新橋三丁目7番1号
	の分割	(74) 代理人	110000154
原出願日	平成28年3月23日 (2016.3.23)		特許業務法人はるか国際特許事務所
		(72) 発明者	丸山 哲
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		Fターム(参考)	3K107 AA01 BB01 CC33 CC45 EE04
			EE59 FF15 HH05
			5C094 AA15 AA21 AA22 BA03 BA27
			BA43 CA19 DA11 DB04 FB14
			5F110 AA02 BB02 BB11 CC02 DD11
			GG01 GG02 GG13 HJ13 HJ14
			HM18 NN02 NN71 NN72 NN73
			NN78 QQ08

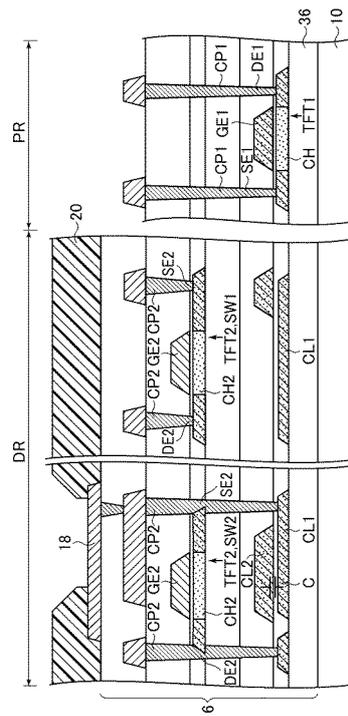
(54) 【発明の名称】 表示装置基板

(57) 【要約】

【課題】 薄膜トランジスタの電流バラツキを小さく、駆動能力を高くすることを目的とする。

【解決手段】 表示装置基板は、画像を表示するための表示領域に設けられた複数の画素電極と、表示領域から表示領域の外側にある周辺領域に至る複数層からなる回路層と、を有する。回路層は、回路層の周辺領域に設けられる低温ポリシリコンからなる複数の第1薄膜トランジスタと、複数の第1薄膜トランジスタ上に積層される絶縁膜と、絶縁膜上に回路層の表示領域に設けられる酸化物半導体からなる複数の第2薄膜トランジスタと、回路層の表示領域で複数の第1薄膜トランジスタと同層にあって、低温ポリシリコンの層にイオンが注入されてなる導電層と、を備える。導電層は、第2薄膜トランジスタと重なる位置にある。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

画像を表示するための表示領域に設けられた複数の画素電極と、
前記表示領域から前記表示領域の外側にある周辺領域に至る複数層からなる回路層と、
を有し、
前記回路層は、
前記回路層の前記周辺領域に設けられる低温ポリシリコンからなる複数の第 1 薄膜トランジスタと、
前記複数の第 1 薄膜トランジスタ上に積層される絶縁膜と、
前記絶縁膜上に前記回路層の前記表示領域に設けられる酸化物半導体からなる複数の第 2 薄膜トランジスタと、
前記回路層の前記表示領域で前記複数の第 1 薄膜トランジスタと同層にあって、前記低温ポリシリコンの層にイオンが注入されてなる導電層と、を備え、
前記導電層は、前記第 2 薄膜トランジスタと重なる位置にあることを特徴とする表示装置基板。

10

【請求項 2】

請求項 1 に記載された表示装置基板において、
前記導電層は、前記第 2 薄膜トランジスタの全体に重畳する大きさを有することを特徴とする表示装置基板。

【請求項 3】

請求項 1 または 2 に記載された表示装置基板において、
前記回路層は、前記表示領域に、前記導電層をキャパシタの一方の電極とし、前記導電層と対向する位置に他方の電極となる第 2 導電層をさらに含み、
前記第 2 導電層は、前記第 1 薄膜トランジスタと同じ層位置にあって前記第 2 薄膜トランジスタよりも下の層位置にあることを特徴とする表示装置基板。

20

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載された表示装置基板において、
前記表示領域に設けられる前記複数の薄膜トランジスタは、前記周辺領域の前記第 1 薄膜トランジスタと同じ層位置に、前記第 1 薄膜トランジスタをさらに含むことを特徴とする表示装置基板。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置基板に関する。

【背景技術】**【0002】**

表示装置は、画素ごとに対応した輝度と色度の発光で画像を表示する。例えば、マトリクス状に配置した複数の画素電極とこれらに共通する共通電極との間に設けた有機発光層に電流を流し発光させる。また、それぞれの画素には複数の薄膜トランジスタやコンデンサが組み合わされた画素回路がレイアウトされている。

40

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2012 - 160679 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

低温ポリシリコンからなる薄膜トランジスタは、駆動能力が高いので多用されている。シリコンは、エキシマレーザーアニールで多結晶化されるが、レーザーのショットバラツキが大きく、各画素の電流バラツキを低減することができない。そのため、補正回路を設ける

50

か、あるいは、レーザを多数回照射して重ねることが必要になり、装置コストやレーザの材料コスト等の課題がある。

【 0 0 0 5 】

近年、薄膜トランジスタプロセスとして、酸化物半導体を使用した製造プロセスが開発されている（特許文献 1）。しかし、酸化物半導体を使用した現行の薄膜トランジスタは、狭額縁や低消費電力等の制約条件を満たすことができない。そこで、酸化物半導体による薄膜トランジスタと、低温ポリシリコンによる薄膜トランジスタを混載するためのプロセスの開発が要望されている。

【 0 0 0 6 】

本発明は、薄膜トランジスタの電流バラツキを小さく、駆動能力を高くすることを目的とする。

10

【課題を解決するための手段】

【 0 0 0 7 】

本発明に係る表示装置基板は、画像を表示するための表示領域に設けられた複数の画素電極と、前記表示領域から前記表示領域の外側にある周辺領域に至る複数層からなる回路層と、を有し、前記回路層は、前記回路層の前記周辺領域に設けられる低温ポリシリコンからなる複数の第 1 薄膜トランジスタと、前記複数の第 1 薄膜トランジスタ上に積層される絶縁膜と、前記絶縁膜上に前記回路層の前記表示領域に設けられる酸化物半導体からなる複数の第 2 薄膜トランジスタと、前記回路層の前記表示領域で前記複数の第 1 薄膜トランジスタと同層にあって、前記低温ポリシリコンの層にイオンが注入されてなる導電層と、を備え、前記導電層は、前記第 2 薄膜トランジスタと重なる位置にあることを特徴とする。

20

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】本発明の第 1 の実施形態に係る表示装置の斜視図である。

【図 2】図 1 に示す表示装置の II - II 線断面図である。

【図 3】本発明の第 1 の実施形態に係る表示装置の回路図である。

【図 4】第 1 の実施形態の回路層の詳細を示す概略図である。

【図 5】第 1 の実施形態の変形例を示す図である。

【図 6】本発明の第 2 の実施形態に係る表示装置の回路図である。

30

【図 7】第 2 の実施形態の回路層の詳細を示す概略図である。

【発明を実施するための形態】

【 0 0 0 9 】

以下、本発明の実施形態について、図面を参照して説明する。

【 0 0 1 0 】

[第 1 の実施形態]

図 1 は、本発明の第 1 の実施形態に係る表示装置の斜視図である。表示装置として、有機エレクトロルミネッセンス表示装置を例に挙げる。表示装置は、例えば、赤、緑及び青からなる複数色の単位画素（サブピクセル）を組み合わせ、フルカラーの画素（ピクセル）を形成し、フルカラーの画像を表示するようになっている。表示装置は、例えば樹脂からなることで柔軟性を有する第 1 基板 10 を有する。第 1 基板 10 には、画像を表示するための素子を駆動するための集積回路チップ 12 が搭載され、外部との電気的接続のためのフレキシブルプリント基板 14 が接続されている。

40

【 0 0 1 1 】

図 2 は、図 1 に示す表示装置の II - II 線断面図である。第 1 基板 10 には回路層 16 が積層されている。回路層 16 の詳細は後述する。回路層 16 の上には、複数の単位画素それぞれに対応するように構成された複数の画素電極 18（例えば陽極）が設けられている。回路層 16 及び画素電極 18 上に、絶縁層 20 が形成されている。絶縁層 20 は、画素電極 18 の周縁部に載り、画素電極 18 の一部（例えば中央部）を開口させるように形成されている。絶縁層 20 によって、画素電極 18 の一部を囲むバンクが形成される。

50

【 0 0 1 2 】

画素電極 1 8 上に自発光素子層 2 2 が設けられている。自発光素子層 2 2 は、複数の画素電極 1 8 に連続的に載り、絶縁層 2 0 にも載るようになっていいる。変形例として、画素電極 1 8 ごとに別々に（分離して）、自発光素子層 2 2 を設けてもよい。自発光素子層 2 2 は、少なくとも発光層を含み、さらに、電子輸送層、正孔輸送層、電子注入層及び正孔注入層のうち少なくとも一層を含んでもよい。

【 0 0 1 3 】

自発光素子層 2 2 の上には、複数の画素電極 1 8 の上方で自発光素子層 2 2 に接触するように、共通電極 2 4（例えば陰極）が設けられている。共通電極 2 4 は、バンクとなる絶縁層 2 0 の上方に載るように形成する。自発光素子層 2 2 は、画素電極 1 8 及び共通電極 2 4 に挟まれ、両者間を流れる電流によって輝度が制御されて発光する。自発光素子層 2 2 は、共通電極 2 4 に積層する封止層 2 6 によって覆われることで封止されて、水分から遮断されている。封止膜 2 6 の上方には、充填層 2 8 を介して、第 2 基板 3 0 が設けられている。第 2 基板 3 0 には、複数色（例えば、青、赤及び緑）からなる着色層 3 2 が設けられ、隣同士の異なる色の着色層 3 2 の間には、ブラックマトリクス 3 4 が金属や樹脂などで形成されて、カラーフィルタを構成している。第 2 基板 3 0 は、タッチパネルであってもよいし、偏光板や位相差板を備えてもよい。

【 0 0 1 4 】

図 3 は、本発明の第 1 の実施形態に係る表示装置の回路図である。表示装置は、画像を表示するための表示領域 DR を有する。表示領域 DR には、画素ごとに表示素子 DE が設けられる。表示素子 DE は、図 2 に示す画素電極 1 8 及び共通電極 2 4 並びにこれらの中に介在する自発光素子層 2 2 からなる。表示素子 DE は、電源線 PWL から供給される電流で発光する。発光は、キャパシタ C に書き込まれる映像信号に応じて輝度が調整される。映像信号は、信号線 SGL から供給されて、第 1 スイッチング素子 SW1 によって書き込まれる。第 1 スイッチング素子 SW1 の制御は、走査線 SCL から入力される走査信号によってなされる。第 2 スイッチング素子 SW2 は、キャパシタ C に書き込まれた映像信号に従って、表示素子 DE を流れる電流を制御する。表示領域 DR の周囲に周辺領域 PR がある。周辺領域 PR には、走査信号や映像信号などを生成する駆動回路が設けられる。

【 0 0 1 5 】

図 4 は、第 1 の実施形態の回路層 1 6 の詳細を示す概略図である。回路層 1 6 は、表示領域 DR から表示領域 DR の外側にある周辺領域 PR に至る。第 1 基板 1 0 には、それ自体が含有する不純物に対するバリア膜 3 6 が形成されている。

【 0 0 1 6 】

回路層 1 6 は、周辺領域 PR に、複数の薄膜トランジスタを含む。周辺領域 PR に設けられる複数の薄膜トランジスタは、低温ポリシリコンからなる第 1 チャネル層 CH1 を有する第 1 薄膜トランジスタ TFT1 である。図 3 に示す周辺領域 PR に形成される駆動回路が第 1 薄膜トランジスタ TFT1 を含む。第 1 薄膜トランジスタ TFT1 は、スタガ型である。そのため、第 1 ソース電極 SE1 及び第 1 ドレイン電極 DE1 のそれぞれと第 1 ゲート電極 GE1 との間に第 1 チャネル層 CH1 が介在しないので、寄生容量が小さくなっており、駆動能力が高い。第 1 チャネル層 CH1 は、第 1 ゲート電極 GE1 との重畳部分からはみ出す部分を有し、この部分はイオンの注入によって抵抗値が低くなっている。回路層 1 6 の第 1 薄膜トランジスタ TFT1 よりも上の絶縁層（複数層）を貫通して、第 1 チャネル層 CH1（第 1 ゲート電極 GE1 の重畳部分からはみ出した部分）に接続する第 1 コンタクトプラグ CP1 が設けられている。

【 0 0 1 7 】

表示領域 DR には、複数の画素電極 1 8 が設けられている。図 2 を参照して上述したように、画素電極 1 8 には絶縁層 2 0 が載る。画素電極 1 8 の上に設けられるその他の部材は、図 4 では省略する。回路層 1 6 は、表示領域 DR に、複数の薄膜トランジスタを含む。表示領域 DR に設けられる複数の薄膜トランジスタは、酸化物半導体からなる第 2 チャネル層 CH2 を有する第 2 薄膜トランジスタ TFT2 を含む。第 2 薄膜トランジスタ TFT

T 2 の第 2 チャネル層 C H 2 は、酸化物半導体からなるので、電流バラツキを小さくすることができる。また、第 2 薄膜トランジスタ T F T 2 は、スタガ型である。そのため、第 2 ソース電極 S E 2 及び第 2 ドレイン電極 D E 2 のそれぞれと第 2 ゲート電極 G E 2 との間に第 2 チャネル層 C H 2 が介在しないので、寄生容量が小さくなっており、駆動能力が高い。第 2 チャネル層 C H 2 は、第 2 ゲート電極 G E 2 との重畳部分からはみ出す部分を有し、この部分はイオンの注入によって抵抗値が低くなっている。

【 0 0 1 8 】

第 2 薄膜トランジスタ T F T 2 は、第 1 薄膜トランジスタ T F T 1 よりも上の層位置にある。したがって、第 2 薄膜トランジスタ T F T 2 は、第 1 薄膜トランジスタ T F T 1 よりも後に形成するので、低温ポリシリコンからなる第 1 チャネル層 C H 1 を形成するときの熱による影響を受けない。

10

【 0 0 1 9 】

図 3 に示す第 1 スイッチング素子 S W 1 及び第 2 スイッチング素子 S W 2 のそれぞれが、図 4 に示す第 2 薄膜トランジスタ T F T 2 である。第 2 スイッチング素子 S W 2 となる第 2 薄膜トランジスタ T F T 2 は、複数の画素電極 1 8 のそれぞれへの電流の供給量を制御するように接続されている。回路層 1 6 の第 2 薄膜トランジスタ T F T 2 よりも上の絶縁層を貫通して、第 2 チャネル層 C H 2 (第 2 ゲート電極 G E 2 の重畳部分からはみ出した部分) に接続する第 2 コンタクトプラグ C P 2 が設けられている。

【 0 0 2 0 】

回路層 1 6 を構成する複数層は、表示領域 D R に、低温ポリシリコンの層にイオンが注入されてなる第 1 導電層 C L 1 を含む。第 1 導電層 C L 1 は、第 1 薄膜トランジスタ T F T 1 の第 1 チャネル層 C H 1 と同じ層位置にあって第 2 薄膜トランジスタ T F T 2 よりも下の層位置にある。第 1 導電層 C L 1 を、第 2 薄膜トランジスタ T F T 2 の全体に重畳する大きさにすることで、第 2 薄膜トランジスタ T F T 2 を、熱や静電気から保護することができる。なお、図 4 の例では、第 2 コンタクトプラグ C P 2 を、第 2 チャネル層 C H 2 の端部を露出させて、さらに、第 1 導電層 C L 1 に至るように設けてある。

20

【 0 0 2 1 】

回路層 1 6 を構成する複数層は、表示領域 D R に、第 1 導電層 C L 1 をキャパシタ C の一方の電極とし、第 1 導電層 C L 1 と対向する位置に他方の電極となる第 2 導電層 C L 2 をさらに含む。第 2 導電層 C L 2 は、第 1 薄膜トランジスタ T F T 1 の第 1 ゲート電極 G E 1 と同じ層位置にあって第 2 薄膜トランジスタ T F T 2 よりも下の層位置にある。キャパシタ C は、第 2 薄膜トランジスタ T F T 2 と重畳するように設けるので、平面的なスペースが要求されない。

30

【 0 0 2 2 】

本実施形態に係る表示装置の製造方法では、周辺領域 P R に、上述した第 1 薄膜トランジスタ T F T 1 を形成する。この工程で、同時に、表示領域 D R に、低温ポリシリコンの層を形成してイオンを注入することで第 1 導電層 C L 1 を形成する。第 1 導電層 C L 1 は、第 2 薄膜トランジスタ T F T 2 の全体と重畳する大きさを有するように形成してもよい。また、この工程で、第 1 ゲート電極 G E 1 の形成と同時に、第 1 導電層 C L 1 とともにキャパシタ C を形成するための電極となる第 2 導電層 C L 2 を形成する。

40

【 0 0 2 3 】

第 1 薄膜トランジスタ T F T 1 を形成した後に、表示領域 D R に、上述した第 2 薄膜トランジスタ T F T 2 を形成する。第 2 薄膜トランジスタ T F T 2 は、第 1 薄膜トランジスタ T F T 1 よりも後に形成するので、低温ポリシリコンからなる第 1 チャネル層 C H 1 を形成するときの熱による影響を受けない。第 2 薄膜トランジスタ T F T 2 を形成した後に、表示領域 D R に複数の画素電極 1 8 を形成する。そして、図 2 に示すように、複数の画素電極 1 8 の上に自発光素子層 2 2 を形成し、自発光素子層 2 2 の上に共通電極 2 4 を形成する。

【 0 0 2 4 】

[変形例]

50

図5は、第1の実施形態の変形例を示す図である。この変形例では、表示領域DRに設けられる複数の薄膜トランジスタは、周辺領域PRの第1薄膜トランジスタTF T 1と同じ層位置に、第1薄膜トランジスタTF T 1を含む。つまり、図3に示す第1スイッチング素子SW 1が、第1薄膜トランジスタTF T 1である。回路層116の第1薄膜トランジスタTF T 1よりも上の絶縁層を貫通して、第1チャネル層CH 1に接続する第1コンタクトプラグCP 1が設けられている。

【0025】

回路層116を構成する複数層は、第1薄膜トランジスタTF T 1の第1チャネル層CH 1の少なくとも端部と重畳するように、第2薄膜トランジスタTF T 2の第2ゲート電極GE 2と同じ層位置で同じ材料からなる金属層140を含む。金属層140は、第1コンタクトプラグCP 1と一体的になるように形成されている。

10

【0026】

上述したように、第2チャネル層CH 2は、第2ゲート電極GE 2との重畳部分からはみ出す部分を有する。この部分は、第2ゲート電極GE 2をマスクとして、イオンを注入することで抵抗値が低くされる。金属層140を設けることで、イオン注入のプロセスによる第1薄膜トランジスタTF T 1の特性低下を防止することができる。

【0027】

本変形例に係る表示装置の製造方法では、周辺領域PRに第1薄膜トランジスタTF T 1を形成する工程で、表示領域DRにも、第1薄膜トランジスタTF T 1を形成する点が、上記実施形態と異なる。

20

【0028】

表示領域DRには、第2薄膜トランジスタTF T 2を形成する。第2ゲート電極GE 2を形成する前に、第2ゲート電極GE 2よりも下にある絶縁層に第1チャネル層CH 1の上面に至るスルーホール142を形成する。第2ゲート電極GE 2の形成と同時に、スルーホール142内に第1コンタクトプラグCP 1を形成するとともに、金属層140を形成する。金属層140は、第1コンタクトプラグCP 1と一体化して第1薄膜トランジスタTF T 1の第1チャネル層CH 1の少なくとも端部と重畳するように形成する。

【0029】

[第2の実施形態]

図6は、本発明の第2の実施形態に係る表示装置の回路図である。本実施形態では、第1スイッチング素子SW 1によって映像信号をキャパシタCに書き込み、第2スイッチング素子SW 2によって表示素子DEを流れる電流が制御され、第3スイッチング素子SW 3によって電流供給をオンオフする。

30

【0030】

図7は、第2の実施形態の回路層216の詳細を示す概略図である。本実施形態では、図6に示すキャパシタCが、直列接続された複数のキャパシタ(第1キャパシタC 1、第2キャパシタC 2及び第3キャパシタC 3)から構成されている。

第1キャパシタC 1は、低温ポリシリコンの層にイオンが注入されてなる一对の電極E 1を含む。一对の電極E 1は、周辺領域PRに形成される第1薄膜トランジスタTF T 1(図4参照)の第1チャネル層CH 1及び第1ゲート電極GE 1と、同層で同じ材料からなる。

40

【0031】

第2キャパシタC 2の一对の電極E 2は、第2スイッチング素子SW 2である第2薄膜トランジスタTF T 2の第2チャネル層CH 2の一部(第2ゲート電極GE 2の重畳部分からはみ出して低抵抗化された部分)からなる電極と、その上方に形成された電極(第2ゲート電極GE 2と同層で同じ材料)とで構成される。

【0032】

第3キャパシタC 3の一对の電極E 3は、第2キャパシタC 2の一方の電極E 2と、その上方に形成された電極で構成される。第2キャパシタC 2と第3キャパシタC 3は、一方の電極を共有することで直列に接続される。第2キャパシタC 2又は第3キャパシタC

50

3の共有しない他方の電極に、コンタクトプラグCPによって、第1キャパシタC1の一方の電極E1が接続される。その他の詳細は、第1の実施形態で説明した内容が該当する。本実施形態に係る表示装置の製造方法では、周辺領域PRに第1薄膜トランジスタTFT1(図4参照)を形成するとき、第3キャパシタC3の一对の電極E3を同時に形成する。また、第2薄膜トランジスタTFT2を形成するとき、第2キャパシタC2の一对の電極E2(第3キャパシタC3の一方の電極E3)を形成する。その後、第3キャパシタC3の他方の電極E3を形成する。

【0033】

なお、表示装置は、有機エレクトロルミネッセンス表示装置には限定されず、量子ドット発光素子(QLED: Quantum Dot Light Emitting Diode)のような発光素子を各画素に備えた表示装置であってもよいし、液晶表示装置であってもよい。

10

本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

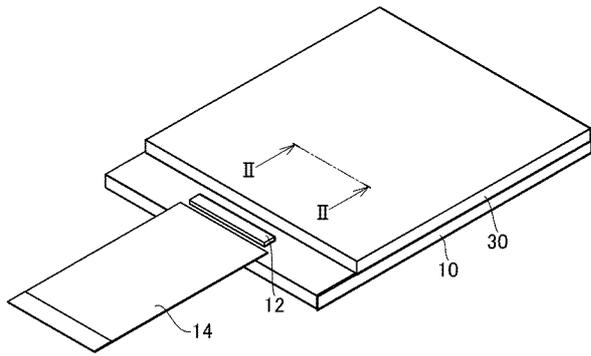
【符号の説明】

【0034】

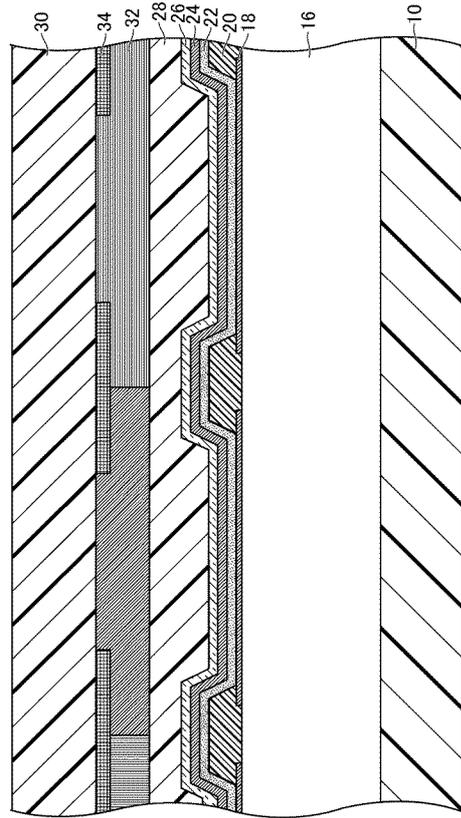
10 第1基板、12 集積回路チップ、14 フレキシブルプリント基板、16 回路層、18 画素電極、20 絶縁層、22 自発光素子層、24 共通電極、26 封止層、28 充填層、30 第2基板、32 着色層、34 ブラックマトリクス、36 バリア膜、116 回路層、140 金属層、142 スルーホール、216 回路層、C キャパシタ、C1 第1キャパシタ、C2 第2キャパシタ、C3 第3キャパシタ、CH1 第1チャンネル層、CH2 第2チャンネル層、CL1 第1導電層、CL2 第2導電層、CP1 第1コンタクトプラグ、CP2 第2コンタクトプラグ、DE 表示素子、DE1 第1ドレイン電極、DE2 第2ドレイン電極、DR 表示領域、E1 電極、E2 電極、E3 電極、GE1 第1ゲート電極、GE2 第2ゲート電極、PR 周辺領域、PWL 電源線、SCL 走査線、SE1 第1ソース電極、SE2 第2ソース電極、SGL 信号線、SW1 第1スイッチング素子、SW2 第2スイッチング素子、SW3 第3スイッチング素子、TFT1 第1薄膜トランジスタ、TFT2 第2薄膜トランジスタ。

20

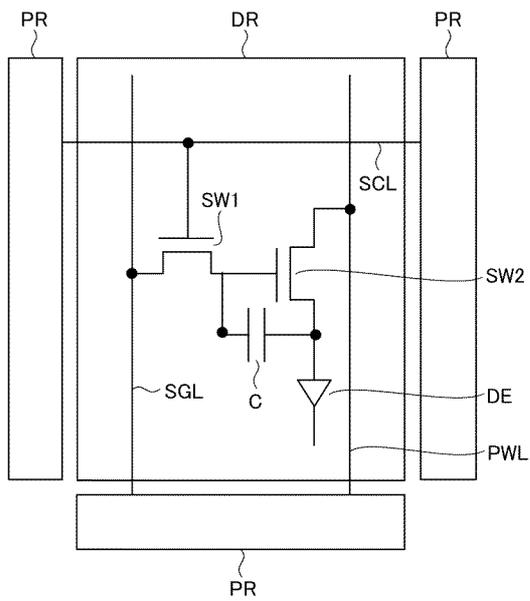
【図 1】



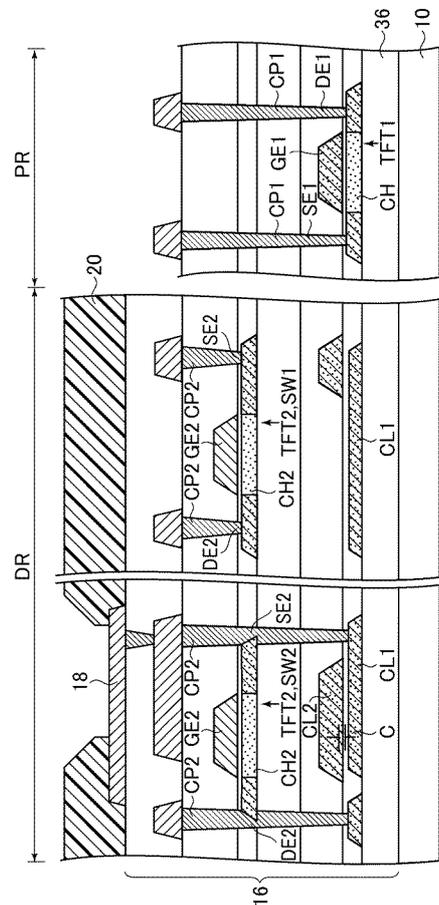
【図 2】



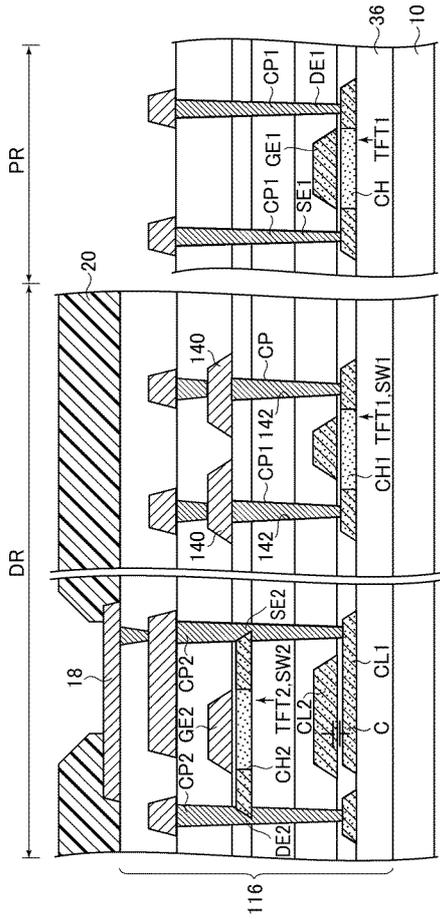
【図 3】



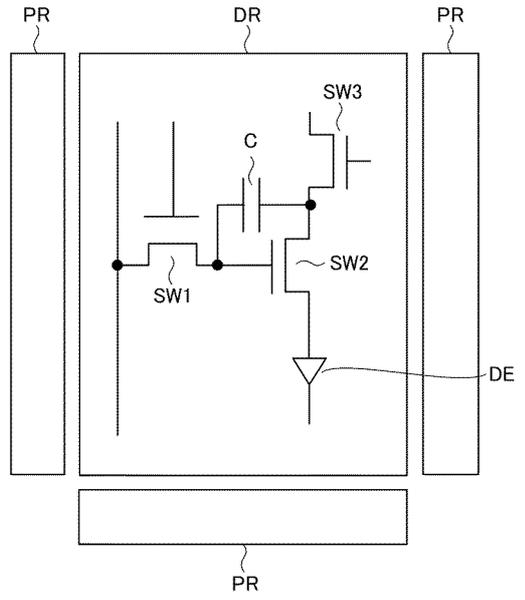
【図 4】



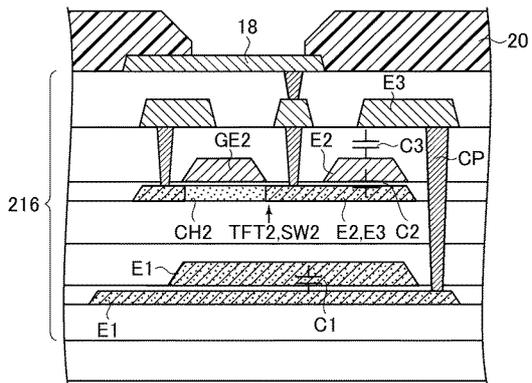
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)	
H 0 1 L	27/32	(2006.01)	H 0 1 L	29/78	6 1 2 B
			H 0 1 L	29/78	6 1 6 M
			H 0 5 B	33/14	A
			H 0 1 L	27/32	