

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-115855  
(P2016-115855A)

(43) 公開日 平成28年6月23日(2016.6.23)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 6 9 0	5 C 0 2 4
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 0	

審査請求 未請求 請求項の数 14 O L (全 16 頁)

(21) 出願番号 特願2014-254581 (P2014-254581)  
(22) 出願日 平成26年12月16日 (2014.12.16)

(71) 出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(74) 代理人 100126240  
弁理士 阿部 琢磨  
(74) 代理人 100124442  
弁理士 黒岩 創吾  
(72) 発明者 大貫 裕介  
東京都大田区下丸子3丁目30番2号キヤ  
ノン株式会社内  
(72) 発明者 小林 昌弘  
東京都大田区下丸子3丁目30番2号キヤ  
ノン株式会社内

最終頁に続く

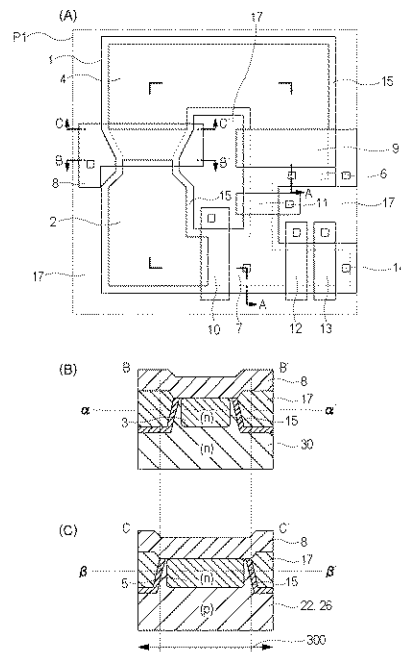
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 光電変換部から電荷蓄積部へ電荷を転送する場合において、電荷転送効率を向上させることが可能な新規な固体撮像装置を提供する。

【解決手段】 光電変換部と、電荷蓄積部と、フローティングディフュージョンとを有するアクティブ領域と、アクティブ領域を画定する絶縁体からなる素子分離領域と、を有する。平面視において、第1の転送トランジスタのゲート下における電荷蓄積部側のアクティブ領域の幅が、第1の転送トランジスタのゲート下における光電変換部側のアクティブ領域の幅よりも大きい。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

光電変換部と、該光電変換部の電荷を転送する第 1 の転送トランジスタと、該第 1 の転送トランジスタにより前記電荷が転送される電荷蓄積部と、該電荷蓄積部に蓄積された電荷を転送する第 2 の転送トランジスタと、該第 2 の転送トランジスタにより前記電荷が転送されるフローティングディフュージョンと、を有する画素が行列状に複数配置された撮像領域を有する固体撮像装置であって、

前記光電変換部と、前記電荷蓄積部と、前記フローティングディフュージョンとを有するアクティブ領域と、

前記アクティブ領域を画定する絶縁体からなる素子分離領域と、を有し、

平面視において、前記第 1 の転送トランジスタのゲート下における前記電荷蓄積部側の前記アクティブ領域の幅が、前記第 1 の転送トランジスタのゲート下における前記光電変換部側の前記アクティブ領域の幅よりも大きいことを特徴とする固体撮像装置。

10

## 【請求項 2】

前記第 1 の転送トランジスタをオンにした場合に、前記第 1 の転送トランジスタのゲート下の前記電荷に対するポテンシャルは、前記光電変換部側よりも前記電荷蓄積部側で低くなることを特徴とする請求項 1 に記載の固体撮像装置。

## 【請求項 3】

平面視において、前記アクティブ領域には、前記アクティブ領域と前記素子分離領域の境界部分に沿って延在するように第 2 導電型の半導体領域が配されていることを特徴とする請求項 1 または 2 に記載の固体撮像装置。

20

## 【請求項 4】

平面視において、前記第 2 の転送トランジスタ下における前記電荷蓄積部側の前記アクティブ領域の幅が、前記第 2 の転送トランジスタ下における前記フローティングディフュージョン側の前記アクティブ領域の幅よりも大きいことを特徴とする請求項 1 から 3 のいずれか 1 項に記載の固体撮像装置。

## 【請求項 5】

第 1 導電型の第 1 半導体領域を有する光電変換部と、

前記光電変換部の電荷を転送する第 1 の転送トランジスタと、

第 1 導電型の第 2 半導体領域を有し、前記第 1 の転送トランジスタにより前記電荷が転送される電荷蓄積部と、

30

前記電荷蓄積部に蓄積された電荷を転送する第 2 の転送トランジスタと、

前記第 2 の転送トランジスタにより前記電荷が転送されるフローティングディフュージョンと、

前記光電変換部と、前記電荷蓄積部と、前記フローティングディフュージョンとを有するアクティブ領域と、

前記アクティブ領域を画定する絶縁体からなる素子分離領域と、を有する固体撮像装置であって、

前記第 1 の転送トランジスタのゲート下における前記第 1 の転送トランジスタのチャンネル幅方向断面において、前記第 1 半導体領域および前記第 2 半導体領域は第 2 導電型の第 3 半導体領域の間に配されており、前記第 3 半導体領域の間に配されている第 2 半導体領域の幅は、前記第 3 半導体領域の間に配されている前記第 1 半導体領域の幅よりも大きいことを特徴とする固体撮像装置。

40

## 【請求項 6】

前記光電変換部は、前記第 1 半導体領域の上面と接する第 2 導電型の半導体領域と、前記第 1 半導体領域の下面と接する第 1 導電型の半導体領域とを更に有することを特徴とする請求項 5 に記載の固体撮像装置。

## 【請求項 7】

前記光電変換部は、前記第 1 半導体領域の上面と接する第 2 導電型の半導体領域と、前記第 1 半導体領域の下面と接する第 2 導電型の半導体領域とを更に有することを特徴とす

50

る請求項 5 に記載の固体撮像装置。

【請求項 8】

前記電荷蓄積部は、前記第 2 半導体領域の上面と接する第 2 導電型の半導体領域と、前記第 2 半導体領域の下面と接する第 2 導電型の半導体領域とを有することを特徴とする請求項 5 から 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

平面視において、前記アクティブ領域には、第 2 導電型の半導体領域が、前記光電変換部から前記電荷蓄積部まで延在して配されていることを特徴とする請求項 5 または 6 に記載の固体撮像装置。

【請求項 10】

前記第 1 の転送トランジスタのゲート下における前記第 1 の転送トランジスタのチャンネル幅方向断面において、前記第 2 半導体領域は、前記第 3 半導体領域とは別の第 2 導電型の半導体領域の間に配されていることを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 11】

第 1 導電型は n 型であり、第 2 導電型は p 型であることを特徴とする請求項 6 から 10 のいずれか 1 項に記載の固体撮像装置。

【請求項 12】

平面視において、前記第 2 の転送トランジスタ下における前記電荷蓄積部側の前記アクティブ領域の幅が、前記第 2 の転送トランジスタ下における前記フローティングディフュージョン側の前記アクティブ領域の幅よりも大きいことを特徴とする請求項 5 から 11 のいずれか 1 項に記載の固体撮像装置。

【請求項 13】

第 1 導電型の第 1 半導体領域を有する光電変換部と、  
前記光電変換部の電荷を転送する第 1 の転送トランジスタと、  
第 1 導電型の第 2 半導体領域を有し、前記第 1 の転送トランジスタにより前記電荷が転送される電荷蓄積部と、  
前記電荷蓄積部に蓄積された電荷を転送する第 2 の転送トランジスタと、  
前記第 2 の転送トランジスタにより前記電荷が転送されるフローティングディフュージョンと、  
前記光電変換部と、前記電荷蓄積部と、前記フローティングディフュージョンとを有するアクティブ領域と、  
前記アクティブ領域を画定する絶縁体からなる素子分離領域と、を有する固体撮像装置であって、

前記第 1 の転送トランジスタの下における前記第 1 の転送トランジスタのチャンネル幅方向断面において、前記第 1 半導体領域および前記第 2 半導体領域は、第 2 導電型の第 3 半導体領域の間に配され、前記第 1 半導体領域と前記第 3 半導体領域との間には第 1 導電型の第 4 半導体領域が配され、前記第 2 半導体領域と前記第 3 半導体領域との間には第 1 導電型の第 5 半導体領域が配されており、前記第 2 半導体領域と前記第 5 半導体領域の幅の合計は前記第 1 半導体領域と前記第 4 半導体領域の幅の合計よりも大きいことを特徴とする固体撮像装置。

【請求項 14】

平面視において、前記第 2 の転送トランジスタ下における前記電荷蓄積部側の前記アクティブ領域の幅が、前記第 2 の転送トランジスタ下における前記フローティングディフュージョン側の前記アクティブ領域の幅よりも大きいことを特徴とする請求項 13 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

10

20

30

40

50

## 【 0 0 0 2 】

光電変換部を含む画素が行及び列方向に複数配置されたＣＭＯＳイメージセンサにおいて、全画素で同時に露光開始と露光終了を電子的に制御する構成が提案されている（グローバル電子シャッタ）。

## 【 0 0 0 3 】

グローバル電子シャッタの機能を実現する構成として、特許文献１には、画素内に光電変換部及びフローティングディフュージョンとは別に電荷蓄積部を有する例が開示されている。この構成によれば、光電変換部から電荷蓄積部に電荷が転送され、電荷蓄積部からフローティングディフュージョンへ電荷が転送される。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 8 — 1 0 3 6 4 7 号 公 報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

特許文献１に記載の構成では、光電変換部と電荷蓄積部との電位差が小さい場合、光電変換部から電荷蓄積部へ電荷を転送する際に、転送トランジスタのゲート下に存在する電子の一部が電荷蓄積部へ転送されずに光電変換部に戻る可能性がある。このため、光電変換部から電荷蓄積部への電荷転送効率が低くなる。

## 【 0 0 0 6 】

そこで、本発明では、光電変換部から電荷蓄積部へ電荷を転送する場合において、電荷転送効率を向上させることが可能な新規な固体撮像装置を提供することを目的とする。

## 【 課題を解決するための手段 】

## 【 0 0 0 7 】

本願発明に係る固体撮像装置は、光電変換部と、該光電変換部の電荷を転送する第１の転送トランジスタと、該第１の転送トランジスタにより前記電荷が転送される電荷蓄積部と、該電荷蓄積部に蓄積された電荷を転送する第２の転送トランジスタと、該第２の転送トランジスタにより前記電荷が転送されるフローティングディフュージョンと、を有する画素が行列状に複数配置された撮像領域を有する固体撮像装置であって、前記光電変換部と、前記電荷蓄積部と、前記フローティングディフュージョンとを有するアクティブ領域と、前記アクティブ領域を画定する絶縁体からなる素子分離領域と、を有し、平面視において、前記第１の転送トランジスタのゲート下における前記電荷蓄積部側の前記アクティブ領域の幅が、前記第１の転送トランジスタのゲート下における前記光電変換部側の前記アクティブ領域の幅よりも大きいことを特徴とする。

## 【 発明の効果 】

## 【 0 0 0 8 】

本発明によれば、光電変換部から電荷蓄積部へ電荷を転送する場合において、電荷転送効率を向上させることが可能な新規な固体撮像装置を提供することができる。

## 【 図面の簡単な説明 】

## 【 0 0 0 9 】

【 図 1 】 実施形態 1 における画素平面図と断面図

【 図 2 】 実施形態 1 における断面ポテンシャル図

【 図 3 】 実施形態 1 における断面図

【 図 4 】 実施形態 2 における画素平面図と断面図

【 図 5 】 実施形態 2 における断面図

【 図 6 】 実施形態 3 における画素平面図

【 図 7 】 実施形態 4 における画素平面図と断面図

【 図 8 】 実施形態 4 における画素平面図

【 図 9 】 実施形態 4 における断面ポテンシャル図

10

20

30

40

50

【図10】実施形態5における画素平面図と断面図

【図11】素子構造と該素子構造に対応するポテンシャルを説明する図

【発明を実施するための形態】

【0010】

(実施形態1)

本発明の実施形態1について、図1から図3を用いて説明する。以下では、信号電荷として電子を用いる構成を例示するが、信号電荷として正孔を用いることも可能である。信号電荷として電子を用いる場合には、第1導電型がn型、第2導電型がp型である。ホールを信号電荷として用いる場合には、信号電荷が電子の場合に対して各半導体領域の導電型を逆の導電型にすればよい。

10

【0011】

本実施形態を説明するにあたり、「半導体基板表面」とは、画素を構成する半導体領域が形成されている側の半導体基板の主表面のことを表す。また、「半導体基板」とは、材料基板だけでなく、複数の半導体領域が形成された部材をも含む概念である。さらに、半導体基板の主表面側の方向を「上」または「上部」、半導体基板の主表面側とは逆の裏面側の方向を「下」または「下部」と表現して、所定の領域や部材についての相対的な位置関係を特定することもある。

【0012】

図1(A)は固体撮像装置の撮像領域に行列状に複数配置されている画素を平面視した図(平面図)である。図1(B)および図1(C)は、それぞれ図1(A)のB-B'断面図とC-C'断面図である。図2は図1(A)のA-A'断面のポテンシャル図、図3は図1(A)のA-A'断面図である。

20

【0013】

図1(A)において、画素P1には、光電変換部2、光電変換部2から電荷の転送を行う第1の転送トランジスタ(符号8は第1の転送トランジスタのゲートを示す。)、第1の転送トランジスタにより転送された電荷を蓄積する電荷蓄積部4が設けられている。また、画素P1には、電荷蓄積部4から電荷を転送する第2の転送トランジスタ(符号9は第2の転送トランジスタのゲートを示す。)、第2の転送トランジスタにより転送された電荷を蓄積するフローティングディフュージョン6(以下、「FD」ともいう。)が設けられている。また、画素P1には、光電変換部2から電荷を排出するオーバーフロートドレイン7(以下、「OFD」ともいう。)とOFDに電荷を転送するオーバーフロートトランジスタが設けられている(符号10はオーバーフロートトランジスタのゲートを示す。)。さらに、画素P1には、FD6と接続されるリセットトランジスタ(符号11はリセットトランジスタのゲートを示す。)、FD6とゲート12がメタル配線で接続されたソースフォロワトランジスタ(符号12はソースフォロワトランジスタのゲートを示す。)が設けられている。加えて、行選択トランジスタ(符号13は行選択トランジスタを示す。)、信号出力部14が設けられている。

30

【0014】

光電変換部2、電荷蓄積部4、FD6等からなるアクティブ領域1は、絶縁体からなる素子分離領域17によってその範囲が画定されている。素子分離領域17は、STI(Shallow trench isolation)またはLOCOS(Local oxidation of silicon)などにより構成される。

40

【0015】

アクティブ領域1の素子分離領域17側にはp型領域15が設けられており、第1の転送トランジスタのゲート8の下において、電荷蓄積部側のアクティブ領域1の幅が、光電変換部側のアクティブ領域1の幅よりも大きくなるように構成されている。

【0016】

次に図3を用いて、図1(A)のA-A'断面図を説明する。本実施形態では、光電変換部2、電荷蓄積部4、FD6、OFD7が、p型ウエル22の内部に配されている。p型ウエル22は、イオン注入またはエピタキシャル成長によって、n型基板21の一主面

50

に形成される。p型ウエル22が配されたn型基板21の代わりに、p型基板を用いてもよい。

【0017】

また、光電変換部2から電荷蓄積部4に電荷を転送する第1の転送トランジスタのゲート8、電荷蓄積部4からFD6に電荷を転送する第2の転送トランジスタのゲート9が半導体基板表面に設けられている。また、光電変換部2からOFD7に電荷を転送するオーバーフロートランジスタのゲート10が、半導体基板表面に設けられている。

【0018】

本実施形態では、光電変換部2は、n型領域3、n型領域30、p型ウエル22、p型領域24で構成されている。

10

【0019】

n型領域3はn型領域30の内部に配されており、n型領域3の下面はn型領域30と接している。n型領域3の不純物濃度はn型領域30の不純物濃度よりも高い。n型領域30は、n型領域30の下部に配されたp型ウエル22とpn接合を構成している。n型領域3の半導体基板表面側にはp型領域24が設けられており、n型領域3の上面はp型領域24に接している。p型領域24をn型領域3の上に設けることによってpn接合が構成されている。これにより、いわゆる埋め込み型のフォトダイオードが構成されており、基板の表面に形成される酸化膜(不図示)との界面構造に起因する暗電流を低減している。

【0020】

本実施形態では、電荷蓄積部4は、n型領域5、p型領域25、p型領域26で構成されている。

20

【0021】

n型領域5の上にはp型領域25が設けられている。n型領域5の下には、p型ウエル22よりも不純物濃度の高いp型領域26が設けられている。p型領域26はn型領域5とpn接合を構成している。電荷蓄積部4からFD6に電荷を転送する場合には、n型領域5には逆バイアスが供給され、n型領域5が空乏化される。n型領域5が空乏化されるときには、p型領域26にも空乏層が広がることになるが、この空乏層の広がり量はp型領域26の不純物濃度に応じて変化する。p型領域26の不純物濃度はp型ウエル22の不純物濃度よりも高いことから、p型ウエル22のみを設ける場合に比較して、p型領域への空乏層の広がりを抑制することが可能となり、空乏化するための電圧を低くすることができる。

30

【0022】

電荷蓄積部4、第1の転送トランジスタのゲート8、第2の転送トランジスタのゲート9の上には遮光部材20が設けられている。

【0023】

第1の転送トランジスタのゲート8の下部に示した符号40はチャンネル領域であり、導通時に光電変換部2から電荷蓄積部4への電荷転送部となる。素子分離領域17の下にはチャンネルストップとして機能するp型領域15が設けられている。p型領域15はp型ウエル22とは異なる工程で形成される。FD6およびOFD7にはプラグ27が接続されている。

40

【0024】

図1(B)は図1(A)のB-B'断面図であり、n型領域3が形成されている側の面(矢印方向から見た面)を図示したものである。

【0025】

図1(B)では、n型領域30の上に、n型領域30よりも不純物濃度が高いn型領域3(第1半導体領域)が設けられている。また、アクティブ領域1の素子分離領域側には、アクティブ領域1と素子分離領域17との境界部分に沿って延在するように、p型領域15(第3半導体領域)が形成されている。その上には、ゲート酸化膜(不図示)を介して、第1の転送トランジスタのゲート8が設けられている。p型領域24はゲート8の下

50

に存在する場合もありうるが、本図面では省略している。

【 0 0 2 6 】

図 1 ( C ) は図 1 ( A ) の C - C ' 断面図であり、 n 型領域 5 が形成されている側の面 ( 矢印方向から見た面 ) を図示したものである。

【 0 0 2 7 】

図 1 ( C ) では、 p 型領域 2 6 の上に n 型領域 5 ( 第 2 半導体領域 ) が設けられている。また、図 1 ( B ) と同様に、アクティブ領域 1 の素子分離領域 1 7 側には p 型領域 1 5 ( 第 3 半導体領域 ) が形成されている。

【 0 0 2 8 】

図 1 ( B ) と図 1 ( C ) を比較すると、符号 3 0 0 の方向について、 n 型領域 3 の幅は、 n 型領域 5 の幅よりも狭い。ところで、一般的に、 MOS トランジスタについて、チャンネル領域の大きさを特定する際に、電荷の転送方向の長さをチャンネル長といい、電荷の転送方向と直交する方向の長さをチャンネル幅という。そのため、本実施形態において、図 1 ( B ) および ( C ) に表記した符号 3 0 0 の方向は、第 1 の転送トランジスタのチャンネル領域のチャンネル幅方向に対応している。そこで、以降、符号 3 0 0 方向を転送トランジスタのチャンネル幅方向といい、図 1 ( B ) および ( C ) を第 1 の転送トランジスタのチャンネル幅方向断面の図ということもある。

10

【 0 0 2 9 】

次に、第 1 の転送トランジスタのチャンネル幅方向 3 0 0 について、 n 型領域 3 の幅と n 型領域 5 の幅を変えた場合の効果について説明する。

20

【 0 0 3 0 】

まず、図 1 1 を用いて、 n 型 MOS トランジスタのソースまたはドレインにおける n 型領域のポテンシャルについて説明する。

【 0 0 3 1 】

図 1 1 ( A - 1 ) から ( C - 1 ) は n 型 MOS トランジスタのチャンネル幅方向の断面図であり、 n 型 MOS トランジスタのソースまたはドレインについて、チャンネル領域からソースに向かう方向またはチャンネル領域からドレインに向かう方向から見たものである。

【 0 0 3 2 】

符号 1 0 0 0 は n 型領域、符号 1 1 0 0 は p 型領域 1 1 0 0、符号 1 2 0 0 はチャンネル幅方向をそれぞれ示したものである。チャンネル幅方向 1 2 0 0 において、図 1 1 ( A - 1 ) に示した n 型領域 1 0 0 0 の幅は ( B - 1 ) および ( C - 1 ) よりも十分広い。また、 ( B - 1 ) に示した n 型領域 1 0 0 0 は ( C - 1 ) に示した n 型領域 1 0 0 0 の幅よりも短い。

30

【 0 0 3 3 】

また、図 1 1 ( A - 2 ) から ( C - 2 ) は、 ( A - 1 ) から ( C - 1 ) の構造に関して、トランジスタをオンにした場合のポテンシャル図である。電位の正方向を下方向としており、転送電荷が電子の場合、下方向の方がポテンシャルは低くなる。

【 0 0 3 4 】

ここで、図 1 1 ( A ) について説明すると、チャンネル幅方向 1 2 0 0 について、 n 型領域 1 0 0 0 は p 型領域 1 1 0 0 と接しているため、チャンネル幅方向において、 n 型領域 1 0 0 0 は p 型領域 1 1 0 0 のポテンシャルの影響を受ける。 ( A - 2 ) において、符号 1 2 5 0 はポテンシャルを示し、符号 1 4 0 0 はポテンシャルの底の中央を示す。 n 型領域 1 0 0 0 の幅を十分大きくすることができる場合には、ポテンシャルの底の中央 1 4 0 0 と p 型領域 1 1 0 0 との距離を十分に確保することができるため、ポテンシャルの底の中央 1 4 0 0 は p 型領域 1 2 0 0 のポテンシャルの影響を受けることが少ない。このため、トランジスタをオンにした場合、ポテンシャルの底の中央のポテンシャルは電子にとって十分に低い位置となる ( 符号 1 3 0 0 ) 。

40

【 0 0 3 5 】

一方、図 1 1 ( B - 2 ) および ( C - 2 ) に示すように、チャンネル幅方向の n 領域 1 0 0 0 の幅が十分大きくない場合は、 ( A - 2 ) に示した場合よりも、ポテンシャルの底の

50

中央1400は、p型領域1200のポテンシャルの影響を受ける。そのため、トランジスタをオンにした場合、(B-2)と(C-2)のポテンシャルの底の中央1400は十分に低くない(符号1310、1320)。

【0036】

この原理に従えば、n型MOSトランジスタのチャネル幅方向断面において、ソースまたはドレインのn型領域が十分広くなっていれば、トランジスタをオンにした際に、電子に対してポテンシャルの底の中央を十分低い位置にすることができる。

【0037】

また、n型領域1000の幅を十分大きくすることができない場合であっても、n型領域1000の大小関係によっては、ポテンシャルの底の中央の位置は変化する。すなわち、n型領域1000の幅が大きい図11(C-2)のポテンシャルの底の中央1400は、(B-2)のポテンシャルの底の中央1400よりも低い位置となる。

10

【0038】

図1(B)に示した— '線の素子構造は、左から、素子分離領域17、p型領域15、n型領域30、n型領域3、n型領域30、p型領域15となっている。そのため、図1(B)の構造と図11(B-1)の構造とを対応づけると、図11(B-1)のn型領域1000は、図1(B)のn型領域3およびn型領域30に相当する。また、図11(B-1)のp型領域1100は、図1(B)のp型領域15に相当する。

【0039】

ここで、図1(B)の構造は、第1の転送トランジスタのチャネル幅方向断面において、n型領域3(第1半導体領域)が、p型領域15(第3半導体領域)の間に配されていると表現できる。また、p型領域15(第3半導体領域)とn型領域3(第1半導体領域)との間には、n型領域30が配されていると表現できる。

20

【0040】

同様に、図1(C)に示した— '線の素子構造についても、図11(C-1)のn型領域1000は、図1(C)のn型領域5に相当する。また、図11(C-1)のp型領域1100は、図1(C)のp型領域22、26およびp型領域15に相当する。ここで、図1(C)の構造は、第1の転送トランジスタのチャネル幅方向断面において、n型領域5(第2半導体領域)が、p型領域15(第3半導体領域)の間に配されていると表現できる。また、p型領域15(第3半導体領域)とn型領域5(第2半導体領域)との間には、p型領域22、26が配されていると表現できる。

30

【0041】

このように、本実施形態では、p型領域15(第3半導体領域)の間に配されているn型領域5(第2半導体領域)の幅は、p型領域15(第3半導体領域)の間に配されているn型領域3(第1半導体領域)の幅よりも大きい。

【0042】

このため、第1の転送トランジスタをオンにした場合に、第1の転送トランジスタのゲート下における電子に対するポテンシャルは、光電変換部2側よりも電荷蓄積部4側の方が低くなる。また、第1の転送トランジスタのチャネルのポテンシャル構造もこれらのポテンシャルを連続的に接続したような構造となる。

40

【0043】

図2は図1(A)におけるA-A'断面のポテンシャル図であり、図面の下方向は電位の正方向となっている。図2において、PDは光電変換部2、MEMは電荷蓄積部4、FDはフローティングディフュージョン6、OFDはオーバーフロードレイン7に相当する部分のポテンシャルを示している。

【0044】

図2(A)は、光電変換部2に電荷が蓄積されているときのポテンシャル図であり、第1の転送トランジスタのゲート8およびオーバーフロートランジスタのゲート10はオフとなっている。本実施形態では上記のような構成を採用していることから、ゲート8の下については、光電変換部2側のポテンシャルよりも、電荷蓄積部4側のポテンシャルが低

50



くなっている。

【 0 0 4 5 】

図 2 ( B ) は、第 1 の転送トランジスタのゲート 8 をオンにしたポテンシャル図である。第 1 の転送トランジスタのゲート 8 をオンにすることで第 1 の転送トランジスタのゲート 8 の下のポテンシャルを押し下げて光電変換部 2 から電荷蓄積部 4 に電荷が転送される。しかし、光電変換部 2 と電荷蓄積部 4 との電位差が小さいため、電荷の全てが電荷蓄積部 4 に転送されずに、多くの電荷は第 1 の転送トランジスタ 8 により押し下げられた第 1 の転送トランジスタ 8 のゲート下のポテンシャルに捕獲される。このとき、第 1 転送トランジスタのゲート下について、光電変換部 2 側ではポテンシャルが高く、電荷蓄積部 4 ではポテンシャルが低くなるようなポテンシャル構造となり、第 1 の転送トランジスタのゲート 8 のポテンシャル底部に電荷が捕獲されている。

10

【 0 0 4 6 】

図 2 ( C ) は、図 2 ( B ) の第 1 の転送トランジスタがオンからオフに切り替わる中間過程のポテンシャル図である。また、図 2 ( D ) は、第 1 の転送トランジスタのゲート 8 をオフにして、電荷蓄積部 4 に電荷が転送された状態のポテンシャル図である。第 1 転送トランジスタのゲート下について光電変換部 2 側ではポテンシャルが高く、電荷蓄積部 4 ではポテンシャルが低くなるようなポテンシャル構造となっている。このため、光電変換部 2 側よりも電荷蓄積部 4 側のポテンシャルが高い場合、または、ポテンシャル差がない場合に比べて、光電変換部 2 から電荷蓄積部 4 への電荷転送効率が向上する。

【 0 0 4 7 】

また、図 1 ( B ) の — ' 線における素子構造と、図 1 ( C ) の — ' 線における素子構造とを比較すると、チャンネル幅方向 3 0 0 のアクティブ領域 1 の幅は、光電変換部 2 側よりも電荷蓄積部 4 側の方が広い。

20

【 0 0 4 8 】

図 1 ( A ) のアクティブ領域 1 において、第 1 の転送トランジスタ下の p 型領域 1 5 の幅は、光電変換部 2 と電荷蓄積部 4 とで同程度となっている。このため、チャンネル幅方向のアクティブ領域 1 の幅は、上記で説明した n 型領域の幅の代理変数として用いることも可能である。

【 0 0 4 9 】

したがって、平面視において、第 1 の転送トランジスタ下における電荷蓄積部側のアクティブ領域の幅を、光電変換部側のアクティブ領域の幅よりも大きくすることにより、光電変換部から電荷蓄積部への電荷転送効率を向上させることができる。

30

【 0 0 5 0 】

( 実施形態 2 )

図 4 および図 5 を用いて、実施形態 2 を説明する。本実施形態は、実施形態 1 と比較して、p 型領域 1 5 が形成されていない点と、n 型領域 3 が p 型領域 2 2 の上に形成されている点が異なる。

【 0 0 5 1 】

図 4 ( A ) は画素の平面図であり、図 4 ( B ) および ( C ) はそれぞれ図 4 ( A ) における B - B ' 断面図と C - C ' 断面図である。また、図 5 は図 4 ( A ) における A - A ' 断面図である。実施形態 1 と同じ符号は同じ領域または部材を意味する。

40

【 0 0 5 2 】

図 5 において、光電変換部 2 は、n 型領域 3 の下部および周囲に p 型ウエル 2 2 が設けられており、n 型領域 3 の下面は p 型ウエル 2 2 と接している。これに対応して、図 4 ( B ) および ( C ) にも、n 型領域 3 および n 型領域 5 の下部に p 型ウエル 2 2 や p 型領域 2 6 が設けられていることが図示されている。

【 0 0 5 3 】

図 4 ( B ) に示した — ' 線における素子構造において、n 型領域は n 型領域 3 であり、p 型領域は p 型領域 2 2 である。また、図 4 ( C ) に示した — ' 線における素子構造において、n 型領域は n 型領域 5 であり、p 型領域は p 型領域 2 2 、 2 6 である。こ

50

ここで、図4(B)および(C)の構造は、第1の転送トランジスタのチャンネル幅方向断面において、n型領域3(第1半導体領域)とn型領域5(第2半導体領域)が、p型領域15、26(第3半導体領域)の間に配されていると表現できる。

【0054】

本実施形態においては、第1の転送トランジスタの下における第1の転送トランジスタのチャンネル幅方向断面において、電荷蓄積部のn型領域5(第2半導体領域)の幅が、光電変換部のn型領域3(第1半導体領域)の幅よりも広い。これにより、光電変換部から電荷蓄積部への電荷転送効率を向上させることができる。

【0055】

また、図4(A)のアクティブ領域1において、第1の転送トランジスタ下におけるp型領域22の幅は、光電変換部側と電荷蓄積部側とで同程度である。そのため、チャンネル幅方向300におけるアクティブ領域1の幅はn型領域3およびn型領域5の幅の代理変数として用いることが可能である。したがって、平面視において、第1の転送トランジスタ下における電荷保持部側のアクティブ領域の幅を、光電変換部側のアクティブ領域の幅よりも大きくすることにより、光電変換部から電荷蓄積部への電荷転送効率を向上させることができる。

【0056】

(実施形態3)

図6を用いて、実施形態3を説明する。本実施形態は、実施形態1と比較して、平面視において、第2転送トランジスタ下における電荷蓄積部側のアクティブ領域の幅が、フローティングディフュージョン側のアクティブ領域の幅よりも大きくなっている点が異なる。

【0057】

本実施形態では光電変換部の電荷蓄積を電子で行うため、FD6側のn領域の幅を小さくすることによってFD6の面積を小さくし、FD6の容量を小さくすることができる。FD6の容量が小さくなれば、周辺回路での信号増幅をある程度の範囲に抑えることができるため、ノイズ成分も低減することが可能になる。

【0058】

電荷蓄積部4からFD6の電荷転送において、通常FD6には電源電圧相当の電圧が印加されており電荷蓄積部4との電位差が大きい。そのため、光電変換部2から電荷蓄積部4へ電荷を転送する際に生じる電荷転送効率に関する課題が、電荷蓄積部4からFD6へ電荷を転送する際には相対的に生じにくい。そこで、本実施形態では、アクティブ領域の幅について、光電変換部2と電荷蓄積部4との関係と、電荷蓄積部4とFD6との関係が逆になっており、FD側のアクティブ領域1の幅を電荷蓄積部側のアクティブ領域1の幅よりも小さくしている。

【0059】

(実施形態4)

図7を用いて実施形態4を説明する。本実施形態は、実施形態1と比較して、n型領域3とn型領域5の幅が同じである点において異なる。

【0060】

図7(A)は画素の平面図であり、図7(B)および(C)はそれぞれ図7(A)におけるB-B'断面図とC-C'断面図である。

【0061】

図7(B)に示した— '線における素子構造によれば、光電変換部2のn型領域はn型領域3およびn型領域30であり、p型領域はp型領域15である。また、図7(C)に示した— '線における素子構造によれば、n型領域はn型領域5およびn型領域35であり、p型領域はp型領域15である。

【0062】

ここで、図7(B)および(C)の構造は、第1の転送トランジスタのチャンネル幅方向断面において、n型領域3(第1半導体領域)とn型領域5(第2半導体領域)が、p型

10

20

30

40

50

領域 15 (第 3 半導体領域) の間に配されていると表現できる。また、p 型領域 15 (第 3 半導体領域) と n 型領域 3 (第 1 半導体領域) との間には n 型領域 30 (第 4 半導体領域) が配されていると表現できる。さらに、p 型領域 15 (第 3 半導体領域) と n 型領域 5 (第 2 半導体領域) との間には、n 型領域 35 (第 5 半導体領域) が配されていると表現できる。

【0063】

本実施形態において、光電変換部側の n 型領域 3 (第 1 半導体領域) と n 型領域 5 (第 2 半導体領域) の幅は同じであるが、電荷蓄積部側の n 型領域 35 (第 5 半導体領域) の幅は光電変換部側の n 型領域 30 (第 4 半導体領域) の幅よりも大きい。このため、合計した n 型領域の幅について、電荷蓄積部側の幅は光電変換部側の幅よりも大きくなることから、光電変換部から電荷蓄積部への電荷転送効率を向上させることができる。

10

【0064】

また、本実施形態では、第 1 の転送トランジスタのチャネル幅方向断面において、p 型領域 15 の幅は、光電変換部 2 と電荷蓄積部 4 とで同程度であり、アクティブ領域 1 の幅は n 型領域の幅の代理変数として用いることが可能である。したがって、平面視において、第 1 の転送トランジスタのゲート下における電荷蓄積部側のアクティブ領域の幅が、光電変換部側のアクティブ領域の幅よりも大きくすることにより、光電変換部から電荷蓄積部への電荷転送効率を向上させることができる。

【0065】

(実施形態 5)

図 8 及び図 9 を用いて実施形態 5 を説明する。本実施形態は、実施形態 1 と比較して、アクティブ領域 1 の形状がテーパー状ではなく段差状に形成されている点が異なる。

20

【0066】

図 8 は画素の平面図であり、図 9 は図 8 の A—A' 断面のポテンシャル模式図である。図 8 の B—B' 断面図は、図 1 (B) と同様の構成となっている。また、図 8 の C—C' 断面図は、図 1 (C) と同様の構成となっている。

【0067】

図 9 に示すポテンシャル勾配は、実施形態 1 の図 2 に示すポテンシャル勾配とは異なるものの、光電変換部 2 側ではポテンシャルが高く、電荷蓄積部 4 側ではポテンシャルが低くなるポテンシャル構造となっている。これにより、光電変換部から電荷蓄積部への電荷転送効率を向上させることができる。

30

【0068】

(実施形態 6)

図 10 を用いて、実施形態 6 を説明する。本実施形態は、実施形態 1 と比較して、光電変換部 2 の側端部にチャネル幅調整の p 型領域 18 を追加的に形成している点において異なる。また、平面視において、第 1 の転送トランジスタのゲート下にあるアクティブ領域 1 が光電変換部 2 側と電荷蓄積部 4 側とで同じ幅で構成されているという点においても異なる。

【0069】

図 10 (A) は画素の平面図であり、図 10 (B) および (C) はそれぞれ図 10 (A) における B—B' 断面図と C—C' 断面図である。

40

【0070】

図 10 においては、素子分離領域 17 と接しているアクティブ領域 1 の側面部に対して、p 型領域 15 とは別の p 型領域 18 が追加的に形成されている。図 10 (B) に示した — ' 線における素子構造によれば、n 型領域は n 型領域 3 であり、p 型領域は p 型領域 18 および p 型領域 15 である。また、また、図 10 (C) に示した — ' 線における素子構造によれば、n 型領域は n 型領域 5 であり、p 型領域は p 型領域 15 および p 型領域 26 である。

【0071】

ここで、図 10 (B) および (C) の構造は、第 1 の転送トランジスタのチャネル幅方

50

向断面において、n型領域3（第1半導体領域）とn型領域5（第2半導体領域）が、p型領域15（第3半導体領域）の間に配されていると表現できる。また、n型領域3（第1半導体領域）は、p型領域18の間に配されていると表現できる。

【0072】

本実施形態においては、第1の転送トランジスタのゲート下における第1の転送トランジスタのチャンネル幅方向断面において、電荷蓄積部側のn型領域5の幅は、光電変換部側のn型領域3の幅よりも大きい。このため、光電変換部から電荷蓄積部への電荷転送効率を向上させることができる。

【0073】

上記では複数の実施形態について説明を行ったが、各実施形態の構成は適宜組み合わせ可能である。

10

【0074】

また、本願における「第1の転送トランジスタのゲート下」とは実質的に第1の転送トランジスタのゲート下という意味である。第1の転送トランジスタがオン状態のときに信号電荷が光電変換部から電荷蓄積部に転送される限りにおいて、半導体領域が第1の転送トランジスタのゲートの真下からオフセットした位置に配置されていてもよい。

【0075】

さらに、例えば、上記各実施形態は固体撮像装置が組み込まれたカメラに適用することが可能である。カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。カメラは、上記の実施形態として例示された本発明に係る固体撮像装置と、該固体撮像装置から出力される信号を処理する処理部とを含む。該処理部は、例えば、A/D変換器、および、該A/D変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

20

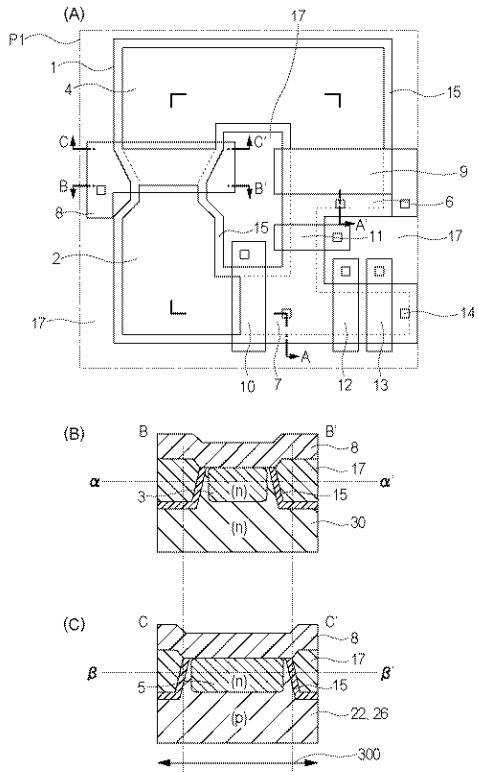
【符号の説明】

【0076】

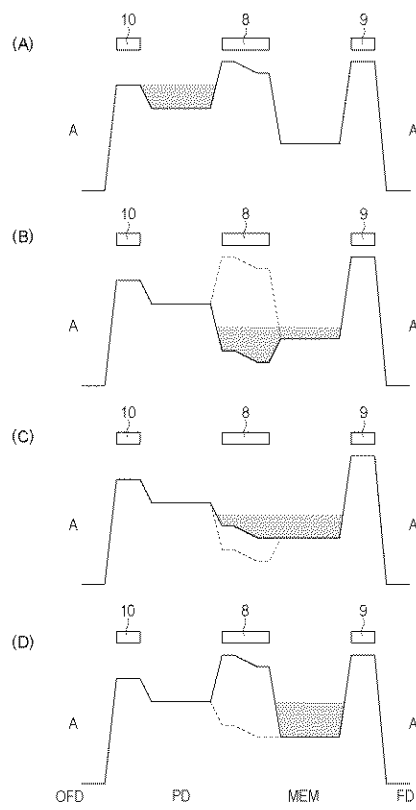
- 2 光電変換部
- 3 n型領域
- 4 電荷蓄積部
- 5 n型領域
- 8 第1の転送トランジスタのゲート
- 9 第2の転送トランジスタのゲート

30

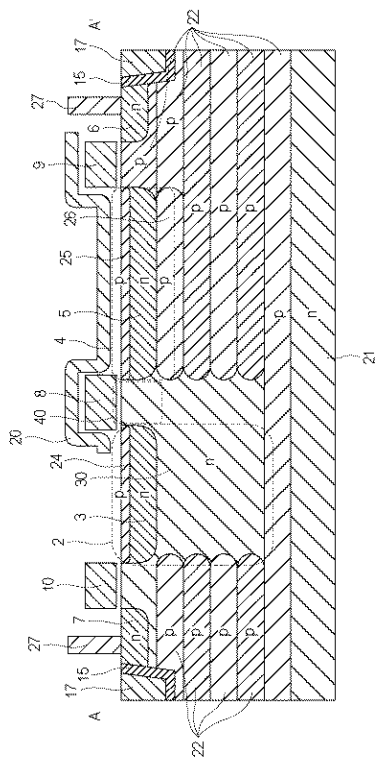
【図1】



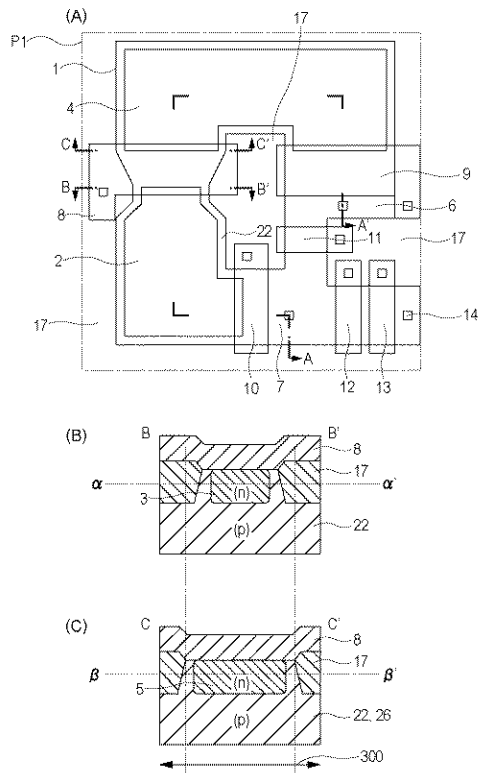
【図2】



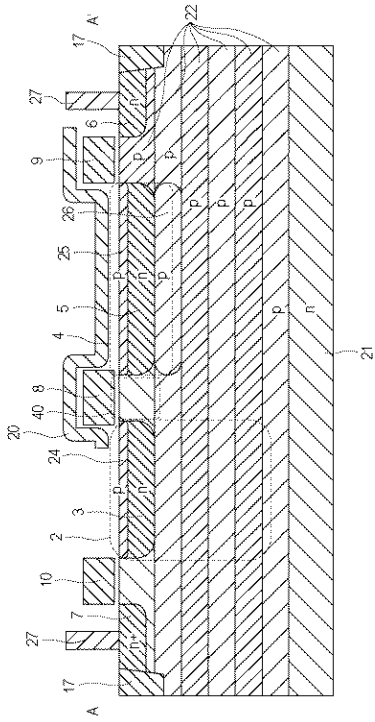
【図3】



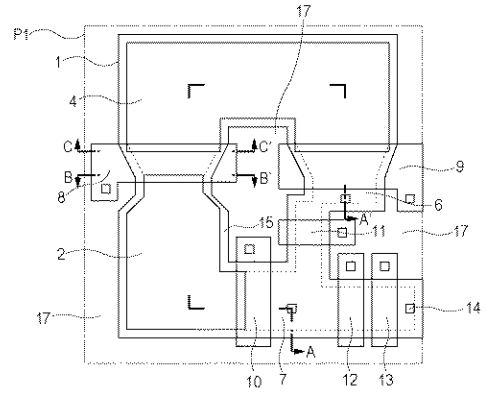
【図4】



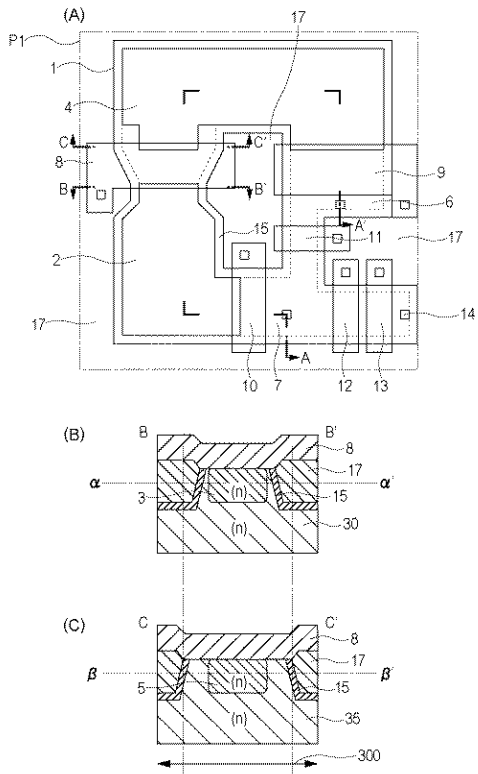
【図5】



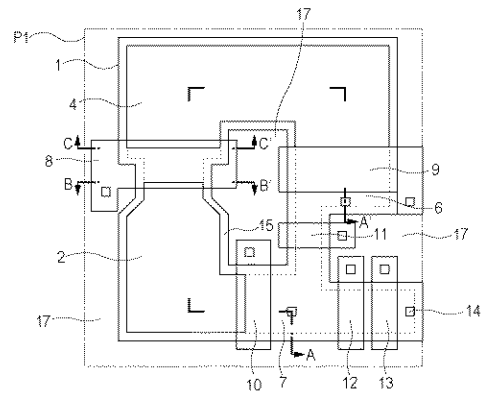
【図6】



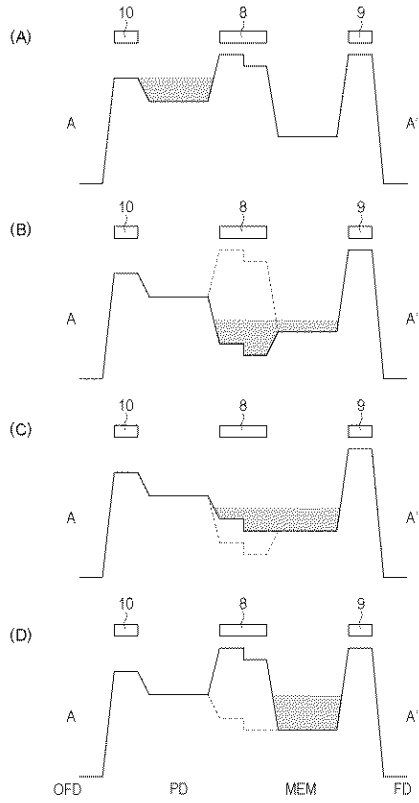
【図7】



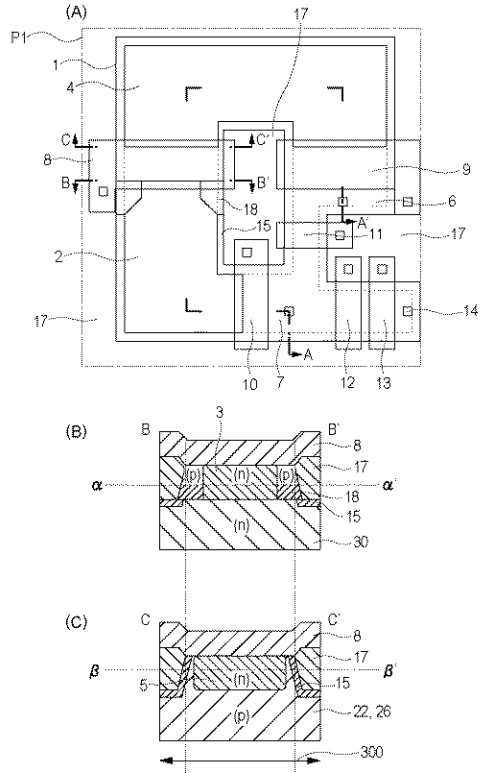
【図8】



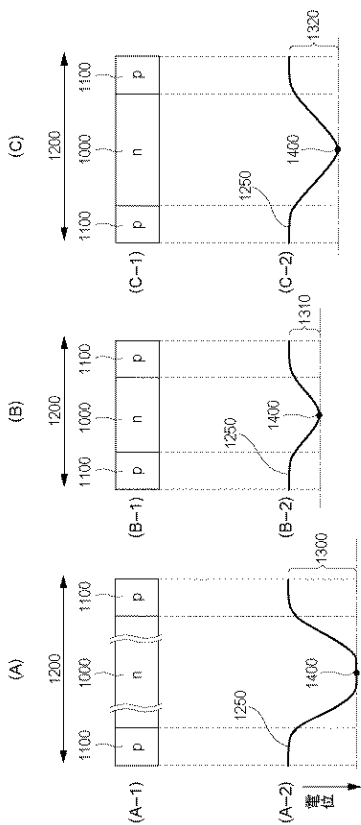
【 図 9 】



【 図 10 】



【 図 11 】



---

フロントページの続き

(72)発明者 三木 崇史

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

Fターム(参考) 4M118 AA03 AB01 BA14 CA04 CA18 DA21 DA24 DD04 DD12 EA01

EA14 EA15 FA26 FA33

5C024 CX17 CY47 GX02 GX16 GX18 GY31