

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-92355
(P2017-92355A)

(43) 公開日 平成29年5月25日(2017.5.25)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 N	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 C	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 T	
	HO 1 L 29/78 6 5 2 J	
	HO 1 L 29/06 3 0 1 M	

審査請求 未請求 請求項の数 7 O L (全 16 頁) 最終頁に続く

(21) 出願番号	特願2015-223473 (P2015-223473)	(71) 出願人	000005234 富士電機株式会社
(22) 出願日	平成27年11月13日 (2015.11.13)	(74) 代理人	100104190 弁理士 酒井 昭徳
		(72) 発明者	原田 祐一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72) 発明者	星 保幸 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

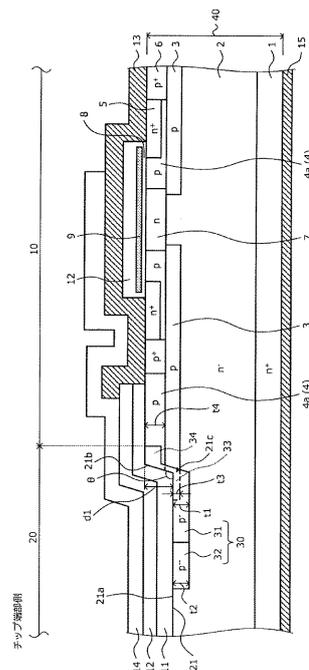
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 安定して所定の耐圧を確保することができる半導体装置および半導体装置の製造方法を提供すること。

【解決手段】 炭化珪素基板40のおもて面にエッジ終端領域20を活性領域10よりも低くした段差21が設けられ、段差21の底面21aにn型炭化珪素層2が露出されている。n型炭化珪素層2の段差21の底面21aに露出する部分には、JTE構造30を構成する第1、2JTE領域31、32が設けられている。第1JTE領域31は、段差21の底面21aから側壁21bに沿って設けられ、底面コーナー部21cを覆う。第1JTE領域31は、段差21の底面コーナー部21cにおいて最も外側の第1p型ベース領域3に重なっている。第1JTE領域31は、第1p型ベース領域3と重なる部分33で最も高不純物濃度であり、段差21の底面21aよりも深い部分に深さ方向の不純物濃度ピークを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

シリコンよりもバンドギャップの広い半導体からなる第 1 導電型の半導体基板に設けられた、主電流が流れる活性領域と、

前記活性領域の周囲を囲む終端領域と、

前記半導体基板のおもて面に設けられた、前記終端領域を前記活性領域よりも低くした段差と、

前記活性領域における前記半導体基板のおもて面側に選択的に設けられ、かつ前記段差により前記終端領域に形成された第 1 面に延在する第 2 導電型の第 1 半導体領域と、

前記活性領域の周囲を囲む同心円状に、かつ外側に配置されるほど低い不純物濃度で、前記第 1 面に設けられた複数の第 2 導電型半導体領域と、

を備え、

複数の前記第 2 導電型半導体領域のうちの最も内側の前記第 2 導電型半導体領域は、前記第 1 面から、当該第 1 面と前記段差よりも前記活性領域側の第 2 面との間の第 3 面に沿って設けられていることを特徴とする半導体装置。

【請求項 2】

前記最も内側の前記第 2 導電型半導体領域の一部は、前記第 1 面と前記第 3 面との境界において前記第 1 半導体領域の一部に深さ方向に重なって位置しており、

前記最も内側の前記第 2 導電型半導体領域は、前記第 1 半導体領域に重なる部分で最も高不純物濃度となっていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 面において、

前記最も内側の前記第 2 導電型半導体領域の厚さは、前記第 1 半導体領域の厚さよりも厚いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 3 面は、前記第 1 面に対して鈍角となる斜度を有することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

【請求項 5】

前記第 1 半導体領域の内部に選択的に設けられた第 1 導電型の第 2 半導体領域と、

前記第 1 半導体領域の、前記第 2 半導体領域と前記半導体基板との間の領域に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記第 1 半導体領域の反対側に設けられたゲート電極と、

前記第 1 半導体領域および前記第 2 半導体領域に接する第 1 電極と、

前記半導体基板の裏面に接する第 2 電極と、

をさらに備えることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の半導体装置。

【請求項 6】

シリコンよりもバンドギャップの広い半導体は、炭化珪素であることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体装置。

【請求項 7】

シリコンよりもバンドギャップの広い半導体からなる第 1 導電型の半導体基板に設けられた活性領域と、前記活性領域の周囲を囲む終端領域と、を備えた半導体装置の製造方法であって、

前記半導体基板のおもて面に、前記終端領域を前記活性領域よりも低くした段差を形成する第 1 工程と、

前記活性領域における前記半導体基板のおもて面側に、前記段差により前記終端領域に形成された第 1 面に延在する第 2 導電型の第 1 半導体領域を選択的に形成する第 2 工程と、

前記活性領域の周囲を囲む同心円状に、かつ外側に配置されるほど低い不純物濃度で、前記第 1 面に複数の第 2 導電型半導体領域を形成する第 3 工程と、

を含み、

10

20

30

40

50

前記第3工程では、複数の前記第2導電型半導体領域のうちの最も内側の前記第2導電型半導体領域を、前記第1面から、当該第1面と前記段差よりも前記活性領域側の第2面との間の第3面に沿って形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン(Si)が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT(Insulated Gate Bipolar Transistor:絶縁ゲート型バイポーラトランジスタ)、MOSFET(Metal Oxide Semiconductor Field Effect Transistor:絶縁ゲート型電界効果トランジスタ)など複数種類あり、これらは用途に合わせて使い分けられている。

10

【0003】

例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速にスイッチングさせることができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

20

【0004】

市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強く、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではほぼ材料限界に近いところまで開発が進んでいる。このため、パワー半導体装置の観点からシリコンに代わる半導体材料が検討されており、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製(製造)可能な半導体材料として炭化珪素(SiC)が注目を集めている(例えば、下記非特許文献1参照)。

【0005】

30

炭化珪素は、化学的に非常に安定した半導体材料であり、バンドギャップが3eVと広く、高温でも半導体として極めて安定的に使用することができる。また、炭化珪素は、最大電界強度もシリコンより1桁以上大きいため、オン抵抗を十分に小さくすることができる半導体材料として期待される。このような炭化珪素の特長は、例えば窒化ガリウム(GaN)などシリコンよりもバンドギャップの広い他の半導体(以下、ワイドバンドギャップ半導体とする)にも同様にあてはまる。このため、ワイドバンドギャップ半導体を用いることにより、半導体装置の高耐圧化が可能となる(例えば、下記非特許文献2参照)。

【0006】

このような高耐圧半導体装置では、素子構造が形成されオン状態のときに電流が流れる活性領域だけでなく、活性領域の周囲を囲んで耐圧を保持するエッジ終端領域にも高電圧が印加され、エッジ終端領域に電界が集中する。高耐圧半導体装置の耐圧は、半導体の不純物濃度、厚さおよび電界強度によって決定され、このように半導体固有の特長によって決定される破壊耐量は活性領域からエッジ終端領域にわたって等しい。このため、エッジ終端領域での電界集中によりエッジ終端領域に破壊耐量を超えた電氣的負荷がかかり破壊に至る虞がある。すなわち、エッジ終端領域での破壊耐量で高耐圧半導体装置の耐圧が律速されてしまう。

40

【0007】

エッジ終端領域の電界を緩和または分散させることで高耐圧半導体装置全体の耐圧を向上させた装置として、接合終端(JTE: Junction Termination Extension)構造や、フィールドリミットリング(FLR: Field

50

Limiting Ring) 構造などの耐压構造をエッジ終端領域に配置した装置が公知である(例えば、下記特許文献1, 2参照)。また、下記特許文献1では、FLRに接するフローティングの金属電極をフィールドプレート(FP: Field Plate)として配置し、エッジ終端領域に生じた電荷を放出させることで信頼性を向上させている。

【0008】

従来の高耐压半導体装置の耐压構造について、JTE構造を備えたMOSFETを例に説明する。図6は、従来の半導体装置の構造を示す断面図である。図6に示す従来の半導体装置は、炭化珪素からなる半導体基体(以下、炭化珪素基体(半導体チップ)とする)140に、活性領域110と、活性領域110の周囲を囲むエッジ終端領域120と、を備える。炭化珪素基体140は、炭化珪素からなるn⁺型支持基板(以下、n⁺型炭化珪素基板とする)101のおもて面上に、炭化珪素からなるn型半導体層(以下、n型炭化珪素層とする)102と、炭化珪素からなるp型半導体層(以下、p型炭化珪素層とする)104と、を順に積層してなる。

10

【0009】

活性領域110には、炭化珪素基体140のおもて面(p型炭化珪素層104側の面)側にMOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造が設けられている。エッジ終端領域120の全域にわたってp型炭化珪素層104が除去され、炭化珪素基体140のおもて面にエッジ終端領域120を活性領域110よりも低くした(ドレイン側に凹ませた)段差121が形成され、段差121の底面121aにn型炭化珪素層102が露出されている。また、エッジ終端領域120には、外側(チップ端部側)に配置されるほど不純物濃度を低くした複数のp型低濃度領域(ここでは2つ、内側からp型、p型とし符号131, 132を付す)を隣接して配置したJTE構造130が設けられている。

20

【0010】

p型低濃度領域(以下、第1JTE領域とする)131およびp型低濃度領域(以下、第2JTE領域とする)132は、それぞれ、n型炭化珪素層102の、段差121の底面121aに露出する部分に選択的に設けられている。第1JTE領域131は、段差121の底面121aにおいて最も外側のp型ベース領域103に接する。このJTE構造130と、p型ベース領域103の段差121の底面121aに延在する部分103aと、で耐压構造が構成される。炭化珪素基体140の裏面(n⁺型炭化珪素基板101の裏面)に接するドレイン電極115が設けられている。符号105~109, 111~114は、それぞれn⁺型ソース領域、p⁺型コンタクト領域、n型JFET領域、ゲート絶縁膜、ゲート電極、フィールド酸化膜、層間絶縁膜、ソース電極およびパッシベーション膜である。

30

【0011】

図6に示す構成のMOSFETでは、ソース電極113に対して正の電圧がドレイン電極115に印加された状態で、ゲート電極109にしきい値電圧以下の電圧が印加されているときには、p型ベース領域104aとn型JFET領域107との間のpn接合が逆バイアスされた状態となるため、活性領域の逆方向耐压が確保され電流は流れない。p型ベース領域104aとは、p型炭化珪素層104の、n⁺型ソース領域105およびp⁺型コンタクト領域106以外の部分である。

40

【0012】

一方、ゲート電極109にしきい値電圧以上の電圧が印加されると、p型ベース領域104aの、ゲート電極109直下(ドレイン側)の部分の表面層にn型の反転層(チャネル)が形成される。それによって、n⁺型炭化珪素基板101、n型炭化珪素層102、n型JFET領域107、p型ベース領域104aの表面反転層およびn⁺型ソース領域105の経路で電流が流れる。このように、ゲート電圧を制御することによって、周知のMOSFETのスイッチング動作を行うことができる。

【0013】

50

また、図6に示す構成のMOSFETでは、電圧が印加された際に、p型ベース領域103とn型ドリフト層との間のpn接合から外側に向かって空乏層が伸び、第1,2JTE領域131,132の両方に広がる。n型ドリフト層とは、n型炭化珪素層102の、p型ベース領域103および第1,2JTE領域131,132以外の部分である。エッジ終端領域での耐圧は、第1,2JTE領域131,132とn型ドリフト層との間のpn接合で確保される。

【0014】

また、別の高耐圧半導体装置として、炭化珪素基体のおもて面にエッジ終端領域を活性領域よりも低くした段差を形成し、当該段差の底面と側壁との境界(以下、段差の底面コーナー部とする)を覆うように耐圧構造を構成するp型領域を設けた装置が提案されている(例えば、下記特許文献3~5参照。)

10

【先行技術文献】

【特許文献】

【0015】

【特許文献1】特開2010-50147号公報

【特許文献2】特開2006-165225号公報

【特許文献3】特開2010-045388号公報

【特許文献4】特開2002-164541号公報

【特許文献5】特開2014-107500号公報

【非特許文献】

20

【0016】

【非特許文献1】ケイ・シェナイ(K. Shenai)、外2名、オプティウム セミコンダクターズ フォー ハイパワー エレクトロニクス(Optimum Semiconductors for High-Power Electronics)、アイ・トリプル・イー トランザクションズ オン エレクトロン デバイズ(IEEE Transactions on Electron Devices)、1989年9月、第36巻、第9号、p.1811-1823

【非特許文献2】ビー・ジャヤン・バリガ(B. Jayant Baliga)著、シリコン カーバイド パワー デバイズ(Silicon Carbide Power Devices)、(米国)、ワールド サイエンティフィック パブリッシング カンパニー(World Scientific Publishing Co.)、2006年3月30日、p.61

30

【発明の概要】

【発明が解決しようとする課題】

【0017】

しかしながら、図6に示す従来の半導体装置では、炭化珪素基体140の最上層として積層されるp型炭化珪素層104はエッジ終端領域120に必要な領域となるため、段差121を形成してエッジ終端領域120にn型炭化珪素層102を露出させる。このとき、n型炭化珪素層102に予め形成されているp型ベース領域103の段差121の底面121aに延在する部分103aの厚さt103が、段差121を形成するためのエッチングの深さ方向の寸法ばらつきにより薄くなってしまふ虞がある。これによって、p型ベース領域103の段差121の底面121aに延在する部分103aで不純物濃度にばらつきが生じ、エッジ終端領域120の耐圧が低下するという問題がある。

40

【0018】

上記特許文献3では、段差の底面から側壁にわたってp型不純物濃度が一様であるため、段差の底面コーナー部(段差121の底面121aと側壁121bとの境界)に電界が集中し、エッジ終端領域の耐圧を安定して確保することができないという問題がある。上記特許文献4,5では、段差の側壁においてp型不純物濃度差が生じているが、p型不純物濃度のピークが段差の底面コーナー部よりも活性領域側の部分、すなわち段差の側壁の基体おもて面から浅い部分に位置する。このため、上記特許文献4,5においても上記特

50

許文献 3 と同様に段差の底面コーナー部に電界が集中してしまう。

【 0 0 1 9 】

この発明は、上述した従来技術による問題点を解消するため、安定して所定の耐圧を確保することができる半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 0 】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。シリコンよりもバンドギャップの広い半導体からなる第 1 導電型の半導体基板に、主電流が流れる活性領域と、前記活性領域の周囲を囲む終端領域と、が設けられている。前記半導体基板のおもて面に、前記終端領域を前記活性領域よりも低くした段差が設けられている。前記活性領域における前記半導体基板のおもて面側に、第 2 導電型の第 1 半導体領域が選択的に設けられている。前記第 1 半導体領域は、前記段差により前記終端領域に形成された第 1 面に延在する。前記活性領域の周囲を囲む同心円状に、かつ外側に配置されるほど低い不純物濃度で、複数の第 2 導電型半導体領域が設けられている。複数の前記第 2 導電型半導体領域は、前記第 1 面に設けられている。複数の前記第 2 導電型半導体領域のうちの最も内側の前記第 2 導電型半導体領域は、前記第 1 面から、当該第 1 面と前記段差よりも前記活性領域側の第 2 面との間の第 3 面に沿って設けられている。

10

【 0 0 2 1 】

また、この発明にかかる半導体装置は、上述した発明において、前記最も内側の前記第 2 導電型半導体領域の一部は、前記第 1 面と前記第 3 面との境界において前記第 1 半導体領域の一部に深さ方向に重なって位置している。前記最も内側の前記第 2 導電型半導体領域は、前記第 1 半導体領域に重なる部分で最も高不純物濃度となっていることを特徴とする。

20

【 0 0 2 2 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 1 面において、前記最も内側の前記第 2 導電型半導体領域の厚さは、前記第 1 半導体領域の厚さよりも厚いことを特徴とする。

【 0 0 2 3 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 3 面は、前記第 1 面に対して鈍角となる斜度を有することを特徴とする。

30

【 0 0 2 4 】

また、この発明にかかる半導体装置は、上述した発明において、さらに、次の特徴を有する。前記第 1 半導体領域の内部に、第 1 導電型の第 2 半導体領域が選択的に設けられている。前記第 1 半導体領域の、前記第 2 半導体領域と前記半導体基板との間の領域に接してゲート絶縁膜が設けられている。前記ゲート絶縁膜を挟んで前記第 1 半導体領域の反対側にゲート電極が設けられている。第 1 電極は、前記第 1 半導体領域および前記第 2 半導体領域に接する。第 2 電極は、前記半導体基板の裏面に接する。

【 0 0 2 5 】

また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップの広い半導体は、炭化珪素であることを特徴とする。

40

【 0 0 2 6 】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、シリコンよりもバンドギャップの広い半導体からなる第 1 導電型の半導体基板に設けられた活性領域と、前記活性領域の周囲を囲む終端領域と、を備えた半導体装置の製造方法であって、第 1 ~ 3 工程を含む。前記第 1 工程では、前記半導体基板のおもて面に、前記終端領域を前記活性領域よりも低くした段差を形成する。前記第 2 工程では、前記活性領域における前記半導体基板のおもて面側に、前記段差により前記終端領域に形成された第 1 面に延在する第 2 導電型の第 1 半導体領域を選択的に形成する。前記

50

第3工程では、前記活性領域の周囲を囲む同心円状に、かつ外側に配置されるほど低い不純物濃度で、前記第1面に複数の第2導電型半導体領域を形成する。かつ、前記第3工程では、複数の前記第2導電型半導体領域のうちの最も内側の前記第2導電型半導体領域を、前記第1面から、当該第1面と前記段差よりも前記活性領域側の第2面との間の第3面に沿って形成することを特徴とする。

【0027】

上述した発明によれば、段差の底面コーナー部（段差の底面と側壁との境界）で、最も内側の第2導電型半導体領域と第1半導体領域とが重なるため、段差の底面コーナー部での第2導電型不純物濃度ピークが段差の底面よりもドレイン側（第2電極側）に深い部分となる。これにより、段差の底面コーナー部での電界集中を緩和させることができる。

10

【発明の効果】

【0028】

本発明にかかる半導体装置および半導体装置の製造方法によれば、終端領域の所定の耐圧を安定して確保し、安定して半導体装置の高耐圧化を図ることができるという効果を奏する。

【図面の簡単な説明】

【0029】

【図1】実施の形態にかかる半導体装置の構造を示す断面図である。

【図2】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【図3】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

20

【図4】実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。

【図5】実施例にかかる半導体装置の耐圧特性を示す特性図である。

【図6】従来の半導体装置の構造を示す断面図である。

【発明を実施するための形態】

【0030】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数を表している。

30

【0031】

（実施の形態）

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として例えば炭化珪素（SiC）を用いて作製された炭化珪素半導体装置について、プレーナゲート型MOSFETを例に説明する。図1は、実施の形態にかかる半導体装置の構造を示す断面図である。図1に示すように、実施の形態にかかる炭化珪素半導体装置は、炭化珪素からなる半導体基体（以下、炭化珪素基体（半導体基板（半導体チップ））とする）40に、活性領域10と、活性領域10の周囲を囲むエッジ終端領域20と、を備える。活性領域10は、オン状態のときに電流が流れる領域である。エッジ終端領域20は、ドリフト領域の基体おもて面側の電界を緩和し耐圧を保持する領域である。

40

【0032】

炭化珪素基体40は、炭化珪素からなるn⁺型支持基板（n⁺型炭化珪素基板）1のおもて面上に、炭化珪素からなるn型半導体層（n型炭化珪素層）2と、炭化珪素からなるp型半導体層（p型炭化珪素層）4と、を順に積層してなる。n⁺型炭化珪素基板1は、ドレイン領域として機能する。活性領域10において、n型炭化珪素層2の、n⁺型炭化珪素基板1側に対して反対側（基体おもて面側）の表面層には、p型ベース領域（第1半

50

導体領域) 3 が選択的に設けられている。最も外側(チップ端部側)の p 型ベース領域 3 は、活性領域 10 側から後述する段差 21 の底面(第 1 面) 21 a まで延在し、その一部が段差 21 の底面 21 a に露出されている。段差 21 の底面 21 a とは、段差 21 の形成によりエッジ終端領域 20 に新たに形成された、炭化珪素基板 40 のおもて面である。段差 21 の底面 21 a に露出とは、後述するフィールド酸化膜 11 に接するように配置されていることである。n 型炭化珪素層 2 の、p 型ベース領域 3 および後述する第 1, 2 JTE 領域 31, 32 以外の部分がドリフト領域である。

【0033】

n 型炭化珪素層 2 の、n 型炭化珪素基板 1 側に対して反対側の表面には、p 型ベース領域 3 を覆うように p 型炭化珪素層 4 が設けられている。p 型炭化珪素層 4 の不純物濃度は、p 型ベース領域 3 の不純物濃度よりも低い。p 型炭化珪素層 4 の内部には、深さ方向に p 型ベース領域 3 に対向する部分に、n 型ソース領域(第 2 半導体領域) 5 および p 型コンタクト領域 6 がそれぞれ選択的に設けられている。また、p 型炭化珪素層 4 の内部には、p 型炭化珪素層 4 を深さ方向に貫通して n 型炭化珪素層 2 に達する n 型半導体領域 7 が設けられている。n 型半導体領域 7 は、n 型ソース領域 5 に対して p 型コンタクト領域 6 の反対側に n 型ソース領域 5 と離して配置されている。

10

【0034】

p 型炭化珪素層 4 の、n 型ソース領域 5、p 型コンタクト領域 6 および n 型半導体領域 7 以外の部分(以下、第 2 p 型ベース領域(第 1 半導体領域)とする) 4 a は、p 型ベース領域(以下、第 1 p 型ベース領域とする) 3 とともにベース領域として機能する。n 型半導体領域(以下、n 型 JFET 領域とする) 7 は、隣り合うベース領域間に挟まれた JFET(Junction FET)領域であり、n 型炭化珪素層 2 とともにドリフト領域として機能する。隣り合うベース領域間に挟まれた n 型 JFET 領域 7 の不純物濃度を n 型炭化珪素層 2 の不純物濃度よりも高くすることで、JFET 抵抗の低減を図っている。

20

【0035】

第 2 p 型ベース領域 4 a の、n 型ソース領域 5 と n 型 JFET 領域 7 とに挟まれた部分の表面上には、n 型ソース領域 5 から n 型 JFET 領域 7 にわたってゲート絶縁膜 8 を介してゲート電極 9 が設けられている。これら第 1, 2 p 型ベース領域 3, 4 a、n 型ソース領域 5、p 型コンタクト領域 6、ゲート絶縁膜 8 およびゲート電極 9 は、炭化珪素基板 40 のおもて面(p 型炭化珪素層 4 側の面)側において MOS ゲート構造を構成する。図 1 には、1 つの MOS ゲート構造のみを図示するが、活性領域 10 に複数の MOS ゲート構造が並列に配置されていてもよい。ソース電極(第 1 電極) 13 は、n 型ソース領域 5 および p 型コンタクト領域 6 に接するとともに、層間絶縁膜 12 によりゲート電極 9 と電氣的に絶縁されている。

30

【0036】

エッジ終端領域 20 の全域にわたって p 型炭化珪素層 4 が除去され、炭化珪素基板 40 のおもて面にエッジ終端領域 20 を活性領域 10 よりも低くした(ドレイン側に凹ませた)段差 21 が形成されている。すなわち、段差 21 の底面 21 a には、n 型炭化珪素層 2 が露出されている。段差 21 の側壁(第 3 面) 21 b は、段差 21 の底面 21 a と、段差 21 よりも活性領域 10 側の基板おもて面(第 2 面)と、の間に位置し、かつ段差 21 の底面 21 a に対する角度 θ を鈍角とする斜度を有する、炭化珪素基板 40 のおもて面である。段差 21 の側壁 21 b の底面 21 a に対する角度 θ は、例えば略 90 度であってもよい(90度 $<$ 180度)。段差 21 の側壁 21 b は、例えば、エッジ終端領域 20 の活性領域 10 との境界付近に位置する。段差 21 の深さ d1 は p 型炭化珪素層 4 の厚さ t4 以上であり(d1 \geq t4)、段差 21 の側壁 21 b には、p 型炭化珪素層 4、または p 型炭化珪素層 4 および第 1 p 型ベース領域 3 が露出される。

40

【0037】

段差 21 の底面 21 a と側壁 21 b と境界(以下、段差 21 の底面コーナー部とする) 21 c は、p 型炭化珪素層 4 と最も外側の第 1 p 型ベース領域 3 との境界よりもドレイン

50

側で、かつ最も外側の第1 p型ベース領域3を貫通しない深さ位置に位置する。すなわち、段差21の底面コーナー部21cは、少なくともドレイン側を最も外側の第1 p型ベース領域3に覆われる。段差21は、活性領域10の周囲を囲む略環状の平面レイアウトに配置される。また、エッジ終端領域20には、外側に配置されるほど不純物濃度を低くした複数のp型低濃度領域(第2導電型半導体領域:ここでは2つ、内側(活性領域10側)からp型、p型とし符号31, 32を付す)を隣接して配置したJTE構造30が設けられている。JTE構造30は、活性領域10の周囲を囲む略環状の平面レイアウトに配置される。

【0038】

p型低濃度領域(以下、第1JTE領域とする)31は、段差21の底面21aから側壁21bに沿って設けられ、底面コーナー部21cを覆う。これにより、第1JTE領域31の一部は、段差21の底面コーナー部21cにおいて最も外側の第1 p型ベース領域3の一部に深さ方向に重なって位置する(符号33で示す破線部分)。すなわち、第1JTE領域31は、第1 p型ベース領域3と重なる部分33で最も高不純物濃度であり、段差21の底面コーナー部21c付近において段差21の底面21aよりもドレイン側に深い部分に深さ方向の不純物濃度ピークを有する。第1JTE領域31は、段差21の側壁21bにおいて第2 p型ベース領域4aに重なるように設けられていてもよい(符号34で示す破線部分)。第1JTE領域31の、段差21の底面21aの部分の厚さ(段差21の底面21aからの深さ)t1は、第1 p型ベース領域3の、段差21の底面21aの部分の厚さt3よりも厚い($t1 > t3$)。

【0039】

p型低濃度領域(以下、第2JTE領域とする)32は、段差21の底面コーナー部21cに沿って設けられ、第1JTE領域31の外側に隣接する。第2JTE領域32の厚さt2は、第1JTE領域31の、段差21の底面21aの部分の厚さt1とほぼ等しい($t1 \approx t2$)。第1, 2JTE領域31, 32は、同心円状の平面レイアウトに配置される。第1, 2JTE領域31, 32の段差21の底面21aに沿った部分の幅は、外側に配置されるほど狭くなっているもよい。図1には、第1JTE領域31を第1, 2 p型ベース領域3, 4aに重なるように設け、第1JTE領域31の内側の端部が段差21の側壁21bよりも内側に位置する場合を示す。

【0040】

チップ端部から第1JTE領域31の内側の端部までがエッジ終端領域20である。エッジ終端領域20における炭化珪素基板40のおもて面上には活性領域10側から層間絶縁膜12が延在し、第1, 2JTE領域31, 32を覆う。エッジ終端領域20において炭化珪素基板40のおもて面と層間絶縁膜12との間に、フィールド酸化膜11が設けられていてもよい。また、エッジ終端領域20において層間絶縁膜12上には、パッシベーション膜など例えばポリイミドからなる保護膜14が設けられている。保護膜14は、放電を防止する機能を有する。保護膜14は、ソース電極13の端部上延在していてもよい。炭化珪素基板40の裏面(n型炭化珪素基板1の裏面)には、ドレイン電極(第2電極)15が設けられている。

【0041】

次に、実施の形態にかかる半導体装置の製造方法について、例えば1200Vの耐压クラスのMOSFETを作製する場合を例に説明する。図2~4は、実施の形態にかかる半導体装置の製造途中の状態を示す断面図である。まず、例えば $2.0 \times 10^{19} / \text{cm}^3$ の不純物濃度となるように窒素(N)などのn型不純物(ドーパント)をドーピングした炭化珪素単結晶のn型炭化珪素基板(半導体ウエハ)1を用意する。n型炭化珪素基板1のおもて面は、例えば<11-20>方向に4度程度のオフ角を有する(000-1)面であってもよい。次に、n型炭化珪素基板1のおもて面に、例えば $1.0 \times 10^{16} / \text{cm}^3$ の不純物濃度となるように窒素などのn型不純物をドーピングしたn型炭化珪素層2を例えば10 μm の厚さでエピタキシャル成長させる。

【0042】

10

20

30

40

50

次に、フォトリソグラフィおよびイオン注入により、 n 型炭化珪素層 2 の表面層に第 1 p 型ベース領域 3 を選択的に形成する。このとき、最も外側の第 1 p 型ベース領域 3 は、後の工程で形成される段差 2 1 の底面 2 1 a にまで延在するように形成する。このイオン注入においては、例えば、 $1.0 \times 10^{14} / \text{cm}^2$ のドーズ量でアルミニウム (Al) などの p 型不純物 (ドーパント) を注入し、第 1 p 型ベース領域 3 の不純物濃度を $1.0 \times 10^{18} / \text{cm}^3$ としてもよい。例えば第 1 p 型ベース領域 3 をストライプ状の平面レイアウトに配置し、その幅 (ストライプの幅) および深さをそれぞれ $1.3 \mu\text{m}$ および $0.5 \mu\text{m}$ としてもよい。隣り合う第 1 p 型ベース領域 3 間の間隔は、例えば $2 \mu\text{m}$ であってもよい。次に、 n 型炭化珪素層 2 の表面に、例えば $2.0 \times 10^{16} / \text{cm}^3$ の不純物濃度となるようにアルミニウムなどの p 型不純物をドーピングした p 型炭化珪素層 4 を例えば $0.5 \mu\text{m}$ の厚さでエピタキシャル成長させる。

10

【0043】

ここまでの工程で、 n 型炭化珪素基板 1 のおもて面上に n 型炭化珪素層 2 および p 型炭化珪素層 4 を順に積層してなる炭化珪素基体 4 0 が作製される。次に、フォトリソグラフィおよびイオン注入により、 p 型炭化珪素層 4 の一部の導電性を反転させて n 型 J F E T 領域 7 を選択的に形成する。このイオン注入においては、 n 型 J F E T 領域 7 の不純物濃度が例えば $5.0 \times 10^{16} / \text{cm}^3$ となるように窒素などの n 型不純物を注入してもよい。 n 型 J F E T 領域 7 の幅および深さは、例えば、それぞれ $2.0 \mu\text{m}$ および $0.6 \mu\text{m}$ であってもよい。

【0044】

次に、フォトリソグラフィおよびエッチングによるイオン注入用マスクの形成と、このイオン注入用マスクを用いたイオン注入と、イオン注入用マスクの除去と、を 1 組とする工程を異なるイオン注入条件で繰り返し行うことで、 n 型ソース領域 5 および p 型コンタクト領域 6 を形成する。 n 型 J F E T 領域 7、 n 型ソース領域 5 および p 型コンタクト領域 6 を形成する順序は種々変更可能である。後述する段差 2 1 の形成後、活性化熱処理の前に、 n 型 J F E T 領域 7、 n 型ソース領域 5 および p 型コンタクト領域 6 を形成してもよい。

20

【0045】

次に、フォトリソグラフィおよびエッチングにより、炭化珪素基体 4 0 のおもて面に例えば $0.7 \mu\text{m}$ の深さで段差 2 1 を形成し、エッジ終端領域 2 0 の全域にわたって p 型炭化珪素層 4 を除去して n 型炭化珪素層 2 を露出させる。これにより、段差 2 1 の底面 2 1 a の活性領域 1 0 側および段差 2 1 の底面コーナー部 2 1 c に第 1 p 型ベース領域 3 が露出される。段差 2 1 の側壁 2 1 b に、第 2 p 型ベース領域 4 a (p 型炭化珪素層 4) が露出される。また、このとき、例えば等方性エッチングにより段差 2 1 を形成することで、段差 2 1 の側壁 2 1 b に底面 2 1 a に対する角度 が鈍角となる斜度をつけてもよい。ここまでの状態が図 2 に示されている。

30

【0046】

次に、フォトリソグラフィおよびエッチングにより、炭化珪素基体 4 0 のおもて面に、第 1 J T E 領域 3 1 の形成領域に対応した部分を開口したレジストマスク 5 1 を形成する。次に、このレジストマスク 5 1 をマスクとして p 型不純物をイオン注入 5 2 し、段差 2 1 の底面コーナー部 2 1 c を覆う第 1 J T E 領域 3 1 を形成する。このとき、段差 2 1 の側壁 2 1 b に沿って p 型不純物をイオン注入 5 2 し、第 1、2 p 型ベース領域 3、4 a に重なるように第 1 J T E 領域 3 1 を形成する。図 3 には、第 1 J T E 領域 3 1 の、第 1、2 p 型ベース領域 3、4 a と重なる部分 3 3、3 4 を破線で示す (図 4 においても同様)。このイオン注入 5 2 においては、例えば $1.0 \times 10^{13} / \text{cm}^2$ のドーズ量でアルミニウムなどの p 型不純物を注入し、第 1 p 型ベース領域 3 よりも不純物濃度の低い第 1 J T E 領域 3 1 を形成する。

40

【0047】

また、上述したように段差 2 1 の側壁 2 1 b を底面 2 1 a に対して鈍角となる角度 に傾斜させることで、炭化珪素基体 4 0 のおもて面に略垂直な方向 (深さ方向) からのイオ

50

ン注入52において、段差21の側壁21bにも当該側壁21bから等しい深さでp型不純物濃度が導入される。このため、炭化珪素基体40のおもて面に略垂直な方向からの1回のイオン注入52で、段差21の底面21aから側壁21bにわたって第1JTE領域31を形成することができる。この場合、第1JTE領域31の第2p型ベース領域4aに重なる部分34の基体おもて面からの深さd11、および、第1JTE領域31の段差21の側壁21bからの基体おもて面に垂直な方向の深さd12は、第1JTE領域31の、段差21の底面21aの部分の厚さt1とほぼ等しくなる(d11=t1、d12=t1)。また、段差21の側壁21bよりも活性領域10側に開口部の幅を広くしたレジストマスク51を用いることで、段差21の側壁21b全面にわたって等しい深さd12で第1JTE領域31を形成することができる。ここまでの状態が図3に示されている。

10

【0048】

次に、第1JTE領域31の形成に用いたレジストマスク51を除去した後、炭化珪素基体40のおもて面に、第2JTE領域32の形成領域に対応した部分を開口したレジストマスク53を形成する。次に、このレジストマスク53をマスクとしてp型不純物をイオン注入54し、段差21の底面21aに、第1JTE領域31の外側に隣接する第2JTE領域32を形成する。第2JTE領域32の不純物濃度は、例えば第1JTE領域31の不純物濃度の1/2程度であってもよい。ここまでの状態が図4に示されている。次に、第2JTE領域32の形成に用いたレジストマスク53を除去する。第1、2JTE領域31、32の形成順序は入れ替え可能である。

【0049】

20

次に、第1p型ベース領域3、n⁺型ソース領域5、p⁺型コンタクト領域6、n型JFET領域7および第1、2JTE領域31、32を活性化させるための熱処理(アニール)を例えば1620程度の温度で2分間程度行う。次に、例えば、酸素(O₂)ガスと水素(H₂)ガスとの混合ガス雰囲気中における1000程度の温度の熱処理により炭化珪素基体40のおもて面を熱酸化し、例えば100nm程度の厚さでゲート絶縁膜8を形成する。これにより、炭化珪素基体40のおもて面全面がゲート絶縁膜8で覆われる。

【0050】

次に、ゲート絶縁膜8上に、例えばリン(P)がドーブされたポリシリコン(poly-Si)層を形成する。次に、このポリシリコン層をパターニングして選択的に除去し、第2p型ベース領域4aの、n⁺型ソース領域5とn型JFET領域7とに挟まれた部分の表面上の部分を残す。このゲート絶縁膜8上に残るポリシリコン層がゲート電極9となる。ゲート電極9となるポリシリコン層を、第2p型ベース領域4aの、n⁺型ソース領域5とn型JFET領域7とに挟まれた部分の表面上からn型JFET領域7上にわたって残してもよい。

30

【0051】

次に、炭化珪素基体40のおもて面全面に、ゲート電極9を覆うように、例えばリンガラス(PSG:Phospho Silicate Glass)などによる層間絶縁膜12を例えば1.0μmの厚さで成膜(形成)する。次に、フォトリソグラフィおよびエッチングにより、層間絶縁膜12およびゲート絶縁膜8をパターニングしてコンタクトホールを形成し、n⁺型ソース領域5およびp⁺型コンタクト領域6を露出させる。ゲート電極9の形成後、層間絶縁膜12の形成前に、エッジ終端領域20における炭化珪素基体40のおもて面上にフィールド酸化膜11を形成してもよい。

40

【0052】

次に、熱処理(リフロー)により層間絶縁膜12を平坦化する。次に、例えばスパッタ法により、炭化珪素基体40のおもて面上に、コンタクトホールの内部に埋め込むようにソース電極13を形成する。次に、フォトリソグラフィおよびエッチングにより、ソース電極13をパターニングする。ソース電極13の厚さは、例えば5μmであってもよい。ソース電極13の材料は、例えば1%の割合でシリコン(Si)を含んだアルミニウム(Al-Si)であってもよい。

【0053】

50

次に、炭化珪素基板 40 の裏面 (n⁺型炭化珪素基板 1 の裏面) に、ドレイン電極 15 として例えばニッケル (Ni) 膜を成膜する。そして、例えば 970 の温度での熱処理によりドレイン電極 15 と炭化珪素基板 40 とのオーミック接合を形成する。次に、ニッケル膜の表面に、ドレイン電極 15 として例えばチタン (Ti) 膜、ニッケル膜および金 (Au) 膜を順に成膜する。次に、炭化珪素基板 40 のおもて面に保護膜 14 を形成する。その後、炭化珪素基板 40 をチップ状に切断 (ダイシング) して個片化することで、図 1 に示す MOSFET が完成する。

【0054】

以上、説明したように、実施の形態によれば、段差の底面から側壁に沿って第 1 JTE 領域を設けることで、段差の底面コーナー部で第 1 JTE 領域と第 1 ベース領域とが重なる。これにより、耐圧構造を構成する p 型領域の、段差の底面の部分の厚さが活性領域側で薄くなることを防止することができるため、エッジ終端領域の耐圧が低下することを防止することができる。また、第 1 JTE 領域の不純物濃度が第 1 p 型ベース領域と重なる部分で最も高くなり (例えば相対的に数%程度高不純物濃度になる)、段差の底面コーナー部付近において深さ方向の p 型不純物濃度がピークを段差の底面よりもドレイン側に深い部分に位置させることができる。これにより、段差の底面コーナー部での電界の負担分を段差の底面コーナー部よりも外側の平坦な部分 (段差の底面) で低減させることができ、段差の底面コーナー部での電界集中が緩和されるため、エッジ終端領域の所定耐圧を安定して確保することができる。なお、第 1 JTE 領域の、第 1 p 型ベース領域と重なる部分の不純物濃度が高くなりすぎた場合にはエッジ終端領域の耐圧が低下する虞があるが、一般的な JTE 構造の不純物濃度範囲内においては、エッジ終端領域の耐圧が低下するほど第 1 JTE 領域の、第 1 p 型ベース領域と重なる部分の不純物濃度が高くなることはない。

【0055】

また、実施の形態によれば、第 1 ベース領域の不純物濃度が低い場合であっても、段差の底面コーナー部付近の p 型不純物濃度を高めることができ、エッジ終端領域の高耐圧化を図ることができる。また、実施の形態によれば、エッジ終端領域に段差を形成した後に、イオン注入により第 1 JTE 領域を形成するため、段差を形成するためのエッチングの深さ方向の寸法ばらつきに依らず、段差の底面からのほぼ等しい深さで第 1 JTE 領域を形成することができる。これにより、第 1 JTE 領域の不純物濃度がばらつくことを抑制することができるため、エッジ終端領域の所定耐圧を安定して確保することができる。このように、エッジ終端領域の所定耐圧を安定して確保することができるため、エッジ終端領域よりも早く活性領域でアバランシェが生じる耐圧構造を備えた半導体装置を安定して提供することができる。

【0056】

(実施例)

次に、第 1 p 型ベース領域 3 の不純物濃度とエッジ終端領域 20 の耐圧との関係について検証した。図 5 は、実施例にかかる半導体装置の耐圧特性を示す特性図である。図 5 の横軸には第 1 p 型ベース領域 3 の不純物濃度を示し、縦軸にはエッジ終端領域 20 の耐圧を示す。図 5 の注釈の括弧内は段差 21 の深さである。上述した実施の形態にかかる半導体装置の構造 (図 1 参照) にしたがって、段差 21 の深さ d1 および第 1 p 型ベース領域 3 の不純物濃度の異なる複数の MOSFET を作製した (以下、実施例とする)。具体的には、段差 21 の深さ d1 を 0.5 μm、0.7 μm および 0.9 μm とした 3 つの実施例について、それぞれ第 1 p 型ベース領域 3 の不純物濃度を $1.00 \times 10^{16} / \text{cm}^3 \sim 1.00 \times 10^{19} / \text{cm}^3$ の範囲で種々変更した。これら実施例の試料においてエッジ終端領域 20 の耐圧を測定した結果を図 5 に示す。図 5 には、従来例の半導体装置 (図 6 参照) のエッジ終端領域 120 の耐圧特性も示す (以下、従来例とする)。従来例では、第 1 JTE 領域 131 が段差 121 の底面 121a のみに形成され、第 1, 2 p 型ベース領域 103, 104a と重なっていない。従来例の段差 121 の深さおよび第 1 p 型ベース領域 103 の不純物濃度は、実施例と同様である。

10

20

30

40

50

【 0 0 5 7 】

図5に示す結果より、従来例では、第1p型ベース領域103の不純物濃度が低くなるほど、エッジ終端領域120の耐圧が大幅に低下することが確認された（例えば符号62で示す部分）。また、従来例では、段差121の深さが深くなるほど、エッジ終端領域120の耐圧が低下することが確認された。一方、実施例においては、第1p型ベース領域3の不純物濃度が低い範囲であっても（例えば符号61で示す部分）、エッジ終端領域20の耐圧を従来例よりも大幅に向上させることができることが確認された。したがって、第1p型ベース領域3の不純物濃度が低い場合であってもエッジ終端領域20の耐圧向上を図ることができることがわかる。また、実施例においては、エッジ終端領域20の耐圧特性は、第1p型ベース領域3の不純物濃度に依存し、段差21の深さd1に依存しないことが確認された。したがって、本発明においては、段差21を形成するためのエッチングの深さ方向の寸法ばらつきに依らず、エッジ終端領域20の所定耐圧を安定して確保することができることがわかる。

10

【 0 0 5 8 】

以上において本発明は、上述した実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した実施の形態では、MOSFETを例に説明しているが、上述した実施の形態に限らず、バイポーラトランジスタやIGBTなどさまざまな素子構造の半導体装置に適用可能である。また、各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した実施の形態では、2つのJTE領域を隣接して配置したダブルゾーンJTE構造を例に説明しているが、最も内側のJTE領域を段差の底面コーナー部を覆うように配置すればよく、外側に配置されるほど低不純物濃度の3つ以上のJTE領域を隣接したマルチゾーンJTE構造としてもよい。また、本発明は、窒化ガリウム(GaN)などの他のワイドバンドギャップ半導体を用いた半導体装置や、シリコンを用いた半導体装置においても同様の効果を奏する。また、実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

20

【 産業上の利用可能性 】

【 0 0 5 9 】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、スイッチングデバイスとして用いられる半導体装置に有用であり、特にワイドバンドギャップ半導体を用いた縦型MOSFETに適している。

30

【 符号の説明 】

【 0 0 6 0 】

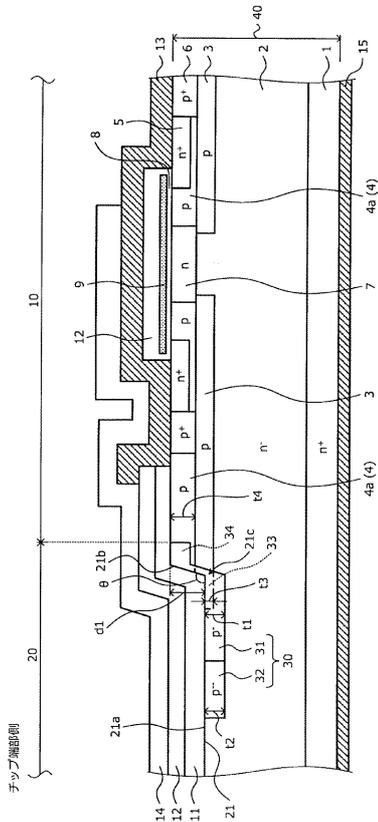
- 1 n⁺型炭化珪素基板
- 2 n型炭化珪素層
- 3, 4a p型ベース領域
- 4 p型炭化珪素層
- 5 n⁺型ソース領域
- 6 p⁺型コンタクト領域
- 7 n型JFET領域
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 活性領域
- 11 フィールド酸化膜
- 12 層間絶縁膜
- 13 ソース電極
- 14 保護膜
- 15 ドレイン電極
- 20 エッジ終端領域
- 21 段差

40

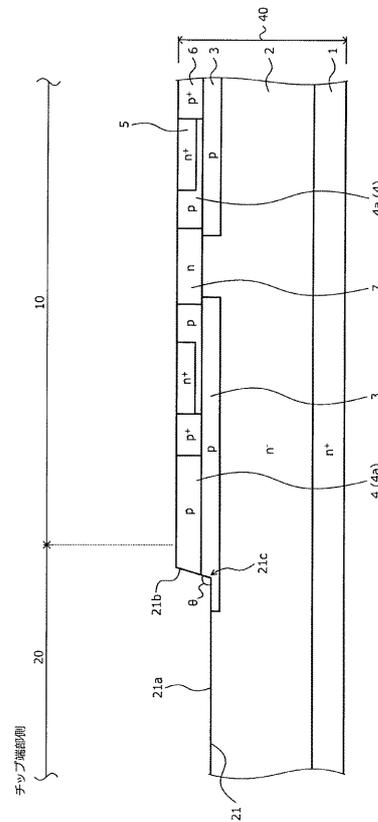
50

- 2 1 a 段差の底面
- 2 1 b 段差の側壁
- 2 1 c 段差の底面コーナー部
- 3 0 J T E 構造
- 3 1 第 1 J T E 領域 (p 型低濃度領域)
- 3 2 第 2 J T E 領域 (p 型低濃度領域)
- 3 3 第 1 J T E 領域の、第 1 p 型ベース領域に重なっている部分
- 3 4 第 1 J T E 領域の、第 2 p 型ベース領域に重なっている部分
- 4 0 炭化珪素基板
- d 1 段差の深さ
- d 1 1 第 1 J T E 領域の第 2 p 型ベース領域に重なる部分の基板おもて面からの深さ
- d 1 2 第 1 J T E 領域の段差の側壁からの基板おもて面に垂直な方向の深さ
- t 1 第 1 J T E 領域の、段差の底面の部分の厚さ
- t 2 第 2 J T E 領域の厚さ
- t 3 第 1 p 型ベース領域の、段差の底面の部分の厚さ
- t 4 p 型炭化珪素層の厚さ

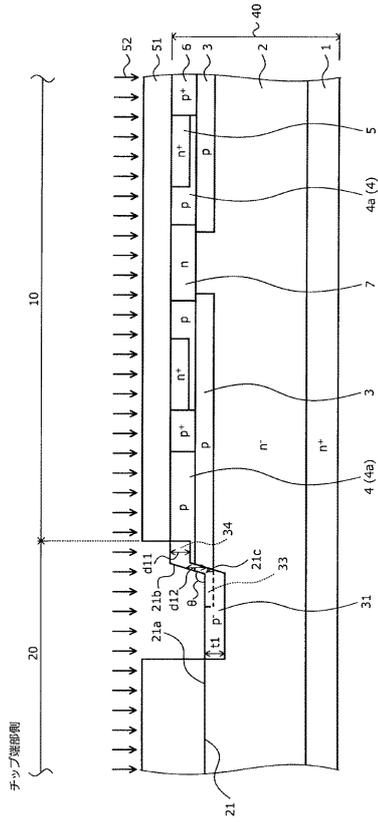
【 図 1 】



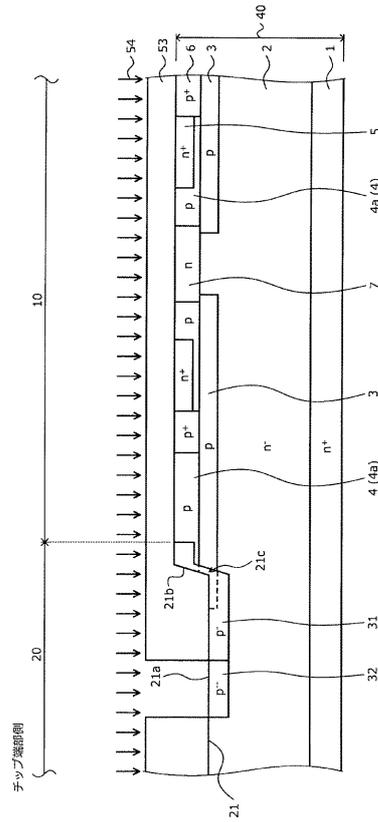
【 図 2 】



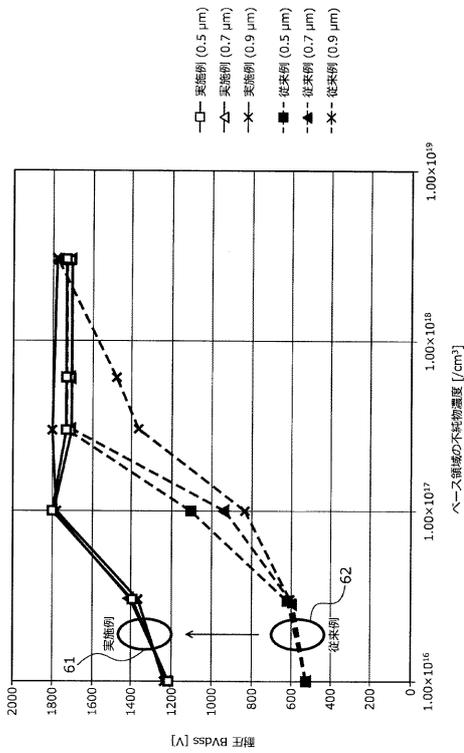
【図 3】



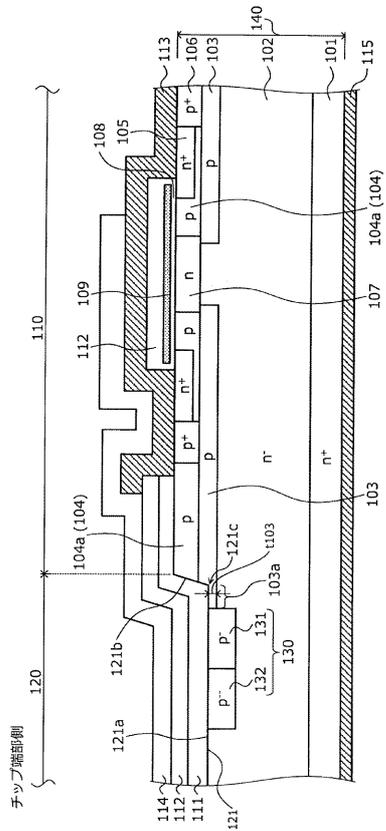
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.	F I		テーマコード(参考)
	H 0 1 L	29/06	3 0 1 R
	H 0 1 L	29/06	3 0 1 V
	H 0 1 L	29/06	3 0 1 D