

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-46247  
(P2018-46247A)

(43) 公開日 平成30年3月22日(2018.3.22)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 F	
	HO 1 L 29/78 6 5 2 S	
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2016-181951 (P2016-181951)  
(22) 出願日 平成28年9月16日 (2016.9.16)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(71) 出願人 317011920  
東芝デバイス&ストレージ株式会社  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100119035  
弁理士 池上 徹真  
(74) 代理人 100141036  
弁理士 須藤 章  
(74) 代理人 100088487  
弁理士 松山 允之  
(72) 発明者 河野 洋志  
東京都港区芝浦一丁目1番1号 株式会社  
東芝内

最終頁に続く

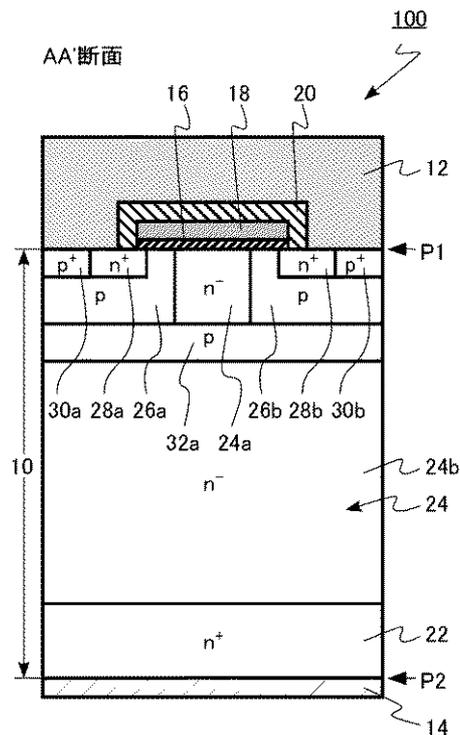
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 短絡耐量の向上を可能とする半導体装置を提供する。

【解決手段】 実施形態の半導体装置は、第1の電極と、第2の電極と、ゲート電極と、一部が第1の電極と第2の電極との間、又は、ゲート電極と第2の電極との間に設けられた第1導電型の第1の炭化珪素領域と、第1の電極と第1の炭化珪素領域との間に設けられた第2導電型の第2及び第3の炭化珪素領域と、第1の電極と第2の炭化珪素領域との間に設けられた第1導電型の第4の炭化珪素領域と、第1の電極と第3の炭化珪素領域との間に設けられた第1導電型の第5の炭化珪素領域と、ゲート電極と第2の炭化珪素領域、及び、第3の炭化珪素領域との間に設けられたゲート絶縁層と、第2及び第3の炭化珪素領域と接し、ゲート電極との間に第1の炭化珪素領域の第1の部分が位置し、第2の電極との間に第1の炭化珪素領域の第2の部分が位置する第2導電型の第6の炭化珪素領域と、を備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の電極と、  
第 2 の電極と、  
ゲート電極と、

少なくとも一部が前記第 1 の電極と前記第 2 の電極との間に設けられ、少なくとも一部が前記ゲート電極と前記第 2 の電極との間に設けられた第 1 導電型の第 1 の炭化珪素領域と、

前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、

前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられ、前記第 2 の炭化珪素領域との間に前記第 1 の炭化珪素領域の第 1 の部分が位置する第 2 導電型の第 3 の炭化珪素領域と、

前記第 1 の電極と前記第 2 の炭化珪素領域との間に設けられ、前記第 1 の炭化珪素領域と離間した第 1 導電型の第 4 の炭化珪素領域と、

前記第 1 の電極と前記第 3 の炭化珪素領域との間に設けられ、前記第 1 の炭化珪素領域と離間した第 1 導電型の第 5 の炭化珪素領域と、

前記ゲート電極と前記第 2 の炭化珪素領域との間、及び、前記ゲート電極と前記第 3 の炭化珪素領域との間に設けられたゲート絶縁層と、

前記第 2 の炭化珪素領域及び前記第 3 の炭化珪素領域と接し、前記ゲート電極との間に前記第 1 の炭化珪素領域の前記第 1 の部分が位置し、前記第 2 の電極との間に前記第 1 の炭化珪素領域の第 2 の部分が位置する第 2 導電型の第 6 の炭化珪素領域と、

を備える半導体装置。

## 【請求項 2】

前記第 2 の炭化珪素領域及び前記第 3 の炭化珪素領域と接し、前記ゲート電極との間に前記第 1 の炭化珪素領域の前記第 1 の部分が位置し、前記第 2 の電極との間に前記第 1 の炭化珪素領域の第 2 の部分が位置し、前記第 6 の炭化珪素領域との間に前記第 1 の炭化珪素領域が位置する第 2 導電型の第 7 の炭化珪素領域、を更に備える請求項 1 記載の半導体装置。

## 【請求項 3】

前記第 6 の炭化珪素領域と前記第 7 の炭化珪素領域との間隔が、前記第 6 の炭化珪素領域の幅、及び、前記第 7 の炭化珪素領域の幅よりも大きい請求項 2 記載の半導体装置。

## 【請求項 4】

前記第 6 の炭化珪素領域の厚さが  $0.2 \mu\text{m}$  以上である請求項 1 乃至請求項 3 いずれか一項記載の半導体装置。

## 【請求項 5】

前記第 1 の部分の第 1 導電型不純物の不純物濃度が、前記第 2 の部分の第 1 導電型不純物の不純物濃度よりも高い請求項 1 乃至請求項 4 いずれか一項記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、半導体装置に関する。

## 【背景技術】

## 【0002】

次世代の半導体デバイス用の材料として炭化珪素が期待されている。炭化珪素はシリコンと比較して、バンドギャップが 3 倍、破壊電界強度が約 10 倍、熱伝導率が約 3 倍と優れた物性を有する。この特性を活用すれば、高耐圧、低損失かつ高温動作可能な MOSFET (Metal Oxide Semiconductor Field Effect Transistor) や、IGBT (Insulated Gate Bipolar Transistor) などを実現することができる。

10

20

30

40

50

## 【 0 0 0 3 】

例えば、回路の故障などにより、M O S F E Tが短絡状態になると、ソース - ドレイン間に高い電圧が印加され、大きな電流が流れる。同様に、I G B Tが短絡状態になると、エミッタ - コレクタ間に高い電圧が印加され、大きな電流が流れる。M O S F E TやI G B Tが短絡状態になってから破壊にいたるまでの時間は、短絡耐量と称される。短絡状態になった場合のM O S F E TやI G B Tの破壊を防止するために、短絡耐量の向上が望まれる。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 5 - 1 1 9 1 5 7 号 公 報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

本発明が解決しようとする課題は、短絡耐量の向上を可能とする半導体装置を提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 0 6 】

実施形態の半導体装置は、第 1 の電極と、第 2 の電極と、ゲート電極と、少なくとも一部が前記第 1 の電極と前記第 2 の電極との間に設けられ、少なくとも一部が前記ゲート電極と前記第 2 の電極との間に設けられた第 1 導電型の第 1 の炭化珪素領域と、前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられ、前記第 2 の炭化珪素領域との間に前記第 1 の炭化珪素領域の第 1 の部分が位置する第 2 導電型の第 3 の炭化珪素領域と、前記第 1 の電極と前記第 2 の炭化珪素領域との間に設けられ、前記第 1 の炭化珪素領域と離間した第 1 導電型の第 4 の炭化珪素領域と、前記第 1 の電極と前記第 3 の炭化珪素領域との間に設けられ、前記第 1 の炭化珪素領域と離間した第 1 導電型の第 5 の炭化珪素領域と、前記ゲート電極と前記第 2 の炭化珪素領域との間、及び、前記ゲート電極と前記第 3 の炭化珪素領域との間に設けられたゲート絶縁層と、前記第 2 の炭化珪素領域及び前記第 3 の炭化珪素領域と接し、前記ゲート電極との間に前記第 1 の炭化珪素領域の前記第 1 の部分が位置し、前記第 2 の電極との間に前記第 1 の炭化珪素領域の第 2 の部分が位置する第 2 導電型の第 6 の炭化珪素領域と、を備える。

## 【 図面の簡単な説明 】

## 【 0 0 0 7 】

【 図 1 】 第 1 の実施形態の半導体装置の模式断面図。

【 図 2 】 第 1 の実施形態の半導体装置の模式上面図。

【 図 3 】 第 1 の実施形態の半導体装置の模式断面図。

【 図 4 】 第 1 の実施形態の半導体装置の模式断面図。

【 図 5 】 第 1 の実施形態の半導体装置の模式断面図。

【 図 6 】 第 1 の実施形態の半導体装置の模式断面図。

【 図 7 】 第 2 の実施形態の半導体装置の模式断面図。

## 【 発明を実施するための形態 】

## 【 0 0 0 8 】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

## 【 0 0 0 9 】

また、以下の説明において、 $n^+$ 、 $n$ 、 $n^-$ 及び $p^+$ 、 $p$ 、 $p^-$ の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち $n^+$ は $n$ よりも $n$ 型の不純物濃度が相対的に高く、 $n^-$ は $n$ よりも $n$ 型の不純物濃度が相対的に低いことを示す。また、 $p^+$

10

20

30

40

50

は p よりも p 型の不純物濃度が相対的に高く、 $p^-$  は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 $n^+$  型、 $n^-$  型を単に n 型、 $p^+$  型、 $p^-$  型を単に p 型と記載する場合もある。

#### 【0010】

不純物濃度は、例えば、SIMS (Secondary Ion Mass Spectrometry) により測定することが可能である。また、不純物濃度の相対的な高低は、例えば、SCM (Scanning Capacitance Microscopy) で求められるキャリア濃度の高低から判断することも可能である。また、不純物領域の深さ、厚さなどの距離は、例えば、SIMS で求めることが可能である。また、不純物領域の深さ、厚さ、幅、間隔などの距離は、例えば、SCM 像と AFM (Atomic Force Microscope) 像との合成画像から求めることが可能である。

10

#### 【0011】

(第1の実施形態)

本実施形態の半導体装置は、第1の電極と、第2の電極と、ゲート電極と、少なくとも一部が第1の電極と第2の電極との間に設けられ、少なくとも一部がゲート電極と第2の電極との間に設けられた第1導電型の第1の炭化珪素領域と、第1の電極と第1の炭化珪素領域との間に設けられた第2導電型の第2の炭化珪素領域と、第1の電極と第1の炭化珪素領域との間に設けられ、第2の炭化珪素領域との間に第1の炭化珪素領域の第1の部分が位置する第2導電型の第3の炭化珪素領域と、第1の電極と第2の炭化珪素領域との間に設けられ、第1の炭化珪素領域と離間した第1導電型の第4の炭化珪素領域と、第1の電極と第3の炭化珪素領域との間に設けられ、第1の炭化珪素領域と離間した第1導電型の第5の炭化珪素領域と、ゲート電極と第2の炭化珪素領域との間、及び、ゲート電極と第3の炭化珪素領域との間に設けられたゲート絶縁層と、第2の炭化珪素領域及び第3の炭化珪素領域と接し、ゲート電極との間に第1の炭化珪素領域の第1の部分が位置し、第2の電極との間に第1の炭化珪素領域の第2の部分が位置する第2導電型の第6の炭化珪素領域と、を備える。

20

#### 【0012】

図1は、本実施形態の半導体装置の模式断面図である。図2は、本実施形態の半導体装置の模式上面図である。図2は、炭化珪素層表面及び内部の不純物領域のパターンを示す図である。図3、図4、図5は、本実施形態の半導体装置の模式断面図である。図1は、図2のAA'断面図である。図3は、図2のBB'断面図である。図4は、図2のCC'断面図である。図5は、図2のDD'断面図である。

30

#### 【0013】

本実施形態の半導体装置は、炭化珪素を用いたプレーナゲート型の縦型MOSFET 100である。本実施形態のMOSFET 100は、例えば、ボディ領域とソース領域をイオン注入で形成する、Double Implantation MOSFET (DIMOSFET) である。

#### 【0014】

以下、第1導電型がn型、第2導電型がp型である場合を例に説明する。MOSFET 100は、電子をキャリアとする縦型のnチャネル型のMOSFETである。

40

#### 【0015】

MOSFET 100は、炭化珪素層10、ソース電極(第1の電極)12、ドレイン電極(第2の電極)14、ゲート絶縁層16、ゲート電極18、層間絶縁層20を備える。

#### 【0016】

炭化珪素層10内には、 $n^+$ 型のドレイン領域22、 $n^-$ 型のドリフト領域(第1の炭化珪素領域)24、p型の第1のボディ領域26a(第2の炭化珪素領域)、p型の第2のボディ領域26b(第3の炭化珪素領域)、 $n^+$ 型の第1のソース領域28a(第4の炭化珪素領域)、 $n^+$ 型の第2のソース領域28b(第5の炭化珪素領域)、 $p^+$ 型の第1のボディコンタクト領域30a、 $p^+$ 型の第2のボディコンタクト領域30b、第1のp型領域32a(第6の炭化珪素領域)、第2のp型領域32b(第7の炭化珪素領域)

50

、及び、第3のp型領域32cを備える。

【0017】

炭化珪素層10の少なくとも一部は、ソース電極12とドレイン電極14との間に設けられる。炭化珪素層10の少なくとも一部は、ゲート電極18とドレイン電極14との間に設けられる。炭化珪素層10は、単結晶のSiCである。炭化珪素層10は、例えば、4H-SiCである。

【0018】

炭化珪素層10は、第1の面(図1中"P1")と第2の面(図1中"P2")とを備える。以下、第1の面を表面、第2の面を裏面とも称する。なお、以下、「深さ」とは、第1の面を基準とする深さを意味する。

10

【0019】

第1の面は、例えば、(0001)面に対し0度以上8度以下傾斜した面である。また、第2の面は、例えば、(000-1)面に対し0度以上8度以下傾斜した面である。(0001)面はシリコン面と称される。(000-1)面はカーボン面と称される。

【0020】

n<sup>+</sup>型のドレイン領域22は、炭化珪素層10の裏面側に設けられる。ドレイン領域22は、例えば、窒素(N)をn型不純物として含む。ドレイン領域22のn型不純物の不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0021】

n<sup>-</sup>型のドリフト領域24は、ドレイン領域22上に設けられる。ドリフト領域24は、例えば、窒素(N)をn型不純物として含む。ドリフト領域24のn型不純物の不純物濃度は、ドレイン領域22のn型不純物の不純物濃度よりも低い。ドリフト領域24のn型不純物の不純物濃度は、例えば、 $4 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。ドリフト領域24の厚さは、例えば、5µm以上150µm以下である。

20

【0022】

ドリフト領域24は、ゲート電極18と第1のp型領域32aとの間に位置する第1の部分24a、第1のp型領域32aとドレイン電極14との間に位置する第2の部分24bを備える。ドリフト領域24は、ゲート電極18とドレイン電極14との間に位置する第3の部分24cを備える。

【0023】

第1の部分24a及び第3の部分24cは、第1のボディ領域26aと第2のボディ領域26bとの間に位置する。第1の部分24aは、第3の部分24cに挟まれる。第3の部分24cは、ゲート電極18と第2の部分24bとの間に位置する。

30

【0024】

第1の部分24a及び第3の部分24cのn型不純物の不純物濃度は、例えば、第2の部分24bのn型不純物の不純物濃度よりも高い。第1の部分24a及び第3の部分24cのn型不純物の不純物濃度は、例えば、第2の部分24bのn型不純物の不純物濃度よりも一桁以上高い。第1の部分24a及び第3の部分24cのn型不純物の不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上である。

【0025】

第1の部分24a及び第3の部分24cのn型不純物の不純物濃度を高くすることにより、第1のボディ領域26a、第2のボディ領域26b、及び、第1のp型領域32aから伸びる空乏層の幅を抑制し、MOSFET100のオン抵抗を低減することが可能である。

40

【0026】

また、例えば、第1の部分24aのn型不純物の不純物濃度は、第3の部分24cのn型不純物の不純物濃度よりも高い。第1の部分24aのn型不純物の不純物濃度を高くすることにより、特に、第1のp型領域32aから上方に伸びる空乏層の幅を抑制し、MOSFET100のオン抵抗を更に低減することが可能である。

【0027】

50

第1のボディ領域26a、及び、第2のボディ領域26bは、ソース電極12とドリフト領域24の第2の部分24bとの間に設けられる。第1のボディ領域26a、及び、第2のボディ領域26bとゲート絶縁層16の接する面は、MOSFET100のチャンネル領域として機能する。

【0028】

第1のボディ領域26a、及び、第2のボディ領域26bは、例えば、アルミニウム(Al)をp型不純物として含む。第1のボディ領域26a、及び、第2のボディ領域26bのp型不純物の不純物濃度のピーク値は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0029】

第1のボディ領域26a、及び、第2のボディ領域26bの深さは、例えば、 $0.3 \mu\text{m}$ 以上 $0.8 \mu\text{m}$ 以下である。

【0030】

第1のソース領域28aは、ソース電極12と第1のボディ領域26aとの間に設けられる。第1のソース領域28aは、ドリフト領域24と離間している。

【0031】

第2のソース領域28bは、ソース電極12と第2のボディ領域26bとの間に設けられる。第2のソース領域28bは、ドリフト領域24と離間している。

【0032】

第1のソース領域28a、及び、第2のソース領域28bは、例えば、リン(P)をn型不純物として含む。第1のソース領域28a、及び、第2のソース領域28bのn型不純物の不純物濃度は、ドリフト領域24のn型不純物の不純物濃度よりも高い。

【0033】

第1のソース領域28a、及び、第2のソース領域28bのn型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。第1のソース領域28a、及び、第2のソース領域28bの深さは第1のボディ領域26a、及び、第2のボディ領域26bの深さよりも浅く、例えば、 $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下である。

【0034】

第1のソース領域28a、及び、第2のソース領域28bは、ソース電極12の電位に固定される。

【0035】

p<sup>+</sup>型の第1のボディコンタクト領域30aは、ソース電極12と第1のボディ領域26aとの間に設けられる。第1のボディコンタクト領域30aのp型不純物の不純物濃度は、第1のボディ領域26aのp型不純物の不純物濃度よりも高い。

【0036】

p<sup>+</sup>型の第2のボディコンタクト領域30bは、ソース電極12と第2のボディ領域26bとの間に設けられる。第2のボディコンタクト領域30bのp型不純物の不純物濃度は、第2のボディ領域26bのp型不純物の不純物濃度よりも高い。

【0037】

第1のボディコンタクト領域30a、及び、第2のボディコンタクト領域30bは、例えば、アルミニウム(Al)をp型不純物として含む。第1のボディコンタクト領域30a、及び、第2のボディコンタクト領域30bのp型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0038】

第1のボディコンタクト領域30a、及び、第2のボディコンタクト領域30bの深さは、例えば、 $0.3 \mu\text{m}$ 以上 $0.6 \mu\text{m}$ 以下である。

【0039】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cは、第1のボディ領域26a、及び、第2のボディ領域26bに接する。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cが、第1のボディ領域26a、及び、

10

20

30

40

50

、第2のボディ領域26bに接することで、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cは、第1のボディ領域26a、及び、第2のボディ領域26bと同電位に固定される。例えば、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cはソース電極12の電位に固定される。

【0040】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cと、ゲート電極18との間には、ドリフト領域24の第1の部分24aが位置する。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cと、ドレイン電極14との間には、ドリフト領域24の第2の部分24bが位置する。

【0041】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cは、例えば、アルミニウム(A1)をp型不純物として含む。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cのp型不純物の不純物濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0042】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの深さは、例えば、 $0.3 \mu\text{m}$ 以上 $1.2 \mu\text{m}$ 以下である。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの厚さ(図4中のt)は、例えば、 $0.2 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下である。

【0043】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの深さは、例えば、第1のボディ領域26a、及び、第2のボディ領域26bの深さよりも深い。言い換えれば、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cとドレイン電極14との距離(図5中のd1)は、第1のボディ領域26a、及び、第2のボディ領域26bとドレイン電極14との距離(図5中のd2)よりも短い。

【0044】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの幅(図4中のw)は、例えば、 $1.0 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの間隔(図4中のs)は、例えば、 $2.0 \mu\text{m}$ 以上 $6.0 \mu\text{m}$ 以下である。

【0045】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの間隔は、例えば、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの幅よりも大きい。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの間隔は、例えば、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの幅の2倍以上である。

【0046】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cは、例えば、炭化珪素層10の表面側から、p型不純物を選択的にイオン注入することにより形成することが可能である。

【0047】

ゲート電極18は、導電層である。ゲート電極18は、例えば、p型不純物又はn型不純物を含む多結晶質シリコンである。

【0048】

ゲート絶縁層16は、ゲート電極18と第1のボディ領域26aとの間に設けられる。また、ゲート絶縁層16は、ゲート電極18と第2のボディ領域26bとの間に設けられる。また、ゲート絶縁層16は、ゲート電極18とドリフト領域24の第1の部分24aとの間に設けられる。

【0049】

ゲート絶縁層16は、例えば、酸化シリコンである。ゲート絶縁層16には、例えば、

10

20

30

40

50

High - k 絶縁材料（高誘電率絶縁材料）が適用可能である。

【0050】

層間絶縁層20は、ゲート電極18上に設けられる。層間絶縁層20は、例えば、酸化シリコンである。

【0051】

ソース電極12は、第1のソース領域28a、及び、第2のソース領域28bに接する。ソース電極12は、第1のボディコンタクト領域30a、及び、第2のボディコンタクト領域30bに接する。

【0052】

ソース電極12は、金属を含む。ソース電極12を形成する金属は、例えば、チタン（Ti）とアルミニウム（Al）の積層構造である。ソース電極12の炭化珪素層10と接する領域は、例えば、金属シリサイドである。金属シリサイドは、例えば、チタンシリサイド又はニッケルシリサイドである。

10

【0053】

ドレイン電極14は、炭化珪素層10の裏面上に設けられる。ドレイン電極14は、ドレイン領域22に接する。

【0054】

ドレイン電極14は、例えば、金属又は金属半導体化合物である。ドレイン電極14は、例えば、ニッケルシリサイド、チタン（Ti）、ニッケル（Ni）、銀（Ag）、及び、金（Au）から成る群から選ばれる材料を含む。

20

【0055】

次に、本実施形態のMOSFET100の作用及び効果について説明する。

【0056】

例えば、回路の故障などにより、MOSFETが短絡状態になると、ソース - ドレイン間に高い電圧が印加され、大きな電流が流れる。長時間MOSFETに大きな電流が流れ続けると、MOSFETが破壊に至る。

【0057】

MOSFETが短絡状態になってから、流れる電流を外部から遮断するまでの間、MOSFETが破壊されないことが要求される。流れる電流を外部から遮断するには所定の時間が必要となる。したがって、MOSFETが短絡状態になってから破壊にいたるまでの時間、すなわち短絡耐量を向上させることが望ましい。

30

【0058】

図6は、本実施形態の半導体装置の作用及び効果の説明図である。図6(a)はMOSFETの通常のオン状態の説明図である。図6(b)はMOSFETに短絡が生じた場合の説明図である。図6(a)、図6(b)ともに、図4に相当する断面図である。

【0059】

図6(a)に示すMOSFETの通常のオン状態の場合には、ソース電極12とドレイン電極14との間に印加される電圧は小さい。したがって、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cと、ドリフト領域24との間に印加される電圧も小さい。

40

【0060】

このため、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cからドリフト領域24へ伸びる空乏層DLの伸びは小さい。したがって、空乏層DLがドリフト領域24内を流れる電流に与える影響は小さい。

【0061】

これに対し、MOSFETに短絡が生じた場合、ソース電極12とドレイン電極14との間に大きな電圧が印加される。したがって、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cと、ドリフト領域24との間に印加される電圧も大きくなる。

【0062】

50

このため、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cからドリフト領域24へ伸びる空乏層DLの伸びは、通常のオン状態に比較して格段に大きくなる。空乏層DL部分には電流が流れない。ドリフト領域24内に大きく伸びた空乏層DLにより、ドリフト領域24内を流れる電流の経路が制限される。

【0063】

したがって、MOSFETの短絡時のオン抵抗が増大する。言い換えれば、短絡時にソース電極12とドレイン電極14との間に流れる電流が小さくなる。結果として、MOSFETが短絡状態になってから破壊にいたるまでの時間、すなわち短絡耐量を向上させることが可能となる。

【0064】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの間隔(図4中のs)は、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの幅(図4中のw)よりも大きいことが望ましい。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの間隔が相対的に狭くなると、MOSFETの通常のオン状態での電流の経路が狭まり、オン抵抗が増大するおそれがある。

【0065】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの幅(図4中のw)は、 $1.0\mu\text{m}$ 以上 $3.0\mu\text{m}$ 以下であることが望ましい。上記範囲を下回ると、十分な短絡耐量の向上が実現できないおそれがある。上記範囲を上回ると、MOSFETの通常のオン状態でのオン抵抗が増大するおそれがある。

【0066】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの間隔(図4中のs)は、 $2.0\mu\text{m}$ 以上 $6.0\mu\text{m}$ 以下であることが望ましい。上記範囲を下回ると、MOSFETの通常のオン状態でのオン抵抗が増大するおそれがある。上記範囲を上回ると、十分な短絡耐量の向上が実現できないおそれがある。

【0067】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの厚さ(図4中のt)は、 $0.2\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下であることが望ましい。上記範囲を下回ると、短絡時に第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cが完全空乏化し、空乏層DLの伸びが小さくなるおそれがある。上記範囲を上回ると、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの形成時に炭化珪素層10にイオン注入により導入されるp型不純物の分布の裾の影響により、MOSFETの閾値電圧の制御が困難になるおそれがある。

【0068】

第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの深さは、第1のボディ領域26a、及び、第2のボディ領域26bの深さよりも深いことが望ましい。言い換えれば、第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cとドレイン電極14との距離(図5中のd1)は、第1のボディ領域26a、及び、第2のボディ領域26bとドレイン電極14との距離(図5中のd2)よりも短いことが望ましい。第1のp型領域32a、第2のp型領域32b、及び、第3のp型領域32cの形成時に炭化珪素層10にイオン注入により導入されるp型不純物の分布の裾の影響により、MOSFETの閾値電圧の制御が困難になることを回避できる。

【0069】

以上、本実施形態によれば、短絡耐量の向上を可能とするMOSFET100が実現される。

【0070】

(第2の実施形態)

本実施形態の半導体装置は、IGBTである点で第1の実施形態と異なっている。第1の実施形態と重複する内容については記述を省略する。

【0071】

10

20

30

40

50

図7は、本実施形態の半導体装置の模式断面図である。図7は、第1の実施形態の半導体装置の図1に対応する図である。

【0072】

本実施形態の半導体装置は、炭化珪素を用いたプレーナゲート型の縦型IGBT200である。

【0073】

以下、第1導電型がn型、第2導電型がp型である場合を例に説明する。

【0074】

IGBT200は、炭化珪素層10、エミッタ電極（第1の電極）112、コレクタ電極（第2の電極）114、ゲート絶縁層16、ゲート電極18、層間絶縁層20を備える。

10

【0075】

炭化珪素層10内には、 $p^+$ 型のコレクタ領域122、 $n^-$ 型のドリフト領域（第1の炭化珪素領域）24、p型の第1のボディ領域26a（第2の炭化珪素領域）、p型の第2のボディ領域26b（第3の炭化珪素領域）、 $n^+$ 型の第1のエミッタ領域128a（第4の炭化珪素領域）、 $n^+$ 型の第2のエミッタ領域128b（第5の炭化珪素領域）、 $p^+$ 型の第1のボディコンタクト領域30a、 $p^+$ 型の第2のボディコンタクト領域30b、第1のp型領域32a（第6の炭化珪素領域）、第2のp型領域32b（第7の炭化珪素領域）、及び、第3のp型領域32cを備える。

【0076】

IGBT200と、図1に示す第1の実施形態のMOSFET100との構造上の違いは、MOSFET100の $n^+$ 型のドレイン領域22が $p^+$ 型のコレクタ領域122に置き換わっている点のみである。

20

【0077】

本実施形態によれば、第1の実施形態と同様の作用により、短絡耐量の向上を可能とするIGBT200が実現される。

【0078】

第1及び第2の実施形態では、SiCの結晶構造として4H-SiCの場合を例に説明したが、本発明は6H-SiC、3C-SiC等、その他の結晶構造のSiCを用いたデバイスに適用することも可能である。また、炭化珪素層10の表面に(0001)面以外の面を適用することも可能である。

30

【0079】

第1及び第2の実施形態では、第1導電型がn型、第2導電型がp型の場合を例に説明したが、第1導電型をp型、第2導電型をn型とすることも可能である。

【0080】

第1及び第2の実施形態では、p型不純物としてアルミニウム(A1)を例示したが、ボロン(B)を用いることも可能である。また、n型不純物として窒素(N)及びリン(P)を例示したが、砒素(As)、アンチモン(Sb)等を適用することも可能である。

【0081】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

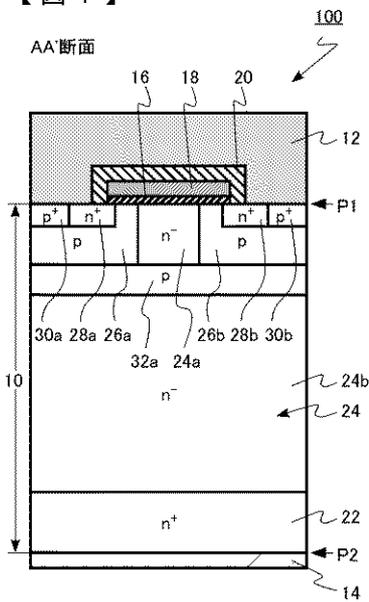
【0082】

- 12 ソース電極（第1の電極）  
14 ドレイン電極（第2の電極）

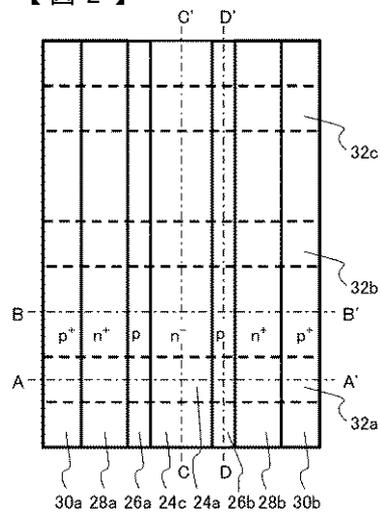
50

- 1 6        ゲート絶縁層
- 1 8        ゲート電極
- 2 4        ドリフト領域 (第 1 の炭化珪素領域)
- 2 4 a      第 1 の部分
- 2 4 b      第 2 の部分
- 2 6 a      第 1 のボディ領域 (第 2 の炭化珪素領域)
- 2 6 b      第 2 のボディ領域 (第 3 の炭化珪素領域)
- 2 8 a      第 1 のソース領域 (第 4 の炭化珪素領域)
- 2 8 b      第 2 のソース領域 (第 5 の炭化珪素領域)
- 3 2 a      第 1 の p 型領域 (第 6 の炭化珪素領域)
- 3 2 b      第 2 の p 型領域 (第 7 の炭化珪素領域)
- 1 0 0      M O S F E T (半導体装置)
- 1 1 2      エミッタ電極 (第 1 の電極)
- 1 1 4      コレクタ電極 (第 2 の電極)
- 1 2 8 a    第 1 のエミッタ領域 (第 4 の炭化珪素領域)
- 1 2 8 b    第 2 のエミッタ領域 (第 5 の炭化珪素領域)
- 2 0 0      I G B T (半導体装置)

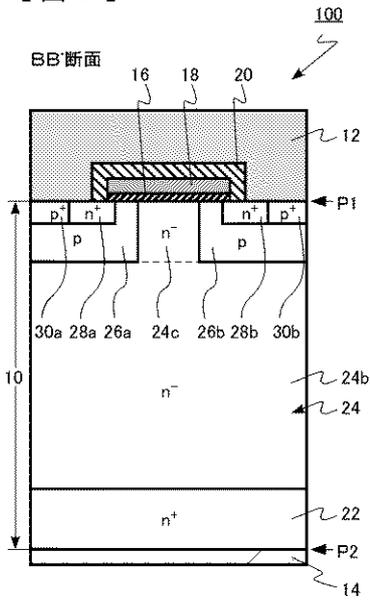
【 図 1 】



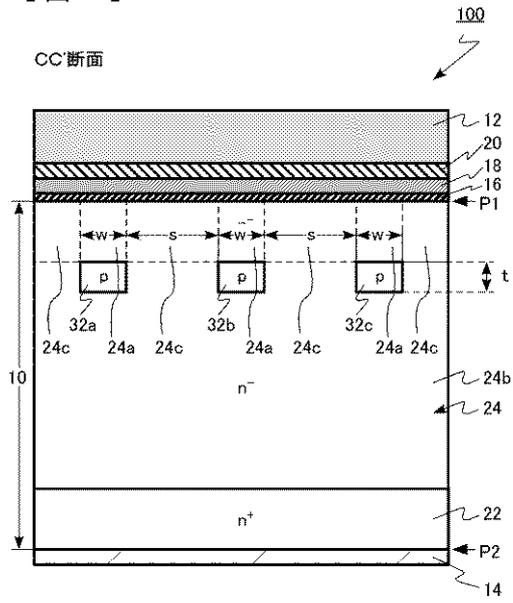
【 図 2 】



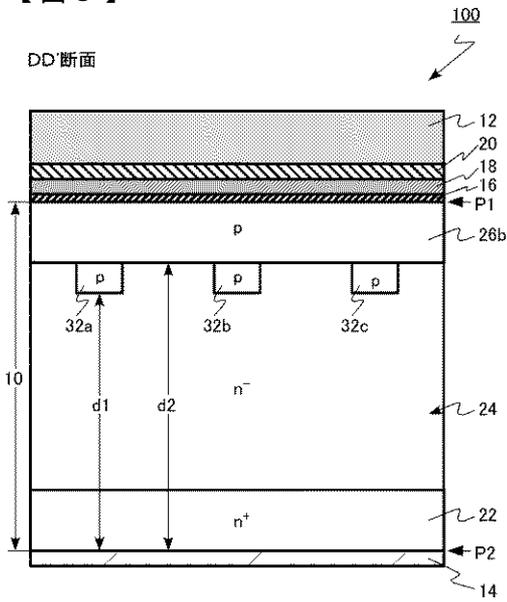
【 図 3 】



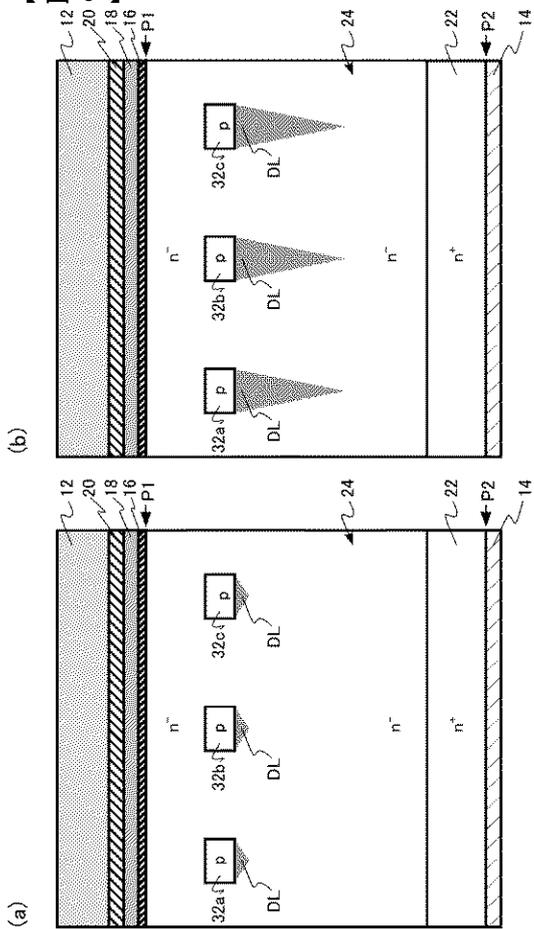
【 図 4 】



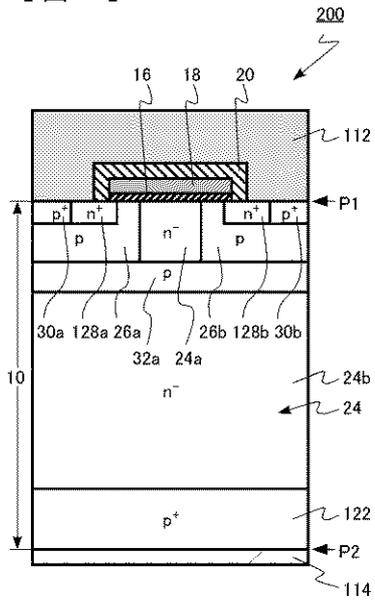
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(51)Int.Cl.	F I		テーマコード(参考)
	H 0 1 L	29/78	6 5 5 G
	H 0 1 L	29/06	3 0 1 V
	H 0 1 L	29/06	3 0 1 D

(72)発明者 大橋 輝之  
東京都港区芝浦一丁目1番1号 株式会社東芝内