

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-181949
(P2018-181949A)

(43) 公開日 平成30年11月15日(2018. 11. 15)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 2 M	4 M 1 0 4
HO 1 L 29/739 (2006. 01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/329 (2006. 01)	HO 1 L 29/78 6 5 7 D	
HO 1 L 29/868 (2006. 01)	HO 1 L 29/78 6 5 5 D	
HO 1 L 21/28 (2006. 01)	HO 1 L 29/91 A	
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2017-75726 (P2017-75726)
(22) 出願日 平成29年4月6日(2017. 4. 6)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100088672
弁理士 吉竹 英俊
(74) 代理人 100088845
弁理士 有田 貴弘
(72) 発明者 上馬場 龍
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
(72) 発明者 多留谷 政良
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内

最終頁に続く

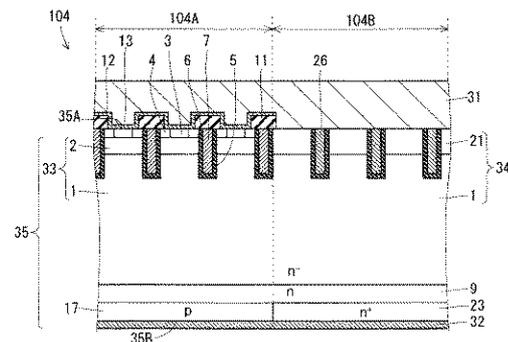
(54) 【発明の名称】 半導体装置、半導体装置の製造方法、および電力変換装置

(57) 【要約】

【課題】一つの半導体基板上にスイッチング素子領域とダイオード領域が併設された半導体装置において、良好なダイオード特性と低コスト性の実現を目的とする。

【解決手段】RC-IGBT104は、トランジスタ領域104Aとダイオード領域104Bの上に亘り、半導体基体35の一方主面上に形成される第1電極31を備える。半導体基体はトランジスタ領域104Aにおいて一方主面35A側にMOSゲート構造33を有する。RC-IGBT104は、MOSゲート構造33のゲート電極7を覆い半導体層を露出するコンタクトホール13を有する層間絶縁膜11と、コンタクトホール13の内部に形成されたバリアメタル12とを備える。第1電極31は、コンタクトホール13に入り込みバリアメタル12を介してMOSゲート構造33の半導体層と接触し、半導体基体35のダイオード領域104Bにおける半導体層と直接接触する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

一方主面および他方主面を有し、一方主面から他方主面にわたりトランジスタを構成するトランジスタ領域と、一方主面から他方主面にわたりダイオードを構成するダイオード領域と、を有する半導体基体と、

前記トランジスタ領域と前記ダイオード領域の上に亘り、前記半導体基体の一方主面上に形成される第 1 電極と、

を備える半導体装置であって、

前記半導体基体は前記トランジスタ領域において一方主面側に MOS ゲート構造を有し、

10

前記半導体装置は、

前記 MOS ゲート構造のゲート電極を覆い、前記 MOS ゲート構造の半導体層を露出するコンタクトホールを有する層間絶縁膜と、

前記コンタクトホールの内部に形成されたバリアメタルとを備え、

前記第 1 電極は、前記コンタクトホールに入り込み、前記コンタクトホールの内部で前記バリアメタルを介して前記 MOS ゲート構造の半導体層と接触し、前記半導体基体の前記ダイオード領域における半導体層と直接接触する、半導体装置。

【請求項 2】

前記半導体基体は、前記トランジスタ領域において他方主面側に第 2 導電型のコレクタ層を備え、

20

前記トランジスタ領域は IGBT を構成する、

請求項 1 に記載の半導体装置。

【請求項 3】

前記バリアメタルは、窒化チタン、炭化チタン、またはチタンシリサイドを含む、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 電極はアルミニウム合金である、

請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記バリアメタルは、前記 MOS ゲート構造の半導体層との接触界面にシリサイドを有する、

30

請求項 1 から 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

(a) 半導体基体の一方主面側に MOS ゲート構造とダイオード構造を形成する工程と、

(b) 前記 MOS ゲート構造と前記ダイオード構造の上に層間絶縁膜を形成する工程と、

(c) 前記 MOS ゲート構造の上の前記層間絶縁膜に、前記 MOS ゲート構造の半導体層を露出させるコンタクトホールを開口する工程と、

40

(d) 前記コンタクトホール内の前記半導体層上および前記層間絶縁膜上にバリアメタルを形成する工程と、

(e) 前記ダイオード構造の上の前記層間絶縁膜と前記バリアメタルを除去する工程と、

(f) 前記コンタクトホール内、および前記ダイオード構造の上に第 1 電極を形成する工程と、を備える、

半導体装置の製造方法。

【請求項 7】

前記工程 (e) は、前記ダイオード構造の上の前記層間絶縁膜と前記バリアメタルをドライエッチングで除去する工程である、

50

請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記工程 (e) は、

(e 1) 前記ダイオード構造の上の、前記バリアメタルと、前記層間絶縁膜の一部の膜厚をドライエッチングで除去する工程と、

(e 2) 前記工程 (e 1) で残った前記ダイオード構造の上の前記層間絶縁膜をウェットエッチングで除去する工程と、を備える、

請求項 6 に記載の半導体装置の製造方法。

【請求項 9】

請求項 1 から 5 のいずれか 1 項に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、を備える、電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置、半導体装置の製造方法、および電力変換装置に関する。

【背景技術】

【0002】

従来、家電製品、電気自動車、または鉄道など幅広い分野で用いられているインバータ装置は、誘導モータなどの誘導性負荷を駆動する場合が多い。インバータ装置は、IGBT (insulated gate bipolar transistor) または MOSFET (metal oxide semiconductor field effect transistor) などのスイッチング素子、並びに還流ダイオード(以下、単に「ダイオード」と称する)などの電力用半導体装置を複数個用いて構成される。インバータ装置は、高効率で小電力であることが求められるため、電力用半導体装置の高性能化と低コスト化が市場より要求されている。

【0003】

電力用半導体装置の高性能化と低コスト化のため、トレンチ MOS ゲート構造、半導体基板の薄板化、IGBT とダイオードを同一半導体基板に内蔵して一体化した逆導通型 IGBT (RC-IGBT: Reverse Conducting IGBT) などが開発されている。

【0004】

RC-IGBT に関する先行技術文献として、例えば特許文献 1 ないし 4 がある。特許文献 1 は、MOS トランジスタセルとダイオードセルが併設された半導体装置を開示している。特許文献 1 の半導体装置は、第 1 トレンチと第 2 トレンチを備えている。第 1 トレンチの内部には、ゲート絶縁膜とゲート電極が形成され、第 2 トレンチの内部にはエミッタ電極が埋め込まれている。

【0005】

特許文献 2 には、RC-IGBT のダイオード動作する領域のコンタクトホール幅を、IGBT 動作するコンタクトホール幅よりも広くすることが開示されている。

【0006】

特許文献 3 には、エミッタ電極のアルミニウムシリコンと半導体基板との接合に関し、IGBT 領域においてはバリアメタルとタングステンプラグを介して接合し、ダイオード領域においては直接接合することが提案されている。

【0007】

特許文献 4 は、ダイオード領域においてアノード層とアルミニウム電極とをタングステンプラグを介さず直接接合する構成を開示している。しかし、ダイオード領域の第 1 電極は、チタン (Ti)、チタンタングステン (TiW) または窒化チタン (TiN) などのバリアメタルである一方、IGBT 領域の第 1 電極はアルミニウムであり、両者の材料が異なるため、半導体装置を用いたアセンブリプロセスでの問題が生じる。例えば、ワイヤ

10

20

30

40

50

ボンディングの条件を変更しなければならない。また、製造手法において、IGBT領域にバリアメタルを形成する前に、アルミニウムを形成および除去する工程が必要であるため、アルミニウムがベース層へ拡散したり、ベース層へエッチングダメージが発生したりするおそれがある。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-027152号公報

【特許文献2】特許第5937413号公報

【特許文献3】国際公開第2016/080269号

【特許文献4】特開2015-106695号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

従来のRC-IGBTでは、IGBT領域において、半導体基板、バリアメタル、タングステンプラグ、および表面電極の積層構造が設けられる。この積層構造は、IGBTにおいて一般的に構成されている構造であり、同一半導体基板上のダイオード領域にも設けられる。しかし、ダイオード領域では、p型アノード層とバリアメタルとのコンタクト抵抗が大きいため、その対策としてp型アノード層とバリアメタルとの間に高濃度のp+型アノード層が設けられる。

【0010】

しかしながら、p+型アノード層の不純物濃度が高いほど、動作オン時のキャリアの供給量が多くなるため、動作オフ時のキャリア排出が大幅に遅くなるという課題がある。

【0011】

特許文献3では、バリアメタルとタングステンプラグをIGBT領域のみに用い、ダイオード領域ではアルミニウムシリコンとp型アノード層とを直接接合することにより、上記の課題を解決している。しかし、IGBT領域にタングステンプラグを用いていることから製造コストが高くなるという課題がある。

【0012】

また、特許文献4では、IGBT領域にタングステンプラグを用いていないが、IGBT領域とダイオード領域とで異なる材質の表面電極を用いている。従って、半導体装置を用いたアセンブリプロセスにおいて、IGBT領域とダイオード領域とでワイヤボンディングの条件を変更するなど、異なるプロセス条件を適用しなければならないという問題があった。

【0013】

本発明は上記の課題に鑑みてなされたものであり、一つの半導体基板上にスイッチング素子領域とダイオード領域が併設された半導体装置において、良好なダイオード特性と低コスト性の実現を目的とする。

【課題を解決するための手段】

【0014】

本発明に係る半導体装置は、半導体基体、第1電極、層間絶縁膜、およびバリアメタルを備える。半導体基体は、一方主面および他方主面を有し、一方主面から他方主面にわたりトランジスタを構成するトランジスタ領域と、一方主面から他方主面にわたりダイオードを構成するダイオード領域と、を有する。第1電極は、トランジスタ領域とダイオード領域の上に亘り、半導体基体の一方主面上に形成される。半導体基体はトランジスタ領域において一方主面側にMOSゲート構造を有する。層間絶縁膜は、MOSゲート構造のゲート電極を覆い、MOSゲート構造の半導体層を露出するコンタクトホールを有する。バリアメタルは、コンタクトホールの内部に形成される。第1電極は、コンタクトホールに入り込み、コンタクトホールの内部でバリアメタルを介してMOSゲート構造の半導体層と接触し、半導体基体のダイオード領域における半導体層と直接接触する。

10

20

30

40

50

【発明の効果】

【0015】

本発明に係る半導体装置において、MOSゲート構造の半導体層はバリアメタルを介して第1電極と接触する一方、ダイオード領域の半導体層はバリアメタルを介さず第1電極と接触する。従って、コンタクト抵抗を低くするためダイオード領域に高濃度のアノード層を設ける必要がなく、良好なダイオード特性を得ることができる。また、コンタクトホール内部に第1電極が入り込むことによりMOSゲート構造の半導体層と接触するため、タングステンプラグ等の高価なプラグコンタクトを必要とせず、低コストに半導体装置を製造することができる。

【図面の簡単な説明】

10

【0016】

【図1】本発明の前提技術に係るIGBTの断面図である。

【図2】本発明の前提技術に係るダイオードの断面図である。

【図3】本発明の前提技術に係るRC-IGBTの断面図である。

【図4】本発明に係るRC-IGBTの断面図である。

【図5】本発明に係るRC-IGBTの要部拡大図である。

【図6】本発明に係るRC-IGBTの第1の製造方法を示すフローチャートである。

【図7】本発明に係るRC-IGBTの第1の製造方法を説明する断面図である。

【図8】本発明に係るRC-IGBTの第1の製造方法を説明する断面図である。

【図9】本発明に係るRC-IGBTの第1の製造方法を説明する断面図である。

20

【図10】本発明に係るRC-IGBTの第1の製造方法を説明する断面図である。

【図11】本発明に係るRC-IGBTの第1の製造方法を説明する断面図である。

【図12】本発明に係るRC-IGBTの第1の製造方法を説明する断面図である。

【図13】本発明に係るRC-IGBTの第2の製造方法を示すフローチャートである。

【図14】本発明に係るRC-IGBTの第2の製造方法を説明する断面図である。

【図15】本発明に係るRC-IGBTの第2の製造方法を説明する断面図である。

【図16】本発明に係るRC-IGBTの第2の製造方法を説明する断面図である。

【図17】本発明に係る電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【発明を実施するための形態】

30

【0017】

以下、添付の図面を参照しながら実施形態について説明する。図面は模式的に示されたものであるため、異なる図面にそれぞれ示されている画像のサイズおよび位置の相互関係は、必ずしも正確ではなく適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称および機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。

【0018】

また、以下の説明では、「上」、「下」、「側」、「底」、「表」または「裏」などの特定の位置および方向を意味する用語が用いられる場合があるが、これらの用語は、実施形態の内容を理解することを容易にするため便宜上用いられているものであり、実際に実施される際の方向を限定するものではない。

40

【0019】

また、半導体の導電型について、第1導電型をn型、第2導電型をp型として説明を行う。しかし、これらを反対にし、第1導電型をp型、第2導電型をn型としても良い。また、n+型はn型よりも不純物濃度が高く、n-型はn型よりも不純物濃度が低いことを意味する。同様に、p+型はp型よりも不純物濃度が高く、p-型はp型よりも不純物濃度が低いことを意味する。

【0020】

< A . 前提技術 >

本発明の前提技術として、トレンチゲート型のIGBT、ダイオード、RC-IGBT

50

の構成を説明する。まず、トレンチゲート型の IGBT について説明する。図 1 は、トレンチゲート型の IGBT 101 の断面図である。IGBT 101 は、n - 型ドリフト層 1、p 型ベース層 2、n 型バッファ層 9、n + 型エミッタ層 4、ゲート絶縁膜 6、ゲート電極 7、p 型コレクタ層 10、p + 型ベース層 3、エミッタ電極 15、バリアメタル 12、タングステンプラグ 14、およびコレクタ電極 16 を備えている。

【0021】

n - 型ドリフト層 1 の上面に p 型ベース層 2 が形成される。p 型ベース層 2 の上面には、n + 型エミッタ層 4 と p + 型ベース層 3 が選択的に形成される。n + 型エミッタ層 4 は、p + 型ベース層 3 を囲って形成される。n - 型ドリフト層 1 の下面には n 型バッファ層 9、p 型コレクタ層 10 がこの順で形成される。p 型コレクタ層 10 の下面にはコレクタ電極 16 が形成される。

10

【0022】

n + 型エミッタ層 4 の上面から n + 型エミッタ層 4 と p 型ベース層 2 を貫通し n - 型ドリフト層 1 に達するトレンチ 5 が複数形成される。トレンチ 5 の内壁にはゲート絶縁膜 6 とゲート電極 7 が埋め込まれている。ゲート電極 7 は、ゲート絶縁膜 6 を介して p 型ベース層 2 に対向している。

【0023】

IGBT 101 は、トレンチ MOS ゲート構造によりチャネル密度を増加させ、n - 型ドリフト層 1 を薄くすることで低損失化を実現する。n - 型ドリフト層 1 を薄くすると、スイッチングオフ時に p 型ベース層 2 と n - 型ドリフト層 1 の pn 接合から伸びる空乏層のストッパーが必要となるため、ストッパーとして n - 型ドリフト層 1 よりも不純物濃度が高い n 型バッファ層 9 が設けられる。但し、n 型バッファ層 9 の有無は製品用途によって決まり、製品用途によっては n 型バッファ層 9 が設けられない場合もある。

20

【0024】

IGBT 101 のオン時には、p 型ベース層 2、n + 型エミッタ層 4、ゲート絶縁膜 6、およびゲート電極 7 により n チャネル MOSFET が形成され、p 型コレクタ層 10、n 型バッファ層 9、n - 型ドリフト層 1、p 型ベース層 2、n + 型エミッタ層 4 の経路で電流が流れる。すなわち、p 型ベース層 2、n + 型エミッタ層 4、ゲート絶縁膜 6、およびゲート電極 7 はトランジスタ構造である。

【0025】

ゲート電極 7 の上面は層間絶縁膜 11 に覆われ、これによりゲート電極 7 とエミッタ電極 15 の絶縁が図られている。層間絶縁膜 11 にはコンタクトホール 13 が形成されており、コンタクトホール 13 から p + 型ベース層 3 と n + 型エミッタ層 4 が露出する。p + 型ベース層 3 は、スイッチングオフ時に発生するキャリアの掃き出しと、エミッタ電極 15 とのコンタクト抵抗を下げる効果を持つ。

30

【0026】

層間絶縁膜 11 上とコンタクトホール 13 の内壁には、バリアメタル 12 が形成される。バリアメタル 12 は、コンタクトホール 13 において p + 型ベース層 3 および n + 型エミッタ層 4 の上面に接触する。コンタクトホール 13 には、バリアメタル 12 の上からタングステンプラグ 14 が埋め込まれる。タングステンプラグ 14 は、デザインルールの微細化を実現するために使用されている。

40

【0027】

バリアメタル 12 はシリコン半導体基板と接触することでシリサイド化し、n + 型エミッタ層 4 および p + 型ベース層 3 との接触抵抗を低減する効果を持つ。また、タングステンプラグ 14 を形成する際に使用する WF6 ガスとシリコン半導体基板が反応し、ケミカルエッチングされるのを防ぐ効果を持つ。コンタクトホール 13 にタングステンプラグ 14 を用いる場合、バリアメタル 12 は、上述した効果を得るために遷移金属、例えばチタンや窒化チタンの多層構造を用いることが一般的である。

【0028】

バリアメタル 12 およびタングステンプラグ 14 の上にはエミッタ電極 15 が形成され

50

る。エミッタ電極 15 には、一般的にアルミニウム合金が使用される。エミッタ電極 15 は、バリアメタル 12 およびタングステンプラグ 14 を介して、n + 型エミッタ層 4 および p + 型ベース層 3 と接合している。以上が、IGBT 101 の構成である。

【0029】

次に、ダイオードの構成を説明する。図 2 は、ダイオード 102 の断面図である。ダイオード 102 は、カソード電極 25、n + 型カソード層 23、n - 型ドリフト層 1、p 型アノード層 21、およびアノード電極 24 がこの順に積層された構造である。

【0030】

アノード電極 24 には、一般的に p 型拡散層と良好なオーミックコンタクトを形成するアルミニウム合金が使用される。

【0031】

ダイオード 102 のオン時には、p 型アノード層 21、n - 型ドリフト層 1、n + 型カソード層 23 の経路で電流が流れる。すなわち、p 型アノード層 21、および n - 型ドリフト層 1 はダイオード構造である。

【0032】

次に、RC-IGBT の構成を説明する。図 3 は、RC-IGBT 103 の断面図である。RC-IGBT 103 は、IGBT とダイオードを同一の半導体基板に内蔵した構成であり、IGBT を内蔵する領域を IGBT 領域 103A、ダイオードを内蔵する領域をダイオード領域 103B とする。IGBT 領域 103A には、複数の IGBT セルがまとまって形成されており、ダイオード領域 103B には、複数のダイオードセルがまとまって形成されている。

【0033】

RC-IGBT 103 は IGBT 領域 103A において、n - 型ドリフト層 1、p 型ベース層 2、p + 型ベース層 3、n + 型エミッタ層 4、ゲート絶縁膜 6、ゲート電極 7、n 型バッファ層 9、p 型コレクタ層 10、バリアメタル 12、タングステンプラグ 14、および層間絶縁膜 11 を備えている。これらの構成は図 1 に示した IGBT 101 と同様である。

【0034】

また、IGBT 領域 103A において、p + 型ベース層 3 および n + 型エミッタ層 4 はバリアメタル 12 およびタングステンプラグ 14 を介して第 1 電極 31 と接合する。第 1 電極 31 は、IGBT 領域 103A とダイオード領域 103B において共用され、IGBT 領域 103A においてはエミッタ電極、ダイオード領域 103B においてはアノード電極として機能する。第 1 電極 31 には、一般的にアルミニウム合金が使用される。

【0035】

また、IGBT 領域 103A において、p 型コレクタ層 10 の下面には第 2 電極 32 が形成されている。第 2 電極 32 はダイオード領域 103B にも形成されており、IGBT 領域 103A とダイオード領域 103B において共用される。第 2 電極 32 は IGBT 領域 103A においてコレクタ電極、ダイオード領域 103B においてカソード電極として機能する。第 2 電極 32 には、一般的にアルミニウム合金が使用される。

【0036】

RC-IGBT 103 はダイオード領域 103B において、n - 型ドリフト層 1、p 型アノード層 21、および n + 型カソード層 23 を備えている。これらの構成は図 2 に示したダイオード 102 と同様である。さらに、RC-IGBT 103 はダイオード領域 103B において、n - 型ドリフト層 1 と n + 型カソード層 23 の間に n 型バッファ層 9 を備え、p 型アノード層 21 の上に p + 型アノード層 22 を備える。IGBT 領域 103A とダイオード領域 103B において、n - 型ドリフト層 1 と n 型バッファ層 9 は共通に使用される。

【0037】

ダイオード領域 103B において、p + 型アノード層 22 の上面から p + 型アノード層 22 および p 型アノード層 21 を貫通して n - 型ドリフト層 1 に至るトレンチ 5 が形成さ

10

20

30

40

50

れる。トレンチ5の内壁にはゲート絶縁膜6とダミーゲート電極26が形成される。ダミーゲート電極26は、一般的にフローティングもしくは第1電極31と接地される。

【0038】

層間絶縁膜11、バリアメタル12およびタングステンプラグ14は、IGBT領域103Aと同様にダイオード領域103Bにも設けられる。すなわち、第1電極31はダイオード領域103Bにおいて、タングステンプラグ14およびバリアメタル12を介してp+型アノード層305と接触する。ここでは、バリアメタル12とp型アノード層21とを直接接触させると、オーミック性が悪くコンタクト抵抗が大きくなるため、高濃度のp+型アノード層30により実効的なコンタクト抵抗の低下を図っている。

【0039】

以上が、RC-IGBT103の構成である。上述のとおり、RC-IGBT103のダイオード領域103Bには、バリアメタル12とのコンタクト抵抗を低くするため高濃度のp+型アノード層305が設けられている。しかし、p+型アノード層305の不純物濃度が高い程、ダイオードのオン時におけるキャリアの供給量が多くなるため、ダイオードのオフ時におけるキャリア排出が遅くなるという問題がある。

【0040】

< B . 実施の形態 1 >

本発明の実施の形態1では、RC-IGBTのダイオード領域にバリアメタルを形成しないことにより上記の問題を解決する。

【0041】

< B - 1 . 構成 >

図4は、本発明の実施の形態1に係る半導体装置であるRC-IGBT104の断面図である。RC-IGBT104は、IGBTとダイオードを同一の半導体基板に内蔵している。RC-IGBT104のトランジスタを内蔵する領域をトランジスタ領域104A、ダイオードを内蔵する領域をダイオード領域104Bとする。ここで、半導体基板には、例えばケイ素(Si)を含むものが用いられる。

【0042】

RC-IGBT104は、前提技術で説明したRC-IGBT103の構成と比較すると、トランジスタ領域104Aとダイオード領域104Bにおいてタングステンプラグを有さず、ダイオード領域104Bにおいてさらにp+型アノード層22、層間絶縁膜11、およびバリアメタル12を有していない。RC-IGBT104のトランジスタ領域104Aでは、層間絶縁膜11のコンタクトホール13には、タングステンプラグ14ではなく表面電極304が埋め込まれている。RC-IGBT104のダイオード領域104Bでは、p型アノード層21と表面電極304とが直接接触する。上記以外のRC-IGBT104の構成は、RC-IGBT103と同様であるため説明を省略する。

【0043】

RC-IGBT104のトランジスタ領域104Aでは、n-型ドリフト層1、p型ベース層2、p+型ベース層3、n+型エミッタ層4、ゲート絶縁膜6およびゲート電極7により、MOSゲート構造33が構成される。また、RC-IGBT104のトランジスタ領域104Aでは、n-型ドリフト層1とp型アノード層21により、pn接合を有するダイオード構造34が構成される。本明細書では、MOSゲート構造33、ダイオード構造34、n型バッファ層9、p型コレクタ層10、およびn+型カソード層23からなる構成を半導体基体35と称する。また、半導体基体35の図4の紙面における上側の面を一方主面35A、下側の面を他方主面35Bと称する。

【0044】

すなわち、RC-IGBT104は、トランジスタ領域104Aにおいて半導体基体35の一方主面35A側にMOSゲート構造33を有する。

【0045】

また、半導体基体35は、トランジスタ領域104Aにおいて他方主面35B側にp型コレクタ層10を備え、トランジスタ領域104AはIGBTを構成する。

10

20

30

40

50

【0046】

RC-IGBT104において、半導体基体35の一方主面35Aから深さ方向(図4の上下方向)に、複数のトレンチ5が形成されている。図4において、トレンチ5はトランジスタ領域104Aとダイオード領域104Bの夫々に設けられているが、ダイオード領域104Bにはトレンチ5が形成されなくても良い。トレンチ5の奥行方向は限定しないが、複数のトレンチ5間で奥行方向が同一となるように配置される。図4の例では、トランジスタ領域104Aにとダイオード領域104Bにおいて、全てのトレンチ5の奥行方向は同一である。

【0047】

トランジスタ領域104Aにおいて、p型ベース層2の下方にn型のキャリア蓄積(Carrier Stored:CS)層を設けても良い。

10

【0048】

ダイオード領域104Bにおいて、半導体基体35の一方主面35A側には、トレンチ5に囲まれたp型アノード層21が設けられている。p型アノード層21の不純物濃度は、所望の順方向電圧が得られるように定められる。

【0049】

図4は、ダイオード領域104Bのダミーゲート電極26が層間絶縁膜13に覆われていない場合を示しているが、覆われていても良い。

【0050】

バリアメタル12には、例えば遷移金属となるチタンが用いられる。バリアメタル12は、n+型エミッタ層10とのコンタクト抵抗を下げることを目的として、半導体基板との界面でシリサイド化される。バリアメタルは、窒化チタン、炭化チタン、またはチタンシリサイドを含む。

20

【0051】

第1電極31には、Al-Siや、Al-Cu、Al-Si-Cuなどのアルミニウム合金が用いられる。アルミニウム合金におけるアルミニウム以外の成分の含有量は、シリコン半導体基板への相互拡散を抑えるため0.1%以上が望ましい。

【0052】

層間絶縁膜11のコンタクトホール13にプラグコンタクトを用いず、第1電極31を埋め込むことにより、低コストで良好な半導体装置を実現する。コンタクトホール13への第1電極31の埋め込み性には、層間絶縁膜11の厚み、形状、および開口寸法などが影響する。図5は、層間絶縁膜11のコンタクトホール13周辺の拡大図である。一例として、図5に示す層間絶縁膜11の下面におけるコンタクトホール13の開口幅13aを500nm、層間絶縁膜11の上面におけるコンタクトホール13の開口幅13bを800nm、層間絶縁膜11の厚み11aを500nmとした場合に、コンタクトホール13への第1電極31の埋め込み性に問題はない。隣接する2つのトレンチ5間の距離であるピッチ幅5aは、上述したコンタクトホール13の各部の寸法との兼ね合いで設定することができる。例えば、コンタクトホール13の各部の寸法を上記の通りとすれば、ピッチ幅5aは2.4μmとすることができる。

30

【0053】

ダイオード領域104Bにはバリアメタルが設けられていない。p型アノード層21はバリアメタルと接合せず、第1電極31と直接接触するため、低いコンタクト抵抗を得ることができる。第1電極31にはアルミニウム合金を用いることにより、第1電極31とp型アノード層21との間でアルミニウム成分とシリコン成分の相互拡散を防ぐことができる。なお、ダイオード領域104Bのダミーゲート電極26がトランジスタ領域104Aのゲート電極7と同じく層間絶縁膜11に覆われる場合、ダミーゲート電極26を覆う層間絶縁膜11の少なくとも一部の表面にバリアメタル12が形成されても良い。なぜなら、p型アノード層21にバリアメタル12が接合しない限り、低いコンタクト抵抗を得ることができるからである。

40

【0054】

50

第1電極31はトランジスタ領域104Aからダイオード領域104Bに亘って形成される。すなわち、RC-IGBT104の上面は、トランジスタ領域104Aもダイオード領域104Bも第1電極31により共通化されている。従って、RC-IGBT104を用いてパッケージを製造するアセンブリプロセスにおいて、トランジスタ領域104Aとダイオード領域104Bでワイヤボンディング等の条件を変更する必要がない。

【0055】

< B - 2 . 第1の製造方法 >

次に、RC-IGBT104の第1の製造方法について説明する。図6はRC-IGBT104の第1の製造方法において、表面素子構造の形成から第1電極31の形成までの工程を示すフローチャートである。また、図7ないし図12は、第1の製造方法によるRC-IGBT104の製造途中の状態を示す断面図である。

10

【0056】

まず、MOSゲート構造33と、ダイオード構造34を作成する(ステップS1)。具体的には、トランジスタ領域104Aにおいて、n-型ドリフト層1の上面にp型ベース層2を形成し、p型ベース層2の上面に選択的にp+型ベース層3とn+型エミッタ層4を形成する。次に、n+型エミッタ層4の上面からn+型エミッタ層4とp型ベース層2を貫通するとトレンチ5を形成する。そして、トレンチ5の内壁にゲート絶縁膜6を形成し、さらにトレンチ5内にゲート電極7を埋め込む。ダイオード領域104Bにおいては、n-型ドリフト層1の上面にp型アノード層21を形成する。そして、p型アノード層21の上面からp型アノード層21を貫通するトレンチ5を形成する。そして、トレンチ5の内壁にゲート絶縁膜6を形成し、さらにトレンチ5内にダミーゲート電極26を埋め込む。以上で、図7に示す構造が完成する。

20

【0057】

次に、MOSゲート構造33およびダイオード構造34の上面に層間絶縁膜11を形成する(ステップS2)。こうして、図8に示す構造を得る。

【0058】

その後、フォトリソグラフィにより、層間絶縁膜11上にレジストマスク36を形成する。レジストマスク36は、トランジスタ領域104Aの層間絶縁膜11上に選択的に開口を有している。レジストマスク36を用いて、トランジスタ領域104Aの層間絶縁膜11にコンタクトホール13を形成する(ステップS3)。例えば、トリフルオロメタン(CHF_3)またはテトラフルオロメタン(CF_4)などを用いた反応性イオンエッチング(Reactive Ion Etching: RIE)、あるいはフッ素系のウェットエッチングにより、コンタクトホール13を形成することができる。こうして、図9に示す構造を得る。その後、レジストマスク36を除去する。

30

【0059】

次に、トランジスタ領域104Aからダイオード領域104Bに亘り、コンタクトホール13と層間絶縁膜11上にバリアメタル12を形成する(ステップS4)。バリアメタル12はスパッタリングにより堆積され、その主成分はチタンなどの遷移金属である。バリアメタル12は、コンタクトホール13に露出するケイ素系のp+型ベース層3またはn+型エミッタ4と接触することにより、接触界面でシリサイド化する。また、スパッタリングの後、窒素雰囲気中の熱処理により、バリアメタル12の表面は窒化される。こうして、図10に示す構造を得る。すなわち、バリアメタルは、チタンシリサイド、チタン、および窒化チタンがこの順に積層された構造となる。

40

【0060】

次に、トランジスタ領域104Aにレジストマスク37を形成し、レジストマスク37を用いてダイオード領域104Bのバリアメタル12と層間絶縁膜11を除去する(ステップS5)。ダイオード領域104Bのバリアメタル12と層間絶縁膜11は、トリフルオロメタンまたはテトラフルオロメタンなどを用いたRIEなどのドライエッチングにより除去される。ドライエッチングによりダイオード構造34上の層間絶縁膜11とバリアメタル12を一度に除去することにより、低コストなプロセスとなる。こうして、図11

50

に示す構造を得る。その後、レジストマスク 37 を除去する。

【0061】

次に、トランジスタ領域 104A とダイオード領域 104B に亘り、アルミニウム合金をスパッタリングで堆積することにより第 1 電極 31 を形成する（ステップ S6）。トランジスタ領域 104A において、第 1 電極 31 はコンタクトホール 13 内に入り込んで形成される。こうして、図 12 に示す構造を得る。その後、n-型ドリフト層 1 の下面側の構造、すなわち n 型バッファ層 9、p 型コレクタ層 10、n+型カソード層 23、および第 2 電極 32 を形成し、図 4 に示した RC-IGBT 104 が完成する。

【0062】

< B-3 . 効果 >

実施の形態 1 に係る RC-IGBT 104 は、半導体基体 35 と、第 1 電極 31 を備える。半導体基体 35 は、一方主面 35A と他方主面 35B とを有し、一方主面 35A から他方主面 35B に亘りトランジスタを構成するトランジスタ領域 104A と、一方主面 35A から他方主面 35B に亘りダイオードを構成するダイオード領域 104B とを備える。第 1 電極 31 は、トランジスタ領域 104A とダイオード領域 104B の上に亘り、半導体基体 35 の一方主面 35A 上に形成される。半導体基体 35 は、トランジスタ領域 104A において一方主面 35A 側に MOS ゲート構造 33 を有する。RC-IGBT 104 は、層間絶縁膜 11 と、バリアメタル 12 とを備える。層間絶縁膜 11 は、MOS ゲート構造 33 のゲート電極 7 を覆い、MOS ゲート構造 33 の半導体層を露出するコンタクトホール 13 を有する。バリアメタル 12 は、コンタクトホール 13 の内部に形成される。第 1 電極 31 は、コンタクトホール 13 に入り込み、コンタクトホール 13 の内部でバリアメタル 12 を介して MOS ゲート構造 33 の半導体層と接触し、半導体基体 35 のダイオード領域 104B における半導体層と直接接触する。

【0063】

以上の構成によれば、MOS ゲート構造 33 の半導体層はバリアメタル 12 と接触するため、直接第 1 電極 31 と接触する場合に比べてコンタクト抵抗が低くなる。また、第 1 電極 31 の金属材料である Al などと半導体層の材料である Si などの相互拡散を抑制できる。また、ダイオード領域 104B の半導体層である p 型アノード層 21 が第 1 電極 31 と直接接触するため、p 型アノード層を高濃度にしなくてもコンタクト抵抗を低くすることができる。また、高濃度の p 型アノード層が存在しないことで、オフ時のキャリア排出を遅くせずに済む。また、トランジスタ領域 104A とダイオード領域 104B で第 1 電極を共用するため、RC-IGBT 104 を用いたアセンブリプロセスにおいて、ワイヤボンディングまたは半田濡れ性といった条件をトランジスタ領域 104A とダイオード領域 104B で同一にすることができる。また、第 1 電極 31 をコンタクトホール 13 に入れ込んで MOS ゲート構造 33 の半導体層と接触することにより、タングステンプラグなどの高価なコンタクトプラグを用いる必要がないため、RC-IGBT 104 の製造コストを下げることができる。

【0064】

また、RC-IGBT 104 の第 1 の製造方法は、(a) 半導体基体 35 の一方主面 35A 側に MOS ゲート構造 33 とダイオード構造 34 を形成する工程と、(b) MOS ゲート構造 33 とダイオード構造 34 の上に層間絶縁膜 11 を形成する工程と、(c) MOS ゲート構造 33 の上の層間絶縁膜 11 に、MOS ゲート構造 33 の半導体層を露出させるコンタクトホール 13 を開口する工程と、(d) コンタクトホール 13 内の半導体層上および層間絶縁膜 11 上にバリアメタル 12 を形成する工程と、(e) ダイオード構造 34 の上の層間絶縁膜 11 とバリアメタル 12 を除去する工程と、(f) コンタクトホール 13 内、およびダイオード構造 34 の上に第 1 電極 31 を形成する工程と、を備える。この製造方法によれば、p 型アノード層 21 に不要な電極層を一度も接合させずに RC-IGBT 104 を製造することができる。

【0065】

< C . 実施の形態 2 >

< C - 1 . 第 2 の 製 造 方 法 >

実施の形態 2 では、RC - IGBT 104 の第 2 の製造方法を説明する。図 13 は、RC - IGBT 104 の第 2 の製造方法を示すフローチャートである。図 13 に示すように、第 2 の製造方法のステップ S 1 ないし S 4 とステップ S 6 は図 6 に示した第 1 の製造方法と同様であり、図 6 のステップ S 5 に代えてステップ S 5 A とステップ S 5 B を行う点のみが異なる。すなわち、第 2 の製造方法は、バリアメタル 12 を IGBT 領域 104 A とダイオード領域 104 B の全面に形成した後、ダイオード領域 104 B からバリアメタル 12 を除去する方法が第 1 の製造方法とは異なる。

【 0 0 6 6 】

図 13 のステップ S 1 からステップ S 4 までは第 1 の製造方法と同様であるため、説明を省略する。ステップ S 4 の後、IGBT 領域 104 A にレジストマスク 37 を形成し、レジストマスク 37 を用いてダイオード領域 104 B のバリアメタル 12 と層間絶縁膜 11 を除去する（ステップ S 5 A）。第 1 の製造方法では、RIE などのドライエッチングによりダイオード領域 104 B の層間絶縁膜 11 を完全に除去したが、第 2 の製造方法では、p 型アノード層 21 が露出しないよう層間絶縁膜 11 を一部の膜厚だけ残す。図 14 には、ステップ S 5 A で残る層間絶縁膜を層間絶縁膜 11 A として示している。層間絶縁膜 11 の一部の除去は、トリフルオロメタンまたはテトラフルオロメタンなどを用いた RIE などのドライエッチングにより行われる。残る層間絶縁膜 11 A の厚みは、特に限定しない。

【 0 0 6 7 】

次に、レジストマスク 37 を除去し、新たなレジストマスク 38 を形成する。レジストマスク 38 もレジストマスク 37 と同様、ダイオード領域 104 B に開口を有しているが、図 15 に示すようにその開口はレジストマスク 37 の開口よりも若干小さい。すなわち、レジストマスク 38 がダイオード領域 104 B の端部に重なっている。

【 0 0 6 8 】

次に、レジストマスク 38 を用いたウェットエッチングにより層間絶縁膜 11 A を完全に除去する（ステップ S 5 B）。ここでは、例えばフッ素系のウェットエッチングが用いられる。層間絶縁膜 11 A を除去して p 型アノード層 21 を露出する際、ドライエッチングではなくウェットエッチングを用いることにより、p 型アノード層 21 へのダメージを抑えることができる。なお、ウェットエッチングにおいて、バリアメタル 12 のエッチングレートが高くサイドエッチング量が多くなるが、上記の通り、レジストマスク 38 がダイオード領域 104 B の端部に重なるため、IGBT 領域 104 A 側のバリアメタル 12 がサイドエッチングにより除去されることはない。

【 0 0 6 9 】

次に、IGBT 領域 104 A とダイオード領域 104 B に亘り、アルミニウム合金をスパッタリングで堆積することにより第 1 電極 31 を形成する（ステップ S 6）。こうして、図 16 に示す構造を得る。その後、n - 型ドリフト層 1 の下面側の構造、すなわち n 型バッファ層 9、p 型コレクタ層 10、n + 型カソード層 23、および第 2 電極 32 を形成し、図 4 に示した RC - IGBT 104 が完成する。

【 0 0 7 0 】

< C - 2 . 効果 >

また、RC - IGBT 104 の第 2 の製造方法は、(a) 半導体基体 35 の一方主面 35 A 側に MOS ゲート構造 33 とダイオード構造 34 を形成する工程と、(b) MOS ゲート構造 33 とダイオード構造 34 の上に層間絶縁膜 11 を形成する工程と、(c) MOS ゲート構造 33 の上の層間絶縁膜 11 に、MOS ゲート構造 33 の半導体層を露出させるコンタクトホール 13 を開口する工程と、(d) コンタクトホール 13 内の半導体層上および層間絶縁膜 11 上にバリアメタル 12 を形成する工程と、(e) ダイオード構造 34 の上の層間絶縁膜 11 とバリアメタル 12 を除去する工程と、(f) ダイオード構造 34 の上に第 1 電極 31 を形成する工程と、を備え、工程 (e) は、(e 1) ダイオード構造 34 の上の、バリアメタル 12 と、層間絶縁膜 11 の一部の膜厚をドライエッチングで

10

20

30

40

50

除去する工程と、(e2)工程(e1)で残ったダイオード構造34の上の層間絶縁膜11をウェットエッチングで除去する工程と、を備える。このように、ダイオード領域104Bのバリアメタル12を除去してp型アノード層21を露出させる際のエッチング処理に、ドライエッチングではなくウェットエッチングを用いることにより、エッチングによるp型アノード層21へのダメージを抑制することができる。

【0071】

< D . 実施の形態3 >

本実施の形態は、実施の形態1, 2で説明したRC-IGBT104を電力変換装置に適用したものである。本発明は特定の電力変換装置に限定されるものではないが、以下、実施の形態3として、三相のインバータに本発明を適用した場合について説明する。

10

【0072】

図17は、本実施の形態にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【0073】

図17に示す電力変換システムは、電源400、電力変換装置500、負荷600から構成される。電源400は、直流電源であり、電力変換装置500に直流電力を供給する。電源400は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路やAC/DCコンバータで構成することとしてもよい。また、電源400を、直流系統から出力される直流電力を所定の電力に変換するDC/DCコンバータによって構成することとしてもよい。

20

【0074】

電力変換装置500は、電源400と負荷600の間に接続された三相のインバータであり、電源400から供給された直流電力を交流電力に変換し、負荷600に交流電力を供給する。電力変換装置500は、図17に示すように、直流電力を交流電力に変換して出力する主変換回路501と、主変換回路501の各スイッチング素子を駆動する駆動信号を出力する駆動回路502と、駆動回路502を制御する制御信号を駆動回路502に出力する制御回路503とを備えている。

【0075】

負荷600は、電力変換装置500から供給された交流電力によって駆動される三相の電動機である。なお、負荷600は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

30

【0076】

以下、電力変換装置500の詳細を説明する。主変換回路501は、スイッチング素子と還流ダイオードを備えており(図示せず)、スイッチング素子がスイッチングすることによって、電源400から供給される直流電力を交流電力に変換し、負荷600に供給する。主変換回路501の具体的な回路構成は種々のものがあるが、本実施の形態にかかる主変換回路501は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードから構成することができる。主変換回路501の各スイッチング素子と各還流ダイオードには、実施の形態1, 2で説明したRC-IGBT104を適用する。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相(U相、V相、W相)を構成する。そして、各上下アームの出力端子、すなわち主変換回路501の3つの出力端子は、負荷600に接続される。

40

【0077】

駆動回路502は、主変換回路501のスイッチング素子を駆動する駆動信号を生成し、主変換回路501のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路503からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以

50

上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

【0078】

制御回路503は、負荷600に所望の電力が供給されるよう主変換回路501のスイッチング素子を制御する。具体的には、負荷600に供給すべき電力に基づいて主変換回路501の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するPWM制御によって主変換回路501を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路502に制御指令（制御信号）を出力する。駆動回路502は、この制御信号に従い、各スイッチング素子の制御電極にオン信号またはオフ信号を駆動信号として出力する。

10

【0079】

本実施の形態に係る電力変換装置では、主変換回路501のスイッチング素子として実施の形1, 2で説明したRC-IGBT104を適用するため、良好なダイオード特性と低コスト性を実現することができる。

【0080】

本実施の形態では、2レベルの三相インバータに本発明を適用する例を説明したが、本発明は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2レベルの電力変換装置としたが3レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本発明を適用しても構わない。また、直流負荷等に電力を供給する場合にはDC/DCコンバータやAC/DCコンバータに本発明を適用することも可能である。

20

【0081】

また、本発明を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、または誘導加熱調理器や非接触器給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

【0082】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

30

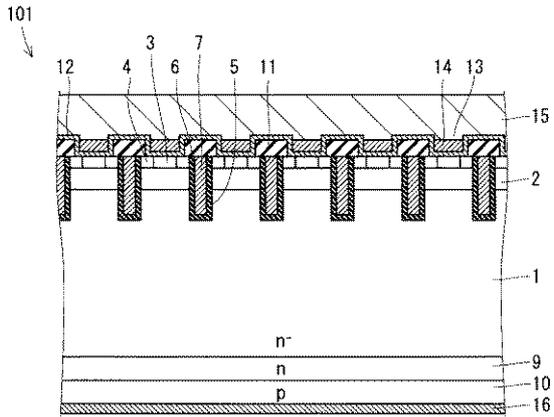
【符号の説明】

【0083】

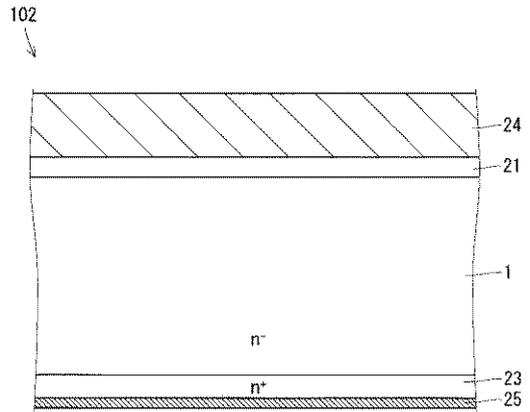
1 n-型ドリフト層、2 p型ベース層、5 トレンチ、6 ゲート絶縁膜、7 ゲート電極、9 n型バッファ層、10 p型コレクタ層、11 層間絶縁膜、12 バリアメタル、13 コンタクトホール、14 タングステンプラグ、15 エミッタ電極、16 コレクタ電極、21 p型アノード層、24 アノード電極、25 カソード電極、26 ダミーゲート電極、31 第1電極、32 第2電極、33 MOSゲート構造、34 ダイオード構造、35 半導体基体、104A トランジスタ領域、104B ダイオード領域、304 表面電極、400 電源、500 電力変換装置、501 主変換回路、502 駆動回路、503 制御回路、600 負荷。

40

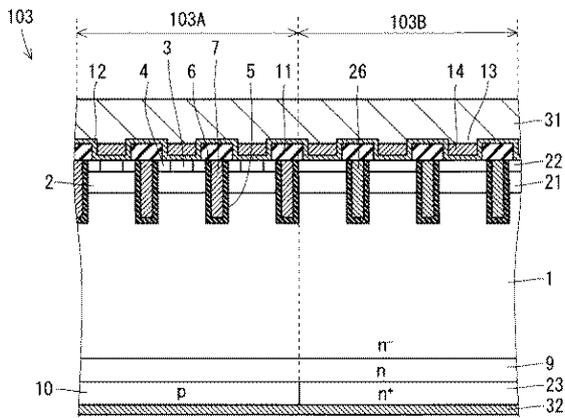
【図1】



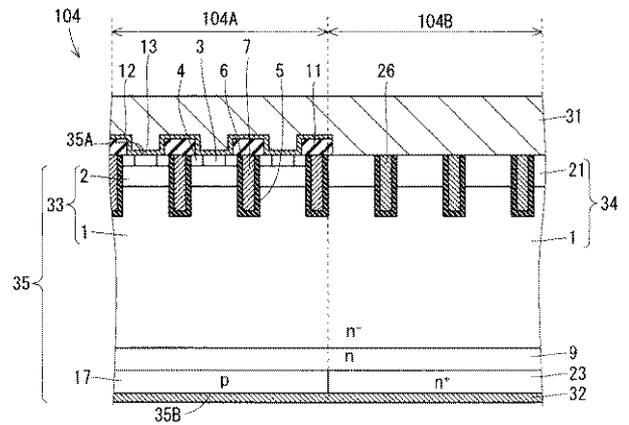
【図2】



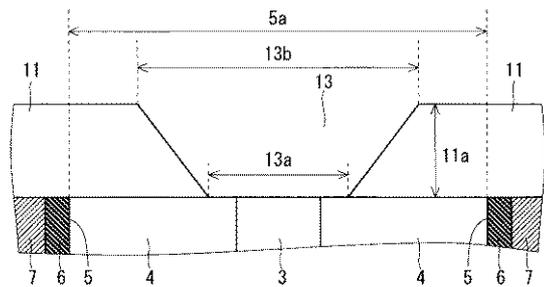
【図3】



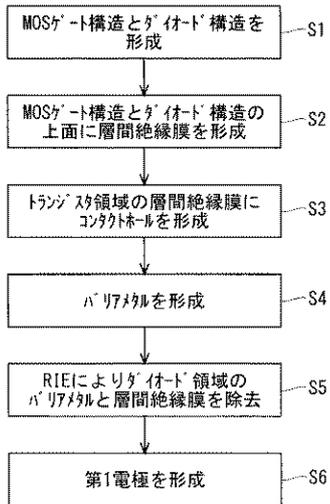
【図4】



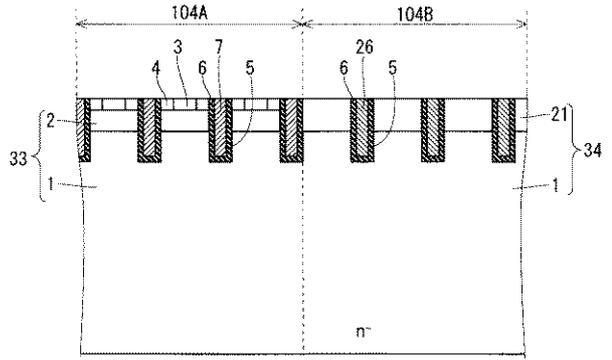
【図5】



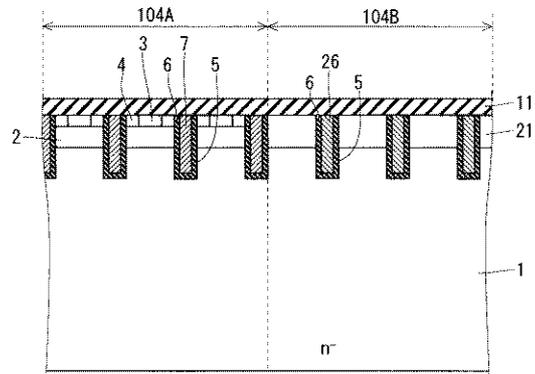
【図6】



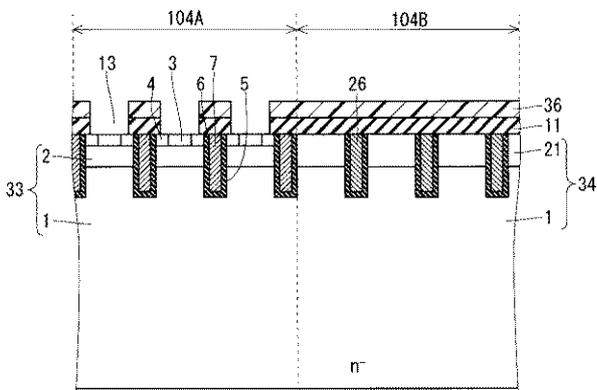
【図7】



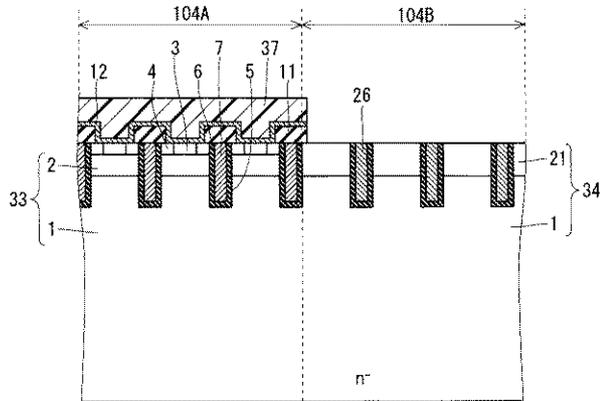
【図8】



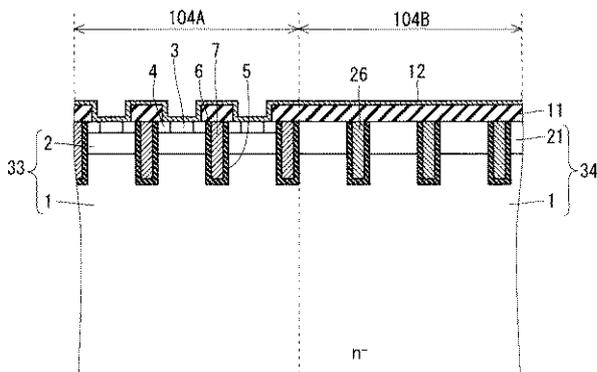
【図9】



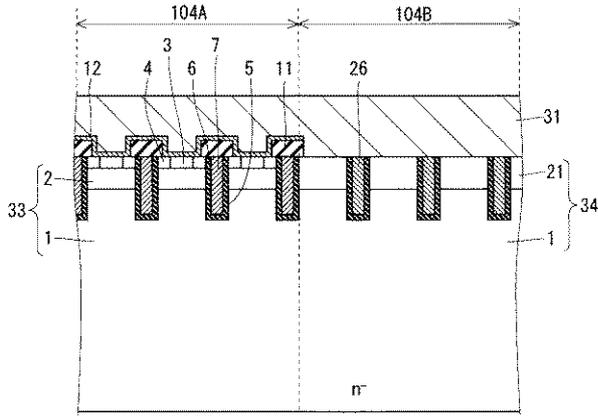
【図11】



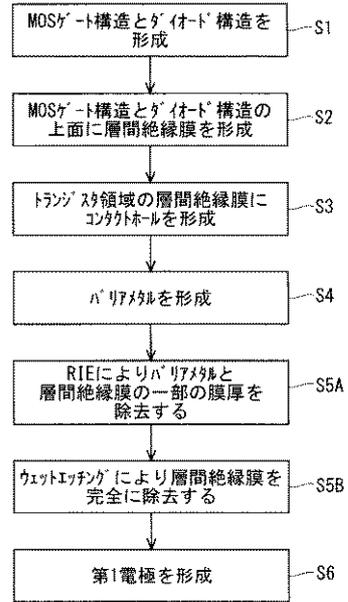
【図10】



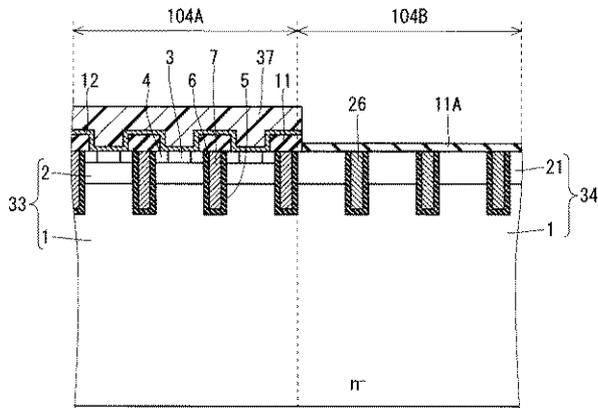
【図12】



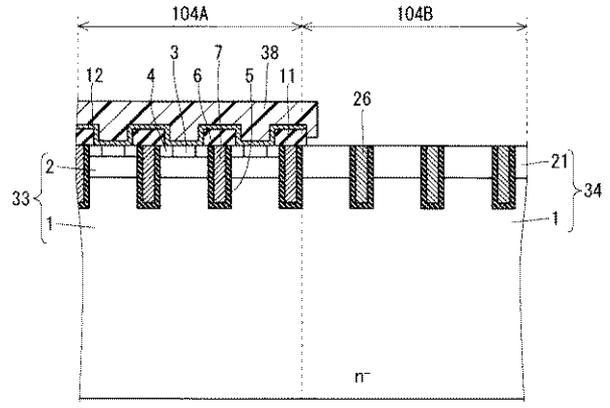
【図13】



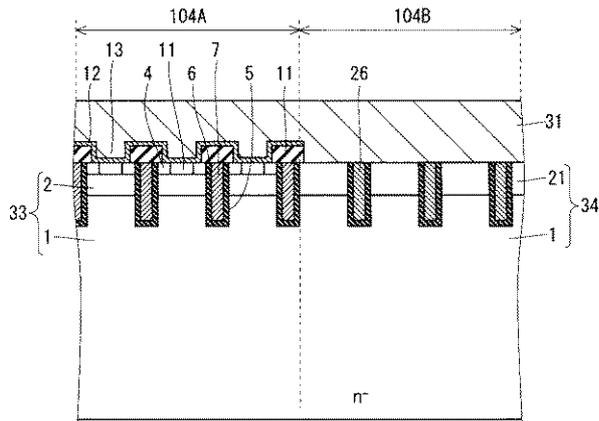
【図14】



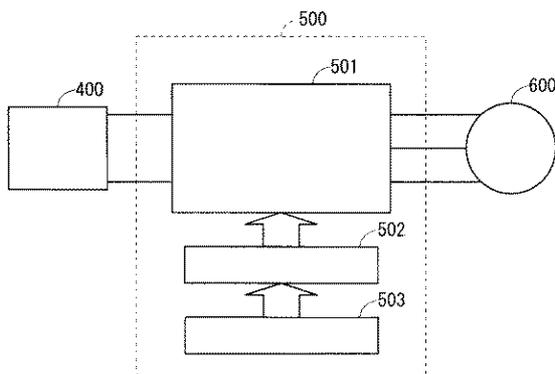
【図15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/28 3 0 1 R

(72)発明者 曾根田 真也

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 4M104 BB02 BB03 BB25 BB30 BB34 CC01 FF18 FF22 GG02 GG09
GG18