

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-192099  
(P2017-192099A)

(43) 公開日 平成29年10月19日(2017. 10. 19)

(51) Int. Cl. F I テーマコード(参考)  
**HO3M 1/46 (2006.01)** HO3M 1/46 5J022  
**HO3M 1/12 (2006.01)** HO3M 1/12 A

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2016-82073 (P2016-82073)  
 (22) 出願日 平成28年4月15日(2016. 4. 15)

(71) 出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2 1 番地  
 (74) 代理人 100105924  
 弁理士 森下 賢樹  
 (74) 代理人 100133215  
 弁理士 真家 大樹  
 (72) 発明者 松本 浩一  
 京都府京都市右京区西院溝崎町2 1 番地  
 ローム株式会社内  
 Fターム(参考) 5J022 AA02 AB01 BA06 CA10 CB02  
 CF01 CF07

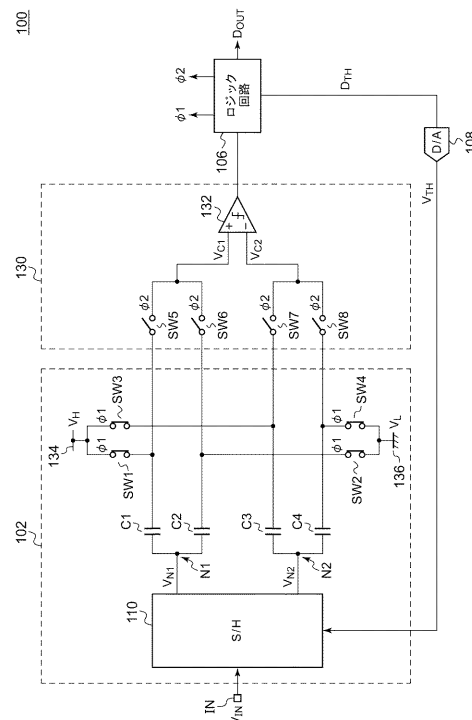
(54) 【発明の名称】 逐次比較型 A/D コンバータ

(57) 【要約】

【課題】 逐次比較型 A/D コンバータの消費電力を低減する。

【解決手段】 第1 キャパシタ C1、第2 キャパシタ C2 は、それぞれの第1 端が第1 ノード N1 と接続される。第1 スイッチ SW1 は、第1 キャパシタ C1 の第2 端とハイ電圧端子 134 の間に設けられる。第2 スイッチ SW2 は、第2 キャパシタ C2 の第2 端とロー電圧端子 136 の間に設けられる。第5 スイッチ SW5 は、第1 キャパシタ C1 の第2 端とコンパレータ 132 の第1 入力の方に設けられ、第6 スイッチ SW6 は、第2 キャパシタ C2 の第2 端とコンパレータ 132 の第1 入力の方に設けられる。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

逐次比較型 A / D コンバータであって、  
入力電圧をサンプルホールドするサンプルホールド回路と、  
デジタル入力に応じたアナログの出力電圧を生成する D / A コンバータと、  
前記サンプルホールド回路の出力電圧を、前記 D / A コンバータの出力電圧と比較する  
比較回路と、

前記比較回路の出力にもとづいて前記 D / A コンバータの前記デジタル入力を生成する  
ロジック回路と、

を備え、

10

前記サンプルホールド回路は、

その第 1 端が第 1 ノードと接続された第 1 キャパシタと、

その第 1 端が前記第 1 ノードと接続された第 2 キャパシタと、

その第 1 端が第 2 ノードと接続された第 3 キャパシタと、

その第 1 端が前記第 2 ノードと接続された第 4 キャパシタと、

前記第 1 キャパシタの第 2 端とハイ電圧端子の間に設けられ、サンプリングフェーズに  
おいてオンとなる第 1 スイッチと、

前記第 2 キャパシタの第 2 端とロー電圧端子の間に設けられ、サンプリングフェーズに  
おいてオンとなる第 2 スイッチと、

前記第 3 キャパシタの第 2 端と前記ハイ電圧端子の間に設けられ、サンプリングフェー  
ズにおいてオンとなる第 3 スイッチと、

20

前記第 4 キャパシタの第 2 端と前記ロー電圧端子の間に設けられ、サンプリングフェー  
ズにおいてオンとなる第 4 スイッチと、

を含み、

前記比較回路は、

第 1 入力および第 2 入力を有するコンパレータと、

前記第 1 キャパシタの前記第 2 端と前記コンパレータの前記第 1 入力の間に設けられ、  
比較フェーズにおいてオンとなる第 5 スイッチと、

前記第 2 キャパシタの前記第 2 端と前記コンパレータの前記第 1 入力の間に設けられ、  
前記比較フェーズにおいてオンとなる第 6 スイッチと、

30

前記第 3 キャパシタの前記第 2 端と前記コンパレータの前記第 2 入力の間に設けられ、  
前記比較フェーズにおいてオンとなる第 7 スイッチと、

前記第 4 キャパシタの前記第 2 端と前記コンパレータの前記第 2 入力の間に設けられ、  
前記比較フェーズにおいてオンとなる第 8 スイッチと、

を含むことを特徴とする逐次比較型 A / D コンバータ。

**【請求項 2】**

前記サンプルホールド回路は、

前記第 1 キャパシタおよび前記第 2 キャパシタに加えて、

前記入力電圧を受ける入力端子と前記第 1 ノードの間に設けられ、前記サンプリングフ  
ェーズにおいてオンする入力スイッチを含み、

40

前記比較フェーズにおいて、前記 D / A コンバータの出力電圧は、前記第 1 ノードに供  
給されることを特徴とする請求項 1 に記載の逐次比較型 A / D コンバータ。

**【請求項 3】**

前記逐次比較型 A / D コンバータは差動形式であり、

前記 D / A コンバータは、第 1 D / A コンバータおよび第 2 D / A コンバータを含み、

前記サンプルホールド回路は、

前記第 1 キャパシタから前記第 4 キャパシタに加えて、

差動入力電圧の一方を受ける第 1 入力端子と前記第 1 ノードの間に設けられ、前記サン  
プリングフェーズにおいてオンする第 1 入力スイッチと、

差動入力電圧の一方を受ける第 1 入力端子と前記第 2 ノードの間に設けられ、前記サン

50

プリングフェーズにおいてオンする第 2 入力スイッチと、  
を含み、

前記比較フェーズにおいて、前記第 1 D / A コンバータの出力電圧が、前記第 1 ノードに供給され、前記第 2 D / A コンバータの出力電圧が、前記第 2 ノードに供給されることを特徴とする請求項 1 に記載の逐次比較型 A / D コンバータ。

【請求項 4】

前記逐次比較型 A / D コンバータは差動形式であり、  
前記 D / A コンバータは、容量アレイ型 D / A コンバータである第 1 D / A コンバータおよび第 2 D / A コンバータを含み、

前記第 1 D / A コンバータは、

前記第 1 キャパシタに対応する第 1 容量アレイと、

前記第 2 キャパシタに対応する第 2 容量アレイと、

を含み、

前記第 2 D / A コンバータは、

前記第 3 キャパシタに対応する第 3 容量アレイと、

前記第 4 キャパシタに対応する第 4 容量アレイと、

を含むことを特徴とする請求項 1 に記載の逐次比較型 A / D コンバータ。

【請求項 5】

ひとつの半導体基板に一体集積化されることを特徴とする請求項 1 から 4 のいずれかに記載の逐次比較型 A / D コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、逐次比較型 A / D コンバータに関する。

【背景技術】

【0002】

中分解能～高分解能（たとえば 8 ビット以上）の A / D コンバータとして、逐次比較型（SAR：Successive Approximation Register）が使用される。図 1 は、逐次比較型 A / D コンバータ 100R の回路図である。逐次比較型 A / D コンバータ 100R は、サンプルホールド回路 102、コンパレータ 104、ロジック回路 106 および D / A コンバータ 108 を備える。

【0003】

サンプルホールド回路 102 は、サンプリングフェーズ 1 において、入力電圧  $V_{IN}$  に応じた電圧をサンプリングキャパシタ  $C_1$  にサンプリングし、その後、比較フェーズ 2 の間、ホールドする。D / A コンバータ 108 は、そのデジタル入力  $D_{TH}$  に応じたしきい値電圧  $V_{TH}$  を生成する。N ビットの A / D コンバータでは、比較フェーズ 2 の間に、N 回の比較処理が発生する。コンパレータ 104 は、比較処理ごとに、サンプルホールド回路 102 によりホールドされた電圧と、D / A コンバータ 108 の出力電圧  $V_{TH}$  を比較する。1 回目の比較フェーズ 2 においてサンプリングキャパシタ  $C_1$  の一端に  $V_{TH1}$  が印加され、これにより第 1 キャパシタ  $C_1$  の電圧は、 $(V_{IN} - V_{TH1})$  に変化する。コンパレータ 104 は、第 1 キャパシタ  $C_1$  の電圧  $(V_{IN} - V_{TH1})$  を、基準電圧（ここでは 0 V とする）を比較し、 $V_{IN}$  と  $V_{TH1}$  の大小関係を判定する。

【0004】

ロジック回路 106 は、コンパレータ 104 の出力にもとづいて、次の比較処理におけるデジタル入力  $D_{TH}$  を更新する。この動作を繰り返すことにより、入力電圧  $V_{IN}$  を N ビットで量子化したデジタル値  $D_{OUT}$  が生成される。

【0005】

このような逐次比較型 A / D コンバータ 100R では、コンパレータ 104 の反転入力端子および非反転入力端子の電圧レベルを、最適な電圧レベルに設定するためのバイアス電源 112 が設けられる（特許文献 2 参照）。

10

20

30

40

50

## 【 0 0 0 6 】

バイアス電源 1 1 2 はたとえば抵抗分圧回路や、ダイオード、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) などを用いた定電圧源で構成される場合が多い。バイアススイッチ S W 4 1 , S W 4 2 は、サンプリングフェーズ 1 においてオンする。このとき、サンプリングキャパシタ C 1 は、 $V_{IN} - V_{BIAS}$  に充電され、サンプリングキャパシタ C 2 は、 $-V_{BIAS}$  に充電される。したがって、比較フェーズにおけるコンパレータ 1 0 4 の入力電圧は、バイアス電圧  $V_{BIAS}$  でバイアスされる。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 1 4 - 1 4 3 6 3 9 号公報

【 特許文献 2 】 特開 2 0 1 4 - 1 3 8 3 7 1 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 8 】

本発明者は、従来の逐次比較型 A / D コンバータ 1 0 0 R について検討した結果、以下の課題を認識するに至った。

すなわち、逐次比較型 A / D コンバータ 1 0 0 R では、そのフェーズにかかわらず、バイアススイッチ S W 4 1 , S W 4 2 がオフの間も、バイアス電源 1 1 2 には直流のバイアス電流  $I_{BIAS}$  が流れており、これが無駄な電力損失となっていた。

## 【 0 0 0 9 】

本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、消費電力を低減した逐次比較型 A / D コンバータの提供にある。

## 【 課題を解決するための手段 】

## 【 0 0 1 0 】

本発明のある態様は、逐次比較型 A / D コンバータに関する。逐次比較型 A / D コンバータは、入力電圧をサンプルホールドするサンプルホールド回路と、デジタル入力に応じたアナログの出力電圧を生成する D / A コンバータと、サンプルホールド回路の出力電圧を、D / A コンバータの出力電圧と比較する比較回路と、比較回路の出力にもとづいて D / A コンバータのデジタル入力を生成するロジック回路と、を備える。サンプルホールド回路は、その第 1 端が第 1 ノードと接続された第 1 キャパシタと、その第 1 端が第 1 ノードと接続された第 2 キャパシタと、その第 1 端が第 2 ノードと接続された第 3 キャパシタと、その第 1 端が第 2 ノードと接続された第 4 キャパシタと、第 1 キャパシタの第 2 端とハイ電圧端子の間に設けられ、サンプリングフェーズにおいてオンとなる第 1 スイッチと、第 2 キャパシタの第 2 端とロー電圧端子の間に設けられ、サンプリングフェーズにおいてオンとなる第 2 スイッチと、第 3 キャパシタの第 2 端とハイ電圧端子の間に設けられ、サンプリングフェーズにおいてオンとなる第 3 スイッチと、第 4 キャパシタの第 2 端とロー電圧端子の間に設けられ、サンプリングフェーズにおいてオンとなる第 4 スイッチと、を含む。比較回路は、第 1 入力および第 2 入力を有するコンパレータと、第 1 キャパシタの第 2 端とコンパレータの第 1 入力の間に設けられ、比較フェーズにおいてオンとなる第 5 スイッチと、第 2 キャパシタの第 2 端とコンパレータの第 1 入力の間に設けられ、比較フェーズにおいてオンとなる第 6 スイッチと、第 3 キャパシタの第 2 端とコンパレータの第 2 入力の間に設けられ、比較フェーズにおいてオンとなる第 7 スイッチと、第 4 キャパシタの第 2 端とコンパレータの第 2 入力の間に設けられ、比較フェーズにおいてオンとなる第 8 スイッチと、を含む。

## 【 0 0 1 1 】

この態様によると、直流電流が流れ続けるバイアス電源が不要となるため、消費電力を低減できる。また、バイアス点を、第 1 キャパシタと第 2 キャパシタの容量の比に応じて設定、調節することができる。

## 【 0 0 1 2 】

10

20

30

40

50

サンプルホールド回路は、第1キャパシタおよび第2キャパシタに加えて、入力電圧を受ける入力端子と第1ノードの間に設けられ、サンプリングフェーズにおいてオンする入力スイッチを含んでもよい。比較フェーズにおいて、D/Aコンバータの出力電圧は、第1ノードに供給されてもよい。

【0013】

逐次比較型A/Dコンバータは差動形式であり、D/Aコンバータは、第1D/Aコンバータおよび第2D/Aコンバータを含んでもよい。サンプルホールド回路は、第1キャパシタから第4キャパシタに加えて、差動入力電圧の一方を受ける第1入力端子と第1ノードの間に設けられ、サンプリングフェーズにおいてオンする第1入力スイッチと、差動入力電圧の一方を受ける第1入力端子と第2ノードの間に設けられ、サンプリングフェーズにおいてオンする第2入力スイッチと、を含んでもよい。比較フェーズにおいて、第1D/Aコンバータの出力電圧が、第1ノードに供給され、第2D/Aコンバータの出力電圧が、第2ノードに供給されてもよい。

10

【0014】

逐次比較型A/Dコンバータは差動形式であり、D/Aコンバータは、容量アレイ型D/Aコンバータである第1D/Aコンバータおよび第2D/Aコンバータを含んでもよい。第1D/Aコンバータは、第1キャパシタに対応する第1容量アレイと、第2キャパシタに対応する第2容量アレイと、を含んでもよい。第2D/Aコンバータは、第3キャパシタに対応する第3容量アレイと、第4キャパシタに対応する第4容量アレイと、を含んでもよい。

20

【0015】

逐次比較型A/Dコンバータは、ひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。回路を1つのチップ上に集積化することにより、回路面積を削減することができるとともに、回路素子の特性を均一に保つことができる。

【0016】

なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

30

【発明の効果】

【0017】

本発明のある態様によれば、消費電力を低減できる。

【図面の簡単な説明】

【0018】

【図1】逐次比較型A/Dコンバータの回路図である。

【図2】実施の形態に係る逐次比較型A/Dコンバータの基本構成を示すブロック図である。

【図3】第1実施例に係る逐次比較型A/Dコンバータの回路図である。

【図4】第2実施例に係る逐次比較型A/Dコンバータの回路図である。

40

【図5】第3実施例に係る逐次比較型A/Dコンバータの回路図である。

【発明を実施するための形態】

【0019】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0020】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物

50

理的に直接的に接続される場合のほか、部材 A と部材 B が、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

【 0 0 2 1 】

同様に、「部材 C が、部材 A と部材 B の間に設けられた状態」とは、部材 A と部材 C、あるいは部材 B と部材 C が直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

【 0 0 2 2 】

図 2 は、実施の形態に係る逐次比較型 A / D コンバータ 1 0 0 の基本構成を示すブロック図である。逐次比較型 A / D コンバータ 1 0 0 は、このましくは一つの半導体基板に一体集積化される。

10

【 0 0 2 3 】

逐次比較型 A / D コンバータ 1 0 0 は、入力端子 I N に入力されたアナログの入力電圧  $V_{IN}$  をデジタル N ビット ( N は 2 以上の整数 ) の出力信号  $D_{OUT}$  に変換する。逐次比較型 A / D コンバータ 1 0 0 には、さまざまな回路形式が知られており、逐次比較型 A / D コンバータ 1 0 0 の回路形式は特に限定されない。たとえば逐次比較型 A / D コンバータ 1 0 0 は、シングルエンドであってもよいし、差動型であってもよい。

【 0 0 2 4 】

逐次比較型 A / D コンバータ 1 0 0 は、サンプルホールド回路 1 0 2、ロジック回路 1 0 6、D / A コンバータ 1 0 8、比較回路 1 3 0 を備える。なお図 2 は、逐次比較型 A / D コンバータ 1 0 0 の機能を模式的に示したものであり、サンプルホールド回路 1 0 2、ロジック回路 1 0 6、D / A コンバータ 1 0 8、比較回路 1 3 0 は、必ずしも個別のハードウェアであるとは限らず、それらの一部が一体に構成される場合もあり得る。

20

【 0 0 2 5 】

サンプルホールド回路 1 0 2 は、サンプリングフェーズ 1 において、入力電圧  $V_{IN}$  をサンプリングし、その後の比較フェーズ 2 においてホールドする。D / A コンバータ 1 0 8 は、デジタル入力  $D_{TH}$  に応じたアナログ電圧  $V_{TH}$  を生成する。比較回路 1 3 0 は、サンプルホールド回路 1 0 2 の出力電圧を、D / A コンバータ 1 0 8 の出力電圧と比較する機能を有する。

30

【 0 0 2 6 】

ロジック回路 1 0 6 は、サンプリングフェーズ 1 と比較フェーズ 2 を制御するクロックを生成する。またロジック回路 1 0 6 は、比較回路 1 3 0 の出力にもとづいて D / A コンバータ 1 0 8 のデジタル入力  $D_{TH}$  を生成する。さらにロジック回路 1 0 6 は、N 回の比較処理を経て、最終的な N ビットのデジタルの出力信号  $D_{OUT}$  を生成する。ロジック回路 1 0 6 については、従来のそれと同様である。

【 0 0 2 7 】

サンプルホールド回路 1 0 2 は、第 1 キャパシタ C 1 ~ 第 4 キャパシタ C 4、第 1 スイッチ S W 1 ~ 第 4 スイッチ S W 4 および入力スイッチ回路 1 1 0 を備える。

【 0 0 2 8 】

第 1 キャパシタ C 1 および第 2 キャパシタそれぞれの第 1 端は、第 1 ノード N 1 と共通に接続される。第 3 キャパシタ C 3 および第 4 キャパシタ C 4 それぞれの第 1 端は、第 2 ノード N 2 と共通に接続される。第 1 ノード N 1 の電圧を  $V_{N1}$ 、第 2 ノード N 2 の電圧を  $V_{N2}$  として表す。入力スイッチ回路 1 1 0 の構成は、後述するようにさまざまであり、2 つの電圧  $V_{N1}$ 、 $V_{N2}$  の両方、あるいは一方は、入力電圧  $V_{IN}$  および D / A コンバータ 1 0 8 の出力電圧  $V_{TH}$  に応じて変化する。

40

【 0 0 2 9 】

第 1 スイッチ S W 1 は、第 1 キャパシタ C 1 の第 2 端とハイ電圧端子 ( もしくはライン ) 1 3 4 の間に設けられる。ハイ電圧端子 1 3 4 には、所定のハイレベル電圧  $V_H$  が供給されている。ハイレベル電圧  $V_H$  は、電源電圧あるいは所定の基準電圧である。第 2 スイ

50

ッチSW2は、第2キャパシタC2の第2端とロー電圧端子136の間に設けられる。

【0030】

第3スイッチSW3は、第3キャパシタC3の第2端とハイ電圧端子134の間に設けられ、第4スイッチSW4は、第4キャパシタC4の第2端とロー電圧端子136の間に設けられる。第1スイッチSW1～第4スイッチSW4は、サンプリングフェーズ1においてオンとなる。

【0031】

図2の逐次比較型A/Dコンバータ100には、図1のコンパレータ104に代えて、比較回路130が設けられる。比較回路130は、コンパレータ132、第5スイッチSW5～第8スイッチSW8を備える。コンパレータ132は、第1入力(たとえば非反転入力端子+)および第2入力(たとえば反転入力端子-)を有する。

10

【0032】

第5スイッチSW5は、第1キャパシタC2の第2端とコンパレータ132の第1入力の間に設けられ、第6スイッチSW6は、第2キャパシタC2の第2端とコンパレータ132の第1入力の間に設けられる。第7スイッチSW7は、第3キャパシタC3の第2端とコンパレータ132の第2入力の間に設けられ、第8スイッチSW8は、第4キャパシタの第2端とコンパレータ132の第2入力の間に設けられる。第5スイッチSW5～第8スイッチSW8は、比較フェーズ2においてオンとなる。

【0033】

以上が逐次比較型A/Dコンバータ100の構成である。続いてその動作を説明する。

20

第1ノードN1側に着目する。サンプリングフェーズ1において第1スイッチSW1および第2スイッチSW2がオンする。このとき、第1キャパシタC1は、第1ノードN1の電圧 $V_{N1}$ とハイ電圧 $V_H$ の電位差で充電され、第2キャパシタC2は、第1ノードN1の電圧 $V_{N1}$ とロー電圧 $V_L$ の電位差で充電される。第1キャパシタC1および第2キャパシタC2それぞれの電荷 $Q_1$ 、 $Q_2$ は、式(1)、(2)で与えられる。

$$Q_1 = C_1 \times (V_H - V_{N1}) \quad (1)$$

$$Q_2 = C_2 \times (V_L - V_{N1}) \quad (2)$$

【0034】

サンプリングが完了すると、ホールド状態となる。ホールド状態では、第1スイッチSW1～第4スイッチSW4はオフされる。

30

【0035】

その後、比較フェーズ2において第5スイッチSW5と第6スイッチSW6がオンすると、第1キャパシタC1と第2キャパシタC2の間で電荷の移動が発生する(電荷再配分)。電荷再配分後のキャパシタC1、C2の電荷 $Q_1'$ 、 $Q_2'$ は、第1入力(+)の電位 $V_{c1}$ を用いて、式(3)、(4)で与えられる。

$$Q_1' = C_1 \times (V_{c1} - V_{N1}) \quad (3)$$

$$Q_2' = C_2 \times (V_{c1} - V_{N1}) \quad (4)$$

【0036】

コンパレータ132の第1入力は十分にハイインピーダンスであるため、電荷移動の前後で総電荷 $Q_1 + Q_2$ は保存される。

40

$$Q_1 + Q_2 = Q_1' + Q_2' \quad (5)$$

【0037】

したがって、電荷再配分後の電圧 $V_{c1}$ は、式(6)で与えられる。

$$V_{c1} = (C_1 \times V_H + C_2 \times V_L) / (C_1 + C_2) \quad (6)$$

【0038】

同様にして、第2ノードN2側について、電荷再配分後の電圧 $V_{c2}$ は、式(7)で与えられる。

$$V_{c2} = (C_1 \times V_H + C_2 \times V_L) / (C_1 + C_2) \quad (7)$$

【0039】

サンプルホールド回路102、ロジック回路106、D/Aコンバータ108について

50

は、従来の逐次比較型 A / D コンバータ 100R と同様に動作する。そして逐次比較型 A / D コンバータ 100 は逐次比較動作を行い、D / A コンバータ 108 の出力電圧  $V_{TH}$  が式 (6) の電圧  $V_{c1}$  (すなわち式 (7) の  $V_{c2}$ ) に近づくように制御される。

【0040】

以上が逐次比較型 A / D コンバータ 100 の動作である。

この逐次比較型 A / D コンバータ 100 によれば、式 (6)、(7) から明らかなように、コンパレータ 132 の第 1 入力、第 2 入力に、バイアス電圧  $V_{c1}$ 、 $V_{c2}$  を発生させることができる。

【0041】

比較回路 130 の優れた利点のひとつは、定常的なバイアス電流を必要とせずに、コンパレータ 132 の 2 つの入力を、所望の電圧にバイアスできる点である。すなわち、ハイ電圧端子 134 からは、第 1 スイッチ SW1、第 3 スイッチ SW3 がオンとなるサンプリングフェーズ 1 の遷移直後、サンプリングキャパシタ C1 ~ C4 を充電するまでの短い時間のみ、電流が流れる。したがって、動作フェーズにかかわらず、バイアス電流が定常的に流れる従来の回路に比べて、消費電力を大幅に低減できる。

【0042】

また、コンパレータ 132 の 2 入力に与えられるバイアス電圧は等しく  $(C1 \times V_H + C2 \times V_L) / (C1 + C2)$  で表される。すなわちシフト量は、キャパシタ C1 と C2 の容量の比に応じて調節することが可能である。たとえば  $C1 = C2$  とした場合には、コンパレータ 132 の 2 つの入力を、ハイ電圧  $V_H$  とロー電圧  $V_L$  の中点にバイアスすることが可能であるし、 $C1 > C2$  とすれば、中点より高い電位にバイアスでき、 $C1 < C2$  とすれば、中点より低い電位にバイアスできる。

【0043】

本発明は、図 2 のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、回路に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や回路動作の理解を助け、またそれらを明確化するために、より具体的な構成例を説明する。

【0044】

(第 1 実施例)

図 3 は、第 1 実施例に係る逐次比較型 A / D コンバータ 100a の回路図である。この逐次比較型 A / D コンバータ 100a はシングルエンド型である。サンプルホールド回路 102a の入力スイッチ回路 110a は、第 1 入力スイッチ SW11 および第 1 ホールドスイッチ SW21 を備える。第 1 入力スイッチ SW11 は、入力端子 IN と第 1 キャパシタ C1 および第 2 キャパシタ C2 の共通接続点である第 1 ノード N1 の間に設けられる。

【0045】

第 1 ホールドスイッチ SW21 は、第 1 ノード N1 と D / A コンバータ 108 の出力端子の間に設けられる。第 1 入力スイッチ SW11 は、サンプリングフェーズ 1 においてオンし、第 1 キャパシタ C1 は、入力電圧  $V_{IN}$  とハイレベル電圧  $V_H$  の差分で充電され、第 2 キャパシタ C2 は、入力電圧  $V_{IN}$  とローレベル電圧  $V_L$  の差分で充電される。第 1 ホールドスイッチ SW21 は、比較フェーズ 2 においてオンとなり、D / A コンバータ 108 の出力電圧  $V_{TH}$  が、第 1 ノード N1 に供給される。

【0046】

第 2 ノード N2 は接地され、その電位は固定される。したがってサンプリングフェーズ 1 において、第 3 キャパシタ C3 は、ハイレベル電圧  $V_H$  で充電され、第 4 キャパシタ C4 はローレベル電圧  $V_L$  で充電される。

【0047】

(第 2 実施例)

図 4 は、第 2 実施例に係る逐次比較型 A / D コンバータ 100b の回路図である。この逐次比較型 A / D コンバータ 100b は、図 3 の逐次比較型 A / D コンバータ 100a を差動形式としたものである。

10

20

30

40

50



## 【0048】

2つの入力端子（ $I_{NP}$ 、 $I_{NN}$ ）には、差動の入力電圧 $V_{INP}$ 、 $V_{INN}$ が入力される。第1入力スイッチ $SW11$ は、 $I_{NP}$ 端子と第1ノード $N1$ の間に設けられ、第2入力スイッチ $SW12$ は、 $I_{NN}$ 端子と第2ノード $N2$ の間に設けられる。第1入力スイッチ $SW11$ と第2入力スイッチ $SW12$ は、サンプリングフェーズ 1においてオンする。

## 【0049】

第1ホールドスイッチ $SW21$ は、第1ノード $N1$ と接地の間に設けられ、第2ホールドスイッチ $SW22$ は、第2ノード $N2$ と接地の間に設けられる。第1ホールドスイッチ $SW21$ 、第2ホールドスイッチ $SW22$ は、サンプリングの完了後、オンとなり、これにより入力電圧 $V_{INN}$ 、 $V_{INP}$ がキャパシタ $C1 \sim C4$ にホールドされる。具体的にはキャパシタ $C1 \sim C4$ は、 $(V_{INP} - V_H)$ 、 $(V_{INP} - V_L)$ 、 $(V_{INN} - V_H)$ 、 $(V_{INN} - V_L)$ で充電される。

10

## 【0050】

D/Aコンバータ108は、第1D/Aコンバータ108Pおよび第2D/Aコンバータ108Nを含む。第1D/Aコンバータ108Pおよび第2D/Aコンバータ108Nのペアは、差動のしきい値電圧 $V_{THP}$ 、 $V_{THN}$ を生成する。

## 【0051】

入力スイッチ回路110bは、第1入力スイッチ $SW11$ 、第2入力スイッチ $SW12$ に加えて、比較フェーズ 2においてオンとなるスイッチ $SW31$ 、 $SW32$ を備える。差動のしきい値電圧 $V_{THP}$ 、 $V_{THN}$ はそれぞれ、スイッチ $SW31$ 、 $SW32$ を介して、第1ノード $N1$ 、第2ノード $N2$ に供給される。

20

## 【0052】

（第3実施例）

図5は、第3実施例に係る逐次比較型A/Dコンバータ100cの回路図である。この逐次比較型A/Dコンバータ100cは、図4の逐次比較型A/Dコンバータ100bにおいて、D/Aコンバータ108P、108Nを、容量アレイ型で構成したものであり、サンプルホールド回路102と一体化されている。

## 【0053】

従来の容量アレイ型D/Aコンバータは、1組の容量アレイとスイッチを備える。これに対して、第3実施例の第1D/Aコンバータ108Pは、基本原理および構成は従来のそれと同様であるが、第1キャパシタ $C1$ に相当する第1容量アレイ $CA1$ と、第2キャパシタ $C2$ に相当する第2容量アレイ $CA2$ が設けられる。第1容量アレイ $CA1$ を構成するキャパシタ同士は、バイナリで重み付けされ、同様に、第2容量アレイ $CA2$ を構成するキャパシタ同士も、バイナリで重み付けされている。第2D/Aコンバータ108Nも同様であり、第3キャパシタ $C3$ に相当する第3容量アレイ $CA3$ と、第4キャパシタ $C4$ に相当する第4容量アレイ $CA4$ が設けられる。

30

## 【0054】

第3実施例によれば、第1容量アレイ $CA1$ の基本容量と第2容量アレイ $CA2$ の基本容量の比、ならびに第3容量アレイ $CA3$ の基本容量と第4容量アレイ $CA4$ の基本容量の比に応じたバイアス点を設定できる。

40

## 【0055】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

## 【0056】

いくつかの実施例は例示に過ぎず、そのほかの形式の逐次比較型A/Dコンバータにも本発明は適用可能である。

## 【0057】

50

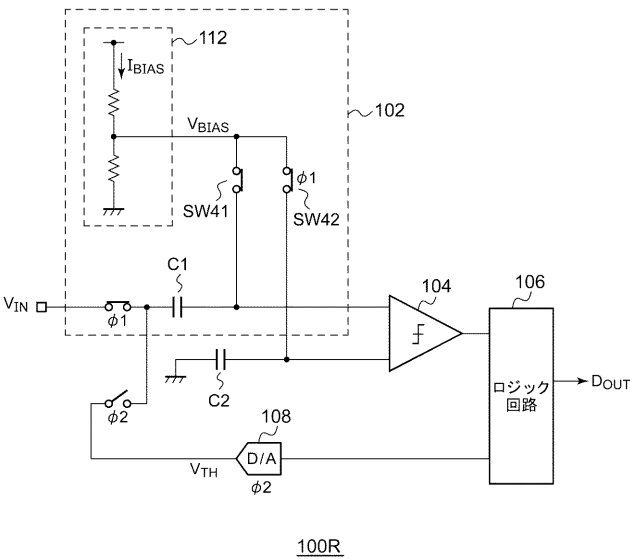
実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

【符号の説明】

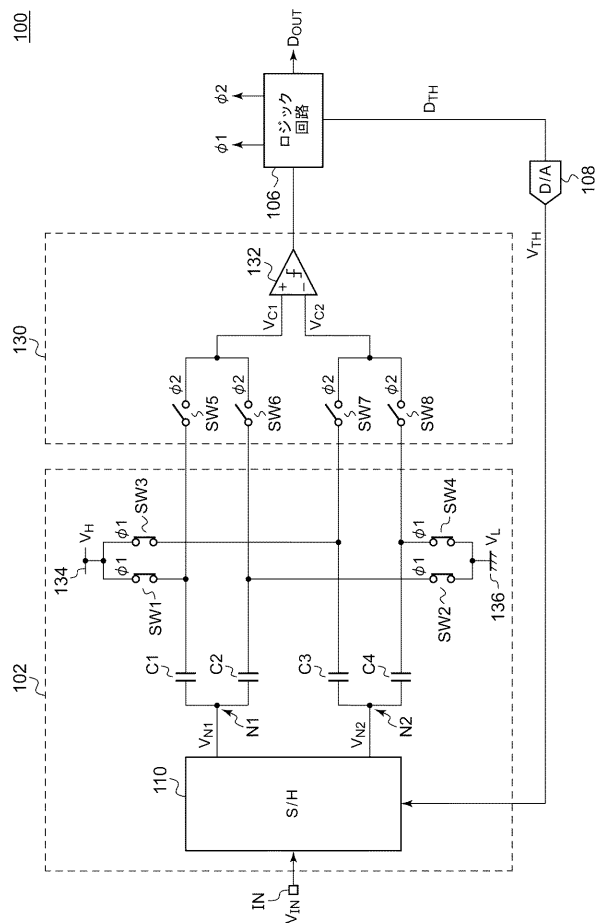
【0058】

100 逐次比較型A/Dコンバータ、102 サンプルホールド回路、104 コンパレータ、106 ロジック回路、108 D/Aコンバータ、108P 第1D/Aコンバータ、108N 第2D/Aコンバータ、110 入力スイッチ回路、112 バイアス電源、130 比較回路、132 コンパレータ、134 ハイ電圧端子、136 ロー電圧端子、SW1 第1スイッチ、SW2 第2スイッチ、SW3 第3スイッチ、SW4 第4スイッチ、SW5 第5スイッチ、SW6 第6スイッチ、SW7 第7スイッチ、SW8 第8スイッチ、SW11 第1入力スイッチ、SW12 第2入力スイッチ、SW21 第1ホールドスイッチ、SW22 第2ホールドスイッチ、N1 第1ノード、N2 第2ノード、C1 第1キャパシタ、C2 第2キャパシタ、C3 第3キャパシタ、C4 第4キャパシタ。

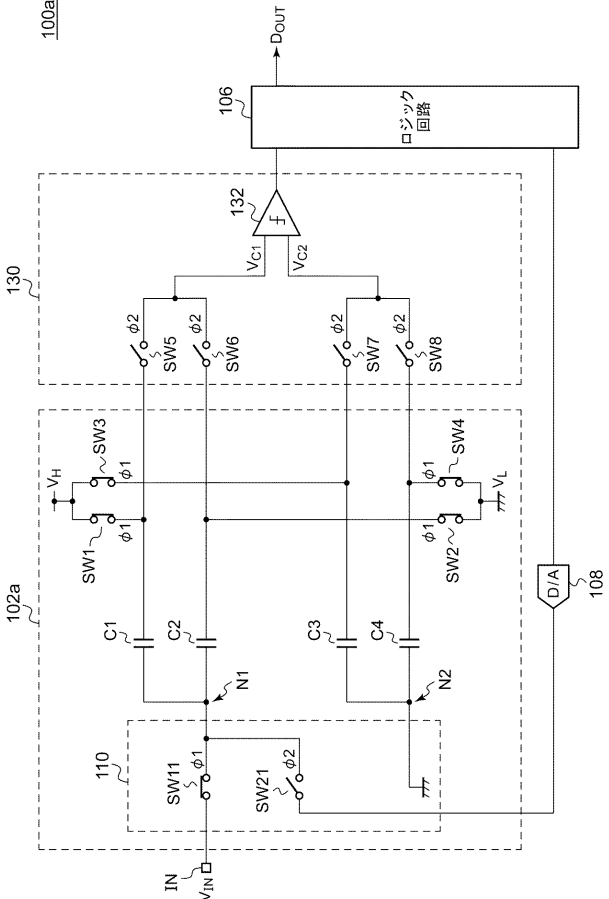
【図1】



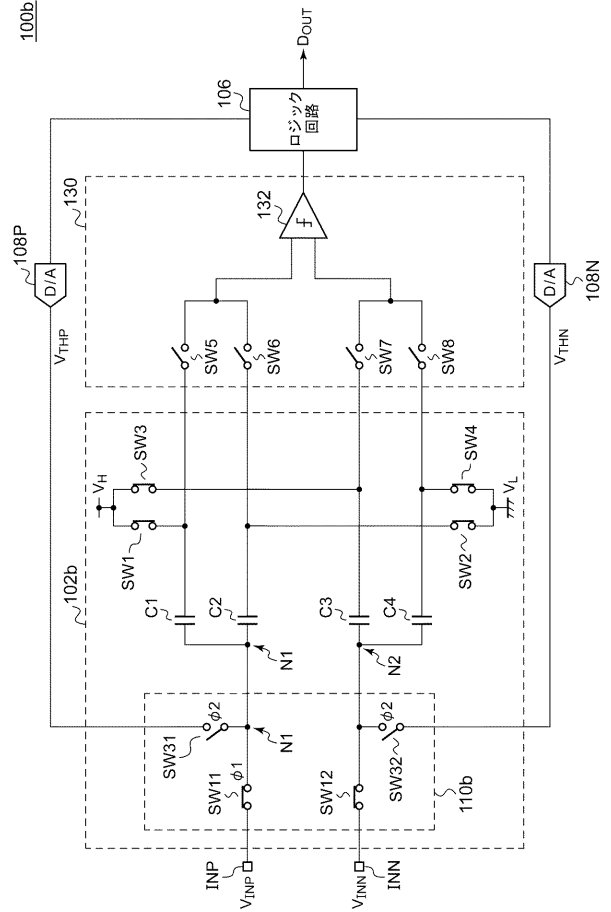
【図2】



【図 3】



【図 4】



【図 5】

