

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-10895

(P2020-10895A)

(43) 公開日 令和2年1月23日(2020.1.23)

(51) Int. Cl.

A61B 8/14 (2006.01)

F I

A61B 8/14

テーマコード(参考)

4C601

審査請求 未請求 請求項の数 10 O L (全 20 頁)

(21) 出願番号 特願2018-136159 (P2018-136159)
(22) 出願日 平成30年7月19日(2018.7.19)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区丸の内一丁目6番6号
(74) 代理人 110001210
特許業務法人Y K I 国際特許事務所
(72) 発明者 高野 慎太
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(72) 発明者 網野 和宏
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(72) 発明者 柿田 宏
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

最終頁に続く

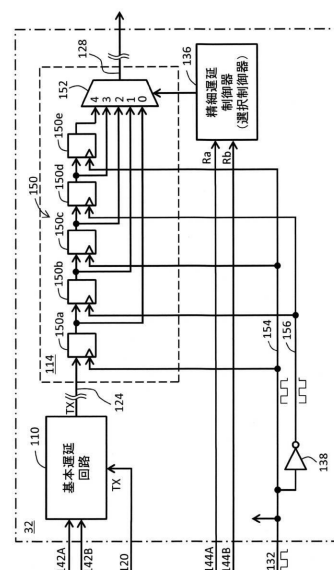
(54) 【発明の名称】 超音波診断装置及び超音波プローブ

(57) 【要約】

【課題】超音波プローブにおいて、回路規模の増大を抑制しつつ、送信遅延精度の向上を図る。

【解決手段】複数の振動素子に対して複数の送受信回路32が接続されている。各送受信回路32は基本遅延回路110と精細遅延回路114とを有する。基本遅延回路110はサブビームフォーミングのために送信信号及び受信信号を遅延させる。精細遅延回路114は、基本遅延回路110よりも精細な遅延を行える構成を有する。送信時において、精細遅延回路114によって量子化遅延誤差が補償される。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

超音波プローブ内に設けられ、二次元配列された複数の振動素子からなる振動素子アレイと、

前記超音波プローブ内に設けられ、前記複数の振動素子に接続された複数の素子回路からなり、サブビームフォーミング機能を有する素子回路アレイと、

を含み、

前記各素子回路は、

送信信号を遅延させる基本遅延回路と、

前記基本遅延回路よりも精細な遅延を行える構成を有し、前記基本遅延回路から出力された送信信号を遅延させる精細遅延回路と、

を含むことを特徴とする超音波診断装置。

10

【請求項 2】

請求項 1 記載の超音波診断装置において、

前記基本遅延回路は、基本クロックに従って動作し、

前記精細遅延回路は、前記基本クロックから生成された互いに位相の異なる複数のクロック、又は、前記基本クロックから生成されたそれよりも高速のクロックに従って動作する、

ことを特徴とする超音波診断装置。

20

【請求項 3】

請求項 1 記載の超音波診断装置において、

前記精細遅延回路は、

前記基本遅延回路から出力された送信信号が入力され、直列接続された複数の遅延器からなる遅延器列と、

前記遅延器列から出力される段階的に遅延された複数の候補信号の中から、制御信号に従っていずれかの候補信号を精細遅延後の送信信号として選択する選択器と、

を含むことを特徴とする超音波診断装置。

【請求項 4】

請求項 1 記載の超音波診断装置において、

前記素子回路アレイに対して、行単位遅延制御及び列単位遅延制御の組み合わせであるマトリックス制御を適用する制御回路を含み、

30

前記各素子回路に対して、前記行単位遅延制御で生じる遅延誤差を補償するための行制御信号及び前記列単位遅延制御で生じる遅延誤差を補償するための列制御信号が与えられ、

前記各精細遅延回路は前記行制御信号及び前記列制御信号に従って前記送信信号を遅延させる、

ことを特徴とする超音波診断装置。

【請求項 5】

請求項 1 記載の超音波診断装置において、

前記各素子回路に対して、遅延誤差を補償するための第 1 の制御信号及び第 2 の制御信号が与えられ、

40

前記第 1 の制御信号に基づいて前記基本遅延回路の遅延量が補正され、

前記第 2 の制御信号に基づいて前記精細遅延回路の遅延量が選択される、

ことを特徴とする超音波診断装置。

【請求項 6】

請求項 5 記載の超音波診断装置において、

前記素子回路アレイに対して、行単位遅延制御及び列単位遅延制御の組み合わせであるマトリックス制御を適用する制御回路を含み、

前記各素子回路に対して、前記第 1 の制御信号として、前記行単位遅延制御で生じる遅延誤差を補償するための第 1 の行制御信号及び前記列単位遅延制御で生じる遅延誤差を補

50

償するための第1の列制御信号が与えられ、且つ、前記第2の制御信号として、前記行単位遅延制御で生じる遅延誤差を補償するための第2の行制御信号及び前記列単位遅延制御で生じる遅延誤差を補償するための第2の列制御信号が与えられ、

前記第1の行制御信号及び前記第1の列制御信号に従って前記基本遅延回路の遅延量を補正する基本遅延制御器が設けられ、

前記第2の行制御信号及び前記第2の列制御信号に従って前記精細遅延回路の遅延量を選択する精細遅延制御器が設けられた、

ことを特徴とする超音波診断装置。

【請求項7】

請求項1記載の超音波診断装置において、

送信メインビームフォーマーと、

前記送信メインビームフォーマーと前記振動素子アレイとの間に設けられた送信サブビームフォーマー群と、

を含み、

前記素子回路アレイが前記送信サブビームフォーマー群を構成している、

ことを特徴とする超音波診断装置。

【請求項8】

請求項1記載の超音波診断装置において、

送信メインビームフォーマーと、

前記送信メインビームフォーマーと前記振動素子アレイとの間に段階的に設けられた複数の送信サブビームフォーマー群と、

を含み、

前記素子回路アレイが、前記複数の送信サブビームフォーマーの中で最も前記振動素子アレイに近い送信サブビームフォーマー群を構成している、

ことを特徴とする超音波診断装置。

【請求項9】

請求項1記載の超音波診断装置において、

前記基本遅延回路は送信用及び受信用の遅延回路であり、

前記精細遅延回路は送信用の遅延回路である、

ことを特徴とする超音波診断装置。

【請求項10】

複数の振動素子からなる振動素子アレイと、

前記複数の振動素子に接続された複数の素子回路からなる素子回路アレイと、

を含み、

前記各素子回路は、

送信信号を遅延させる基本遅延回路と、

前記基本遅延回路よりもよりも精細な遅延を行える構成を有し、前記基本遅延回路から出力された送信信号を遅延させる精細遅延回路と、

を含むことを特徴とする超音波プローブ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は超音波診断装置及び超音波プローブに関し、特に、送信用のサブビームフォーミング技術に関する。

【背景技術】

【0002】

三次元超音波診断においては、超音波ビームの二次元走査によって生体内からボリュームデータが取得され、そのボリュームデータに基づいて三次元超音波画像や二次元超音波画像等が形成される。一般に、三次元超音波画像は生体内の組織を立体的に表現した画像であり、二次元超音波画像は生体内の組織の断面を表した画像である。生体内の血流が三

10

20

30

40

50

次元超音波画像又は二次元超音波画像として表示されることもある。

【0003】

三次元超音波診断では、通常、二次元振動素子アレイを備えた超音波プローブ（3Dプローブ）が利用される。二次元振動素子アレイは、例えば、二次元配列された数千個、数万個又は数十万個の振動素子により構成される。各振動素子に対して送信信号を供給し、各振動素子からの受信信号を処理するために、超音波プローブ内には、チャンネルリダクションのためのサブビームフォーミング用の電子回路が設けられる。

【0004】

特許文献1には、超音波プローブ内に設けられた素子回路アレイが開示されている。素子回路アレイに対して行単位遅延制御及び列単位遅延制御が適用されている。特許文献2には、超音波プローブ内において段階的にサブビームフォーミングを行う技術が開示されている。特許文献3には、超音波プローブ内に設けられた複数のアナログ遅延回路が開示されている。各アナログ遅延回路は複数の遅延セル（キャパシタ）によって構成されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開2017/026278号公報

【特許文献2】国際公開2017/047329号公報

【特許文献3】特許第6205481号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

超音波プローブ内で送信サブビームフォーミングを行う場合、超音波プローブ内に複数の遅延回路を含む電子回路を設ける必要がある。電子回路の動作速度を高めれば、遅延精度を向上できるが、一定の遅延量を確保する必要から回路規模が増大してしまい、それに伴って制御量も増大してしまう。よって、電子回路の動作速度を安易に高くすることはできない。しかし、電子回路の動作速度を制限すると、個々の送信信号について十分な遅延精度が得られなくなる。

【0007】

30

本発明の目的は、超音波プローブにおいて、回路規模増大の抑制と送信遅延精度の向上とを両立させることにある。あるいは、本発明の目的は、超音波プローブにおいて振動素子ごとに遅延誤差を補償できるようにすることにある。

【課題を解決するための手段】

【0008】

本発明に係る超音波診断装置は、超音波プローブ内に設けられ、二次元配列された複数の振動素子からなる振動素子アレイと、前記超音波プローブ内に設けられ、前記複数の振動素子に接続された複数の素子回路からなり、サブビームフォーミング機能を有する素子回路アレイと、を含み、前記各素子回路は、送信信号を遅延させる基本遅延回路と、前記基本遅延回路よりも精細な遅延を行える構成を有し、前記基本遅延回路から出力された送信信号を遅延させる精細遅延回路と、を含むことを特徴とする。

40

【0009】

本発明に係る超音波プローブは、複数の振動素子からなる振動素子アレイと、前記複数の振動素子に接続された複数の素子回路からなる素子回路アレイと、を含み、前記各素子回路は、送信信号を遅延させる基本遅延回路と、前記基本遅延回路よりも精細な遅延を行える構成を有し、前記基本遅延回路から出力された送信信号を遅延させる精細遅延回路と、を含むことを特徴とする。

【発明の効果】

【0010】

本発明によれば、超音波プローブにおいて、回路規模増大の抑制と送信遅延精度の向上

50

とを両立させることができる。あるいは、本発明によれば、超音波プローブにおいて振動素子ごとに遅延誤差を補償できる。

【図面の簡単な説明】

【0011】

【図1】実施形態に係る超音波診断装置の構成を示すブロック図である。

【図2】超音波プローブの一例を示す斜視図である。

【図3】送信ビーム形成のための第1の構成例を示すブロック図である。

【図4】送信ビーム形成のための第2の構成例を示すブロック図である。

【図5】遅延誤差及び遅延誤差補償を説明するための図である。

【図6】送受信回路の基本構成を示すブロック図である。

10

【図7】送受信回路の第1実施例を示す回路図である。

【図8】精細遅延回路の動作を示すタイミングチャートである。

【図9】第1実施例による補償制御を説明するための図である。

【図10】送受信回路の第2実施例を示す回路図である。

【図11】第2実施例による補償制御を説明するための図である。

【図12】送受信回路の第3実施例を示す回路図である。

【図13】第3実施例による補償制御を説明するための図である。

【図14】精細遅延回路の他の構成例を示す図である。

【図15】遅延誤差補償の効果を説明するための図である。

【発明を実施するための形態】

20

【0012】

以下、実施形態を図面に基づいて説明する。

【0013】

(1) 実施形態の概要

実施形態に係る超音波診断装置は超音波プローブを有する。超音波プローブは振動素子アレイ及び素子回路アレイを有する。振動素子アレイは、二次元配列された複数の振動素子からなるものである。素子回路アレイは、複数の振動素子に接続された複数の素子回路からなり、サブビームフォーミング機能を有する。各素子回路は、送信信号を遅延させる基本遅延回路と、基本遅延回路よりも精細な遅延を行える構成を有し、基本遅延回路から出力された送信信号を遅延させる精細遅延回路と、を含む。

30

【0014】

上記構成によれば、各素子回路において、基本遅延回路での遅延（基本遅延）後の送信信号に対して、精細遅延回路での遅延（精細遅延）を適用することが可能となる。また、各素子回路において、遅延精度向上のために物量が増えてしまう部分を局所的に制限することが可能となる。よって、上記構成によれば、遅延精度の向上と回路規模増大の抑制とを両立させることが可能となる。各素子回路は後述する送受信回路に相当する。精細遅延回路が基本遅延回路よりも精細な遅延を行えるということは、精細遅延回路の単位遅延時間（最小遅延時間）が基本遅延回路の単位遅延時間よりも短いことを意味する。精細遅延回路がそれ全体として見て基本遅延回路よりも高速で動作すると理解することも可能である。

40

【0015】

実施形態において、基本遅延回路は、基本クロックに従って動作し、精細遅延回路は、基本クロックから生成された互いに位相の異なる複数のクロックに従って、又は、基本クロックから生成されたそれよりも高速のクロックに従って、動作する。例えば、基本クロックに基づいてそれと同一の周波数を有する互いに位相の異なる複数のクロックが生成され、それらが精細遅延回路に与えられてもよい。あるいは、基本クロックに基づいてそれよりも高い周波数を有する高速クロックが生成され、それが精細遅延回路に与えられてもよい。そのような高速クロックとして、互いに位相の異なる複数の高速クロックが生成され、それらが精細遅延回路に与えられてもよい。個々の素子回路内において精細遅延で必要なクロックが個別的に生成されてもよいし、素子回路アレイ以外の回路によって、精細

50

遅延で必要なクロックが生成された上で、それが複数の素子回路において共用されてもよい。実施形態において、精細遅延回路の単位遅延時間は基本遅延回路の単位遅延時間の $1/n$ 倍である。例えば n は 2 以上の整数である。

【0016】

実施形態において、精細遅延回路は、基本遅延回路から出力された送信信号が入力され、直列接続された複数の遅延器からなる遅延器列と、遅延器列から出力される段階的に遅延された複数の候補信号の中から、制御信号に従っていずれかの候補信号を精細遅延後の送信信号として選択する選択器と、を含む。この構成は、並列的に生成された複数の候補信号の中から実際に使用する信号を選択するものである。上記構成によれば、比較的簡易な構成で精細遅延回路を実現できる。

10

【0017】

実施形態に係る超音波診断装置は、素子回路アレイに対して、行単位遅延制御及び列単位遅延制御の組み合わせであるマトリックス制御を適用する制御回路を含み、各素子回路に対して、行単位遅延制御で生じる遅延誤差を補償するための行制御信号及び列単位遅延制御で生じる遅延誤差を補償するための列制御信号が与えられ、各精細遅延回路は行制御信号及び列制御信号に従って送信信号を遅延させる。

【0018】

マトリックス制御（行列制御）によれば、個々の振動素子に対して個別的に信号線を接続した上で個々の振動素子に対して個別的に遅延データを与える場合に比べて、信号線本数及び制御量を大幅に削減できる。一方、そのようなマトリックス制御によると、行単位遅延制御による遅延誤差（例えば量子化誤差）及び列単位遅延制御による遅延誤差（例えば量子化誤差）が生じる。上記構成はそのような 2 つの遅延誤差を振動素子ごとに一括して補償するものである。

20

【0019】

実施形態においては、各素子回路に対して、遅延誤差を補償するための第 1 の制御信号及び第 2 の制御信号が与えられ、第 1 の制御信号に基づいて基本遅延回路の遅延量が補正され、第 2 の制御信号に基づいて精細遅延回路の遅延量が選択される。この構成は、遅延誤差を 2 つの補償方法の組み合わせにより補償するものである。例えば、補償遅延量の整数部が基本遅延回路において補償され、補正遅延量の小数部が精細遅延回路において補償されてもよい。その場合に整数部の一部が基本遅延回路において補償されてもよい。整数部の全部の補償を精細遅延回路で担う場合、精細遅延回路の回路規模が大きくなってしまいが、上記構成によれば、精細遅延回路の回路規模を小さくできる。例えば、数万の振動素子に対応して数万の素子回路が設けられる場合、個々の素子回路の一部の構成の削減は、素子回路アレイ全体として見て、その数万倍の削減効果をもたらすものである。

30

【0020】

実施形態に係る超音波診断装置は、素子回路アレイに対して、行単位遅延制御及び列単位遅延制御の組み合わせであるマトリックス制御を適用する制御回路を含み、各素子回路に対して、第 1 の制御信号として、行単位遅延制御で生じる遅延誤差を補償するための第 1 の行制御信号及び列単位遅延制御で生じる遅延誤差を補償するための第 1 の列制御信号が与えられ、且つ、第 2 の制御信号として、行単位遅延制御で生じる遅延誤差を補償するための第 2 の行制御信号及び列単位遅延制御で生じる遅延誤差を補償するための第 2 の列制御信号が与えられ、第 1 の行制御信号及び第 1 の列制御信号に従って基本遅延回路の遅延量を補正する基本遅延制御器が設けられ、第 2 の行制御信号及び第 2 の列制御信号に従って精細遅延回路の遅延量を選択する精細遅延制御器が設けられる。

40

【0021】

上記構成は、マトリックス制御において生じる行単位の遅延誤差及び列単位の遅延誤差を 2 つの補償方法の組み合わせにより一括して補償するものである。

【0022】

実施形態に係る超音波診断装置は、送信メインビームフォーマーと、送信メインビームフォーマーと前記振動素子アレイとの間に設けられた送信サブビームフォーマー群と、を

50

含み、素子回路アレイにより送信サブビームフォーマー群が構成される。あるいは、実施形態に係る超音波診断装置は、送信メインビームフォーマーと、送信メインビームフォーマーと振動素子アレイとの間に段階的に設けられた複数の送信サブビームフォーマー群と、を含み、素子回路アレイにより、複数の送信サブビームフォーマー群の中で最も振動素子アレイに近い送信サブビームフォーマー群が構成される。上記のように、各素子回路内には基本遅延回路及び精細遅延回路が設けられ、それらの内で基本遅延回路は送信サブビームフォーミングのための遅延回路であり、それらの内で精細遅延回路は送信遅延誤差を補償するための回路である。実施形態において、1又は複数の送信サブビームフォーマー群は超音波プローブ内に設けられる。送信メインビームフォーマーは、超音波プローブ内に設けられ、あるいは、超音波診断装置本体内に設けられる。段階的なサブビームフォーミングにおいて遅延誤差が累積し、加えて、行単位制御及び列単位制御で遅延誤差が累積しても、上記構成によれば、振動素子ごとに、累積遅延誤差を一括して補償することが可能となる。

10

【0023】

実施形態において、基本遅延回路は送信用及び受信用の遅延回路であり、精細遅延回路は送信用の遅延回路である。精細遅延回路を受信時において機能させることも可能である。しかし、受信時には一般に受信ダイナミックフォーカスが適用されるので、それに対応するためには精細遅延回路の構成及び制御がかなり複雑となる。よって、実施形態においては、精細遅延回路を送信時に機能させるようにしている。

【0024】

実施形態に係る超音波プローブは、複数の振動素子からなる振動素子アレイと、前記複数の振動素子に接続された複数の素子回路からなる素子回路アレイと、を含む。各素子回路は、送信信号を遅延させる基本遅延回路と、基本遅延回路よりも精細な遅延を行える構成を有し、基本遅延回路から出力された送信信号を遅延させる精細遅延回路と、を含む。

20

【0025】

上記構成は、超音波プローブ内において振動素子ごとに精細遅延を実行し、これによって回路規模増大を抑制しつつ遅延精度の向上を図るものである。振動素子アレイとして、実施形態においては二次元振動素子アレイが設けられているが、一次元振動素子アレイが設けられてもよい。

【0026】

30

(2) 実施形態の詳細

図1には、実施形態に係る超音波診断装置の構成がブロック図として示されている。超音波診断装置は、病院等の医療機関に設けられ、生体(被検体)に対する超音波の送受波により得られた受信信号に基づいて超音波画像を形成する医療用の装置である。実施形態に係る超音波診断装置は、生体内の三次元空間から取得されたボリュームデータに基づいて三次元超音波画像等を形成する機能を備えている。診断対象となる組織は、例えば、肝臓、心臓、胎児等である。超音波診断装置は、超音波プローブ10及び装置本体12によって構成されている。

【0027】

超音波プローブ10は3Dプローブである。すなわち、超音波ビームの電子的な二次元走査によって、生体内に三次元エコーデータ取込空間を形成するものである。その三次元エコーデータ取込空間からボリュームデータが取得される。超音波プローブ10は、振動素子アレイ14及び電子回路16を備えている。実際には、超音波プローブ10は、プローブヘッド、ケーブル及びコネクタを有しており、プローブヘッド内に振動素子アレイ14及び電子回路16が配置されている。超音波プローブ10が有する送受波面(音響レンズ表面)が生体の表面上に当接され、その状態で超音波が送受波される。体表当接型プローブに代えて、体腔内挿入型プローブが利用されてもよい。

40

【0028】

振動素子アレイ14は、二次元配列された複数の振動素子20により構成される。図1において、X方向が第1の素子配列方向であり、Y方向が第2の素子配列方向である。複

50

数の振動素子 20 が平面上に配列されてもよいし、それらが曲面上に配列されてもよい。振動素子アレイ 14 は、例えば、数千個、数万個又は数十万個の振動素子 20 によって構成される。振動素子アレイ 14 には、複数のサブアレイ 22 が設定される。サブアレイ 22 を処理単位（遅延処理単位）として送信メインビームフォーミング（及び受信メインビームフォーミング）が実行され、個々のサブアレイ 22 内において振動素子 20 を処理単位として送信サブビームフォーミング（及び受信サブビームフォーミング）が実行される。後述するように、各サブアレイ 22 が更に複数の区画に区分されてもよい。その場合、各サブアレイ 22 内において区画を処理単位として第 1 段階の送信サブビームフォーミング（及び受信サブビームフォーミング）が実行され、各区画内において振動素子 20 を処理単位として第 2 段階の送信サブビームフォーミング（及び受信サブビームフォーミング）が実行される。なお、後述するように、送信メインビームフォーマーは、超音波プローブ 10 内に設けられてもよいし、装置本体 12 内に設けられてもよい。受信メインビームフォーマーは、通常、装置本体 12 内に設けられる。

10

【0029】

電子回路 16 は、実施形態において、1 又は複数の半導体集積回路によって構成される。電子回路 16 は、デジタル信号処理機能及びアナログ信号処理機能を有する。具体的には、図示されるように、電子回路 16 は、送受信回路アレイ（素子回路アレイ）30 及び制御回路 24 を有している。送受信回路アレイ 30 は、複数の振動素子 20 に接続された複数の送受信回路（素子回路、送受信セル）32 により構成される。複数の振動素子 20 に対して、1 対 1 の対応関係をもって、複数の送受信回路 32 が接続されている。各送受信回路 32 は、実施形態において、送信時及び受信時に機能する基本遅延回路と、送信時に機能する精細遅延回路と、を有している。それらについては後に詳述する。各送受信回路 32 において送信メインビームフォーマーとしての機能が発揮されてもよい。

20

【0030】

送受信回路アレイ 30 は、複数のサブアレイ 22 に対応する複数のグループ 36 からなる。個々のグループ 36 を構成する複数の送受信回路 32 がサブビームフォーマーとして機能する。上述したように、また後に詳述するように、複数のサブビームフォーマー群が階層的に設けられる場合、図示された送受信回路アレイ 30 は、複数のサブビームフォーマー群の中で最も振動素子アレイ 14 に近いサブビームフォーマー群に相当する。

【0031】

制御回路 24 は、電子回路 16 に含まれる各回路の動作を制御する回路である。制御回路 24 は、実施形態において、マトリックス制御（行列制御）を実行するための行制御回路（行単位遅延制御回路）26 及び列制御回路（列単位遅延制御回路）26 を有している。送受信回路アレイ 30 に対して送受信回路単位で個別的にサブビームフォーミング用遅延データを与えるならば制御量が著しく増大してしまう。これに対し、実施形態においては、送受信回路アレイ 30 に対して、行単位で行制御信号（行単位遅延制御信号）が与えられており、且つ、列単位で列制御信号（列単位遅延制御信号）が与えられている。個々の送受信回路 32 には、特定の行制御信号及び特定の列制御信号が入力される。それらは行単位の代表遅延時間及び列単位の代表遅延時間を示すものである。個々の送受信回路 32 において、2 つの代表遅延時間の加算又はそれに相当する方法によって、遅延時間（サブビームフォーミング用の基本遅延時間）が定められ、それによって基本遅延回路が動作する。このようなマトリックス制御によっても一定の遅延精度を得ることが可能である。なお、一般に、サブビームフォーミングのための遅延時間は、メインビームフォーミングのための遅延時間よりもかなり小さく、それは微小遅延時間であるといえる。但し、それは遅延補償用の精細遅延時間とは区別されるべきものである。基本遅延回路での単位遅延時間（最小遅延時間）は、実施形態において、精細遅延回路での単位遅延時間の 2 倍である。逆に言えば、後者の単位遅延時間は前者の単位遅延時間の $1/2$ である。

40

【0032】

行単位の代表遅延時間及び列単位の代表遅延時間は、具体的には、行単位の平均遅延時間及び列単位の平均遅延時間である。行単位の平均遅延時間及び列単位の平均遅延時間に

50

それぞれ上限値を設けるようにしてもよい。上記加算値に代えて、重み付け加算値、平均値等を利用してよい。行単位の平均遅延時間及び列単位の平均遅延時間を加算せずに、それらをそれぞれ独立した遅延制御パラメータとして機能させてもよい。

【0033】

マトリックス制御によると、量子化遅延誤差（基本クロックの周波数に由来する時間軸上の誤差）が行及び列の両方向において生じる。しかも２段以上の段階的なサブビームフォーミングを適用する場合、各段で生じる量子化遅延誤差も累積してしまう。そのような量子化遅延誤差を補償することが望まれる。このため、実施形態においては、各送受信回路３２内に、振動素子単位で量子化遅延誤差（及びその他の遅延誤差）を補償するための精細遅延回路が設けられている。

10

【0034】

図示されるように、行制御回路２６から複数の行制御信号が出力されており、具体的には、行制御回路２６は複数の行信号線３８を介して送受信回路アレイ３０に接続されている。１つの行は、行方向に並ぶ複数の送受信回路３２からなり、それらに対して共通の行信号線が並列接続されている。一方、列制御回路２８から複数の列制御信号が出力されており、具体的には、列制御回路２８は複数の列信号線４０を介して送受信回路アレイ３０に接続されている。１つの列は、列方向に並ぶ複数の送受信回路３２からなり、それらに対して共通の列信号線が並列接続されている。

【0035】

続いて、装置本体１２について説明する。図２においては、装置本体１２が有する主要な構成が図示されている。受信メインビームフォーマー４２は受信回路であり、それによって受信メインビームフォーミングが実行される。すなわち、入力される複数の受信信号（サブビームフォーミング後の受信信号）に対して整相加算（遅延加算）が適用される。これによって超音波ビームごとにビームデータが生成される。例えば、１つのボリュームデータは、複数のフレームデータにより構成され、１つのフレームデータは複数のビームデータにより構成され、１つのビームデータは複数のエコーデータにより構成される。

20

【0036】

画像形成部４４は、ボリュームデータに基づいて三次元超音波画像を形成するものである。二次元超音波画像が形成されてもよい。三次元又は二次元の血流画像が形成されてもよい。画像形成部４４は１又は複数のプロセッサによって構成される。ＣＰＵにおいて実行されるプログラムの機能として画像形成部４４が構成されてもよい。表示器４６には超音波画像が表示される。表示器４６はＬＣＤ、有機ＥＬ表示デバイス等によって構成される。操作パネル４８は入力デバイスとして機能し、それは複数のスイッチ、複数のボタン、トラックボール、キーボード等を有している。

30

【0037】

システム制御部５０は、超音波診断装置内の各構成の動作を制御するものである。システム制御部５０はＣＰＵ及びプログラムによって構成される。システム制御部５０は、送受信制御機能を有しており、その機能が送受信制御部５２として表現されている。送受信制御部５２は、装置本体１２内の受信メインビームフォーマー４２等を制御し、また、超音波プローブ１０内の電子回路１６を制御する。送信時及び受信時において、送受信制御部５２により、個々の行平均遅延時間及び個々の列平均遅延時間が計算され、その計算結果を示すデータが送受信制御部５２から電子回路１６内の制御回路２４へ送られる。また、送信時において、送受信制御部５２により、振動素子ごとに精細遅延を行う場合において必要となる行補償遅延時間及び列補償遅延時間が計算され、その計算結果を示すデータが送受信制御部５２から電子回路１６内の制御回路２４へ送られる。

40

【0038】

図２には、コンベックス型の超音波プローブ５４が模式的に示されている。超音波プローブ５４は、図１に示した振動素子アレイ１４を有している。振動素子アレイ１４は円筒面又は凸面に沿って湾曲している。振動素子アレイ１４に対しては複数のサブアレイ２２が設定されている。振動素子アレイ１４における一部が送信開口５６を構成し、送信開口

50

56を利用して送信ビーム58が形成される。符号60は送信ビーム58の中心軸を示している。例えば、送信開口56を θ 方向に電子リニア走査すれば、送信ビーム58が θ 方向に運動する（符号62を参照）。送信開口56を固定しつつ θ 方向に直交する方向へ電子セクタ走査を適用すれば、送信ビーム58が θ 方向に直交する方向へ運動する（符号64を参照）。 θ 方向に電子セクタ走査が適用されてもよい。超音波ビームの二次元走査に際して様々な電子走査方式が適用されうる。図示された超音波プローブ54は一例であり、他の超音波プローブを使用することが可能である。

【0039】

以下、送信に関する構成及び制御を詳しく説明する。

【0040】

図3には、第1構成例が示されている。振動素子アレイ14は複数の振動素子によって構成される。振動素子アレイ14には複数のサブアレイ22が設定されている。送信メインビームフォーマー（送信MBF）94と振動素子アレイ14との間に、複数の送信サブビームフォーマー（送信SBF）90が並列的に設けられている。各送信SBF90は複数の遅延回路92により構成される（説明の便宜上、1つのサブアレイ22に対応する複数の遅延回路92を送信SBF90と称している）。それらの遅延回路92はサブアレイ22内の複数の振動素子に対して1対1の関係をもって接続されている。送信MBF94において、遅延処理された複数の送信信号が生成され、それらが複数の送信SBF90に供給される。各送信SBF90においては、入力された送信信号に対して遅延処理を適用し、各サブアレイを構成する複数の振動素子へ供給する複数の送信信号を生成する。個々の遅延回路92は上記の送受信回路（図1において符号32を参照）に相当するものである。換言すれば、送受信回路アレイが複数の送信SBF90として機能する。複数の送信SBF90は、電子回路16内に設けられるものである。符号16Aで示すように、複数の送信SBF90に加えて、送信MBF94が電子回路内に設けられてもよい。

【0041】

電子回路16内の各回路は、基本的に、基本周波数を有する基本クロックに同期して動作する。もっとも、電子回路16内における個々の送受信回路の最終段に設けられた精細遅延回路は、後述するように、基本クロックから生成された精細遅延用の一対のクロックに同期して高速で動作する。電子回路16内において基本クロックに従って規定速度で動作する部分が符号308で示されており、電子回路16内において規定速度よりも高速で動作する部分（基本遅延回路よりも高精細な遅延を行える部分）が符号306で示されている。電子回路16内において、高速動作させる部分あるいは構成が複雑化してしまう部分を局所的に限定すれば、回路規模の増大ひいては制御の複雑化という問題を軽減することが可能となる。その一方で、遅延誤差補償によりそれまで実現できなかった遅延精度を得ることが可能となる。電子回路16内に送信MBF94を設けられる場合、符号308Aで示す部分が規定速度で動作する部分となる。

【0042】

図4には、第2構成例が示されている。図3に示した構成と同様の構成には同一符号を付しその説明を省略する。

【0043】

振動素子アレイ14には複数のサブアレイ22が設定されており、個々のサブアレイ22は複数の区画95に区分されている。個々のサブアレイ22内において区間を処理単位として第1段階の送信サブビームフォーミングが実行され、個々の区画95内において振動素子を処理単位として第2段階の送信サブビームフォーミングが実行される。具体的には、送信MBF94と振動素子アレイ14との間には2つの送信サブビームフォーマー群が設けられている。第1の送信サブビームフォーマー群は、複数の送信SBF1（96）によって構成され、第2の送信サブビームフォーマー群は、複数の送信SBF2（98）によって構成される。各送信SBF1（96）は複数の遅延回路100によって構成され、各送信SBF2（98）は複数の遅延回路102によって構成される。個々の遅延回路102が上記の送受信回路（図1において符号32を参照）に相当する。一般に、送信M

B F 9 4 と振動素子アレイ 1 4 との間に、k 段の送信 S B F 群を設けることが可能である。ここで k は 1 以上の整数である。いずれの場合においても、振動素子アレイ 1 4 にもっとも近いところに、振動素子単位で精細遅延回路を設けるのが望ましい。

【0044】

図 5 に基づいて、量子化遅延誤差及びその補償について説明する。図 5 の上段には振動素子アレイに設定される送信開口 5 6 が例示されている。送信開口 5 6 は矩形の形状を有するが、その形状を楕円その他の形状としてもよい。ここでは、送信開口 5 6 内の特定の行 7 0 及び特定の列 7 2 に着目する。行 7 0 と列 7 2 の交点に振動素子 7 4 が存在している。

【0045】

図 5 の下段に示されるように、行単位の平均遅延時間 7 6 は、行 7 0 に対して与える理想的な（量子化誤差を有しない）平均遅延時間である。これに対して、実際には、行 7 0 に対して、量子化遅延誤差を含む行単位の平均遅延時間（量子化された行単位の平均遅延時間）7 8 が与えられる。例えば、基本クロックの周波数が 4 0 M H z の場合、量子化誤差は最大 2 5 n s となり、基本クロックの周波数が 5 0 M H z の場合、量子化誤差は最大 2 0 n s となる。行単位の平均遅延時間 7 6 と量子化された行単位の平均遅延時間 7 8 との差が行単位の量子化遅延誤差 8 0 となる。

【0046】

同じく、列単位の平均遅延時間 8 2 は、列 7 2 に対して与える理想的な（量子化誤差を有しない）平均遅延時間である。これに対して、実際には、列 7 2 に対して、量子化遅延誤差を含む列単位の平均遅延時間（量子化された列単位の平均遅延時間）8 4 が与えられる。行単位の平均遅延時間 8 2 と量子化された列単位の平均遅延時間 8 4 との差が列単位の量子化遅延誤差 8 6 となる。

【0047】

マトリックス制御では、振動素子ごとに、2 つの量子化遅延誤差 8 0 , 8 6 を加算した量子化遅延誤差が生じる。そこで、符号 8 8 で示されるように、振動素子単位で量子化遅延誤差が補償される。それを行うのが振動素子ごとに設けられた精細遅延回路である。

【0048】

図 6 には、送受信回路 3 2 の基本構成がブロック図として示されている。基本遅延回路 1 1 0 は、図 3 に示した遅延回路 9 2 に相当し、それは送信時及び受信時に機能する遅延回路である。実施形態では、基本遅延回路 1 1 0 は、アナログランダムアクセスメモリ（ARAM）によって構成される。それは基本クロック 1 3 2 に従って動作する。例えば、基本遅延回路 1 1 0 は、複数の遅延セル（キャパシタ）及びスイッチング回路を含むものである。必要な最大遅延量を実現可能な個数分の遅延セルが設けられる。送信時において、送信信号 1 2 0 が基本遅延回路 1 1 0 で遅延され、遅延後の送信信号が選択器 1 1 2 の T X 側に出力される（符号 1 2 4 を参照）。送信信号 1 2 0 は、送信メインビームフォーマーにおいて生成された信号である。受信時において、受信信号 1 2 2 が基本遅延回路 1 1 0 で遅延され、遅延後の受信信号 1 2 6 が選択器 1 1 2 の R X 側に出力される。受信信号 1 2 6 は、受信メインビームフォーマーへ出力される。このように基本遅延回路 1 1 0 は送信時及び受信時に機能する。

【0049】

精細遅延回路 1 1 4 は、送信時に機能するものであり、後に詳述するように、遅延器列及びセレクタを有する。遅延器列は、後に図 7 に示す一対のクロックに従って高速で動作する。精細遅延回路 1 1 4 は、量子化遅延誤差を補償するものである。これによれば送信ビームの形態を改善することが可能となる。パルサー 1 1 6 は、入力された送信信号 1 2 8 をトリガとして、送信駆動信号としての送信パルス 1 3 0 を生成する回路である。その送信パルス 1 3 0 が振動素子へ出力される。パルサー 1 1 6 に代えてリニアアンプが設けられてもよい。

【0050】

振動素子からの受信信号 1 2 2 は、送受切替スイッチ（T R S W）1 1 8 を介して、基

10

20

30

40

50

本遅延回路 110 に入力される。送受信回路 32 には、基本クロック 132、行制御信号 134A 及び列制御信号 134B が与えられている。行制御信号 134A 及び列制御信号 134B には、それぞれ、基本遅延時間（平均遅延時間）を規定する信号及び量子化遅延誤差を補償するための信号が含まれる。

【0051】

図 7 には、送受信回路 32 における送信に関する構成が具体的に示されている。図示された送受信回路 32 は第 1 実施例に係る送受信回路である。

【0052】

基本遅延回路 110 には、行単位の平均遅延時間を示す行制御信号 142A が入力されており、また、列単位の平均遅延時間を示す列制御信号 142B が入力されている。基本遅延回路 110 は、2 つの平均遅延時間に基づいて遅延を実行する。その場合、2 つの平均遅延時間を加算することにより、基本遅延時間を算出し、それに基づいて入力信号が遅延されてもよいし、2 つの平均遅延時間をそれぞれ独立のパラメータとして利用し、それらに従って入力信号が遅延されてもよい。それら以外の方法が採用されてもよい。いずれにしても、送信信号 120 は基本遅延回路 110 において遅延される。遅延された送信信号 124 が精細遅延回路 114 に入力される。

【0053】

精細遅延回路 114 は、遅延器列 150 と、セレクタ 152 と、により構成される。遅延器列 150 は、直列接続された複数の遅延器 150a～150e によって構成される。個々の遅延器 150a～150e は、遅延セル、レジスタ、サンプル&ホールド回路等によって構成され、入力されたアナログ電圧値を保持してそれを出力する回路である。遅延器列 150 全体としてアナログシフトレジスタが構成されている。個々の遅延器 150a～150e は、一対のクロック 154、156 に同期して動作する。

【0054】

図示の構成例では、送受信回路 32 内に位相反転回路 138 が設けられている。位相反転回路 138 は、制御回路から供給された基本クロック 132 に基づいて、互いに 180 度位相の異なる一対のクロック 154、156 を構成するために用いる。各クロック 154、156 が有する周波数は、基本クロック 132 が有する周波数と同一であるが、それらの位相は 180 度ずれており、そのような一対のクロック 154、156 が複数の遅延器 150a～150e に対して交互に供給されるため、精細遅延回路 114 の単位遅延時間は基本遅延回路 110 の単位遅延時間の $1/2$ となる。それは、精細遅延回路 114 の遅延精度が基本遅延回路 110 の遅延精度の 2 倍であることを意味し、また、遅延器列 150 がそれ全体として見て基本遅延回路 110 に比べて 2 倍の速度で動作することを意味する。各遅延器 150a～150e においては、入力されるクロック 154 又は 156 に同期して、入力された信号のサンプル&ホールドを行う。一対のクロック 154、156 が外部において生成されてもよい。あるいは、送受信回路 32 内に通倍回路を設け、基本クロックの周波数に対して 2 倍の周波数を有するクロックを生成し、それを用いて遅延器列 150 を動作させてもよい。あるいは、基本クロックの周波数に対して 2 倍の周波数を有し且つ互いに 180 度位相の異なる一対のクロックを用いて、遅延器列 150 を動作させてもよい。その場合には、遅延器列 150 は、それ全体として、4 倍の速度で動作する。あるいは、個々の遅延器 150a～150e が基本クロック 132 に基づいてその 2 倍の速度で動作するように構成してもよい。遅延器列 150 の動作速度を基本遅延回路 110 の動作速度の 3 倍以上としてもよい。遅延器列 150 に供給するクロックの態様に応じて、遅延器列 150 の構成及び動作を変更し得る。

【0055】

遅延器 150a～150e の内で、先頭の遅延器 150a はタイミングを揃えるためのバッファとして機能しており、残りの 4 つの遅延器 150b～150e が精細遅延を担っている。遅延器列 150 における 5 つの取り出し点から 5 つの信号が候補信号として取り出され、それがセレクタ 152 の 0 番から 4 番までの入力端子へ与えられている。セレクタ 152 は、それらの中から特定の信号を選択する回路である。

【0056】

精細遅延制御器136は、選択制御器として機能するものであり、2つの制御信号144A、144Bが示す2つの制御値に従ってセクタ152の動作を制御する回路である。2つの制御信号144A、144Bは、行制御信号及び列制御信号に相当し、具体的には、それらは行制御値Ra及び列制御値Rbを有する。それらの組み合わせによって、選択する候補信号が特定される。実際には、送信開始前に精細遅延制御器136がセクタ152の動作を設定する。

【0057】

図8には、遅延器列の動作が示されている。横軸は時間軸である。符号124は精細遅延前の送信信号つまり入力信号を示している。図示の例においてその入力信号は正弦波であるが、それがパルス状の信号であってもよい。正弦波を振動素子に供給したい場合、図6に示したパルサーに代えてリニアアンプを設けるのが望ましい。

10

【0058】

#0～#4は段階的に遅延された複数の候補信号を示している。例えば、#0は先頭の遅延器から出力された候補信号であり、それは精細遅延量0に相当する信号である。#4は最後の遅延器から出力された候補信号である。符号160は基本遅延回路での単位遅延量を示している。符号162は精細遅延回路での単位遅延量を示している。例えば、基本クロックの周波数が40MHzの場合、単位遅延量160は25nsとなり、単位遅延量162は12.5nsとなる。基本クロックの周波数が50MHzの場合、単位遅延量160は20msとなり、単位遅延量162は10nsとなる。量子化遅延誤差が補償されるように、振動素子ごとに、精細遅延量が選択される。

20

【0059】

図9を用いて、第1実施例の動作条件について説明する。テーブル164は、行単位／列単位での量子化遅延誤差168、補償遅延時間170、及び、行制御コード／列制御コード(Ra/Rb)172の関係を示すものである。行単位又は列単位で-0.5～+0.5の間の量子化遅延誤差が生じうる。ここでは、1.0が基本遅延回路での単位遅延量に相当する。精細遅延回路ではマイナスの時間を取り扱えないので、それを考慮したものが補償遅延時間である。

【0060】

個々の補償遅延時間を特定するものが制御コードである。行制御コード(行制御値)がRaで示されており、列制御コード(列制御値)がRbで示されている。前者は行ごとに生じる量子化遅延誤差を補償するためのコードであり、後者は列ごとに生じる量子化遅延誤差を補償するためのコードである。テーブル166は、2つの制御コードRa、Rbと候補信号番号との関係を示すものである。各セル174に記載された数値は候補信号番号を示している。例えば、0が特定された場合、セクタにおける#0の入力端子が選択され、4が特定された場合、セクタにおける#4の入力端子が選択される。例えば、制御コードRa、Rbは、装置本体内の送受信制御部の指示に基づいて、電子回路内の制御回路において生成される。

30

【0061】

このように実施形態においては、行単位の量子化遅延誤差及び列単位の量子化遅延誤差が区別して取り扱われ、それらを一括して補償するために、2つの制御信号の組み合わせに従って精細遅延時間が決定されている。

40

【0062】

図10には、第2実施例に係る送受信回路32Aが示されている。図7に示した構成と同様の構成には同一符号を付しその説明を省略する。

【0063】

第2実施例においては、基本遅延回路110及び精細遅延回路114Aの両方を利用して量子化遅延誤差が補償される。具体的には、行単位の補償遅延量の内の整数部(の全部又は一部)を示す行制御値Sa及び列単位の補償遅延量の内の整数部(の全部又は一部)を示す列制御値Sbが、基本遅延制御器190に与えられている。基本遅延制御器190

50

は、行制御値 S_a が 1 の場合に基本遅延時間に 1 単位分の遅延時間を加え、同じく、列制御値 S_b が 1 の場合に基本遅延時間に 1 単位分の遅延時間を加える制御を実行する。すなわち、基本遅延時間を加算補正する制御を実行する。

【0064】

このような加算補正によれば、精細遅延回路 114A に含まれる遅延器列 150A の規模を縮小することが可能となる。第 2 実施例では、遅延器列 150A が 3 つの遅延器 150a ~ 150c で構成されている。遅延器列 150A から取り出された 3 つの候補信号がセレクタ 152A における 3 つの入力端子に与えられている。遅延器列 150A は、一対のクロックに従って高速で動作するものである。

【0065】

精細遅延制御器 136A は、入力される行制御値 T_a 及び列制御値 T_b に基づいて、セレクタ 152A の動作を制御するものである。行制御値 T_a は、行単位の補償遅延量の内の小数部を示すものであり、列制御値 T_b は列単位の補償遅延量の内の小数部を示すものである。整数部の一部が精細遅延において補償されてもよい。

【0066】

図 11 を用いて、第 2 実施例の動作条件について説明する。テーブル 192 は、行単位／列単位での量子化遅延誤差、補償遅延時間、及び、行単位／列単位での制御値 (S_a , S_b / T_a , T_b) の関係を示すものである。テーブル 194 の内容に従って、図 10 に示した基本遅延制御器が動作する。すなわち、行制御値 S_a 及び列制御値 S_b の組み合わせに従って加算値が決定され、その加算値に相当する単位遅延量が基本遅延時間に加算される。もっとも、結果として基本遅延時間に対して必要な補償が行われればよく、例えば、行制御値 S_a に基づく補償及び列制御値 S_b に基づく補償がそれぞれ独立して実行されてもよい。テーブル 196 の内容に従って、図 10 に示した精細遅延制御器 136A が動作する。すなわち、行制御値 T_a 及び列制御値 T_b の組み合わせによってセレクタにおいて選択する候補信号が決定される。

【0067】

このように第 2 実施例によれば、基本遅延回路と精細遅延回路とを併用して量子化遅延誤差補償を行えるので、第 1 実施形態に比べて、回路規模を小さくできるという利点が得られる。

【0068】

図 12 には、第 3 実施例に係る送受信回路 32B が示されている。図 7 及び図 10 に示した構成と同様の構成には同一符号を付しその説明を省略する。

【0069】

送受信回路 32B は、基本的に図 10 に示した送受信回路 32A と同様の構成を有する。もっとも、後に図 13 を用いて説明するように動作条件は第 2 実施形態の動作条件と部分的に異なっている。

【0070】

第 3 実施例は、図 4 に示した 2 段階のサブビームフォーミングを前提とするものである。1 段階目の SBF1 が符号 206 で示されている。それは図 4 に示した SBF1 (96) に相当するものである。2 段階目の SBF2 が符号 208 で示されている。それは図 4 に示した SBF2 (98) に相当するものである。図 12 には、SBF1 (206) に含まれる遅延回路 210 が示されている。それは図 4 に示した遅延回路 100 に相当するものである。送受信回路 32B は図 4 に示した遅延回路 102 に相当する。

【0071】

図 13 には第 3 実施例の動作条件が示されている。テーブル 212 は、行単位／列単位での量子化遅延誤差、補償遅延時間、及び、行単位／列単位での制御値 (S_a , S_b / T_a , T_b) の関係を示すものである。各階でのサブビームフォーミングにおいてマトリックス制御が適用されるため、2 段階のサブビームフォーミング全体として見て、行ごとに及び列ごとに、 $-1.00 \sim +1.00$ の量子化遅延誤差が生じうる。そのような量子化遅延誤差を補償するために、制御値 S_a , S_b が 0 から 2 まで変化する。制御値 T_a , T

10

20

30

40

50

bは第2実施例と同様に0又は1の値をとる。

【0072】

基本遅延制御器は、テーブル214の内容に従って動作する。すなわち、行制御値S_a及び列制御値S_bの組み合わせに従って加算値を決定し、その加算値に相当する遅延量を基本遅延時間に加算する。加算値が4の場合には単位遅延量の4倍が加算されることになる。もっとも、上記同様に、結果として基本遅延時間に対して必要な補償が行われればよく、例えば、行制御値S_aに基づく補償及び列制御値S_bに基づく補償がそれぞれ独立して実行されてもよい。符号216で示すように、加算値の全範囲（補償遅延量の全範囲）にわたって制御を行うようにしてもよいが、遅延補償量が2になりそうな場合には、その遅延補償量を1.5に抑えるようにしてもよい。これは遅延補償量の上限を1.5とするものである（その場合、加算値の上限は2となる）。そのような上限が適用される部分的な範囲が符号218で示されている。例えば、部分的な範囲218に該当するケースが希である場合にはそのような変形例を採用するのが特に望ましい。変形例によれば、行制御値S_a及び列制御値S_bのそれぞれを1ビットで表現することが可能であり、制御情報を少なくすることが可能となる。図13に示されるテーブル196の内容に従って、精細遅延制御器が動作する。テーブル196の内容は図10に示したテーブル196と同一である。

10

【0073】

このように第3実施例によれば、段階的に送信サブビームフォーミングが実行される場合において、複数段階にわたる送信サブビームフォーミングで生じる量子化遅延誤差、並びに、行単位及び列単位での遅延制御により生じる量子化遅延誤差、を一括して補償することが可能となる。

20

【0074】

図14には、精細遅延回路の変形例が示されている。精細遅延回路は、セレクタ220及び遅延器列222によって構成される。遅延器列222は直列接続された複数の遅延器により構成される。それらは高速クロック228に同期して動作する。セレクタ220は、遅延器列222が有する入力端子を選択することによって精細遅延時間を選択する。送信開始前にセレクタ220が動作する。送信信号224は、セレクタ220によって選択された入力端子を経由して、高速動作している遅延器列222に入力される。遅延器列222はシフトレジスタとして機能し、その出力から精細遅延後の送信信号226が出力される。

30

【0075】

図15には、実施形態の効果が示されている。横軸は図2に示したθ方向を示している。縦軸は送信パワーを示している。符号300は量子化遅延誤差がない場合における理想的なプロファイルを示している。符号302は量子化遅延誤差に対する補償を行わない場合のプロファイルを示している。符号304は量子化遅延誤差に対する補償を行った場合のプロファイルを示している。量子化遅延誤差の補償を行わない場合、サイドローブがかなり大きくなる。これに対して、量子化遅延誤差の補償を行う場合、すなわち実施形態によれば、ビームプロファイル304はビームプロファイル300に近くなっており、サイドローブを効果的に抑圧することが可能となる。実施形態によれば送信ビームの歪みを改善できるので、特に高調波イメージングを行う場合に画質を高められる。

40

【0076】

以上のように、実施形態によれば、回路規模の増大の抑制と送信遅延精度の向上とを両立させることができる。また、振動素子ごとに遅延誤差を補償して良好な送信ビームを形成することが可能となる。

【0077】

上記実施形態においては、各送受信回路に対して遅延誤差補償用の行制御信号及び列制御信号が与えられていたが、それらを統合した制御信号が与えられてもよい。実施形態に開示された基本遅延回路及び精細遅延回路の組み合わせをマトリックス制御以外の制御が適用されている送信ビームフォーマーに設けることも可能である。上記実施形態において

50

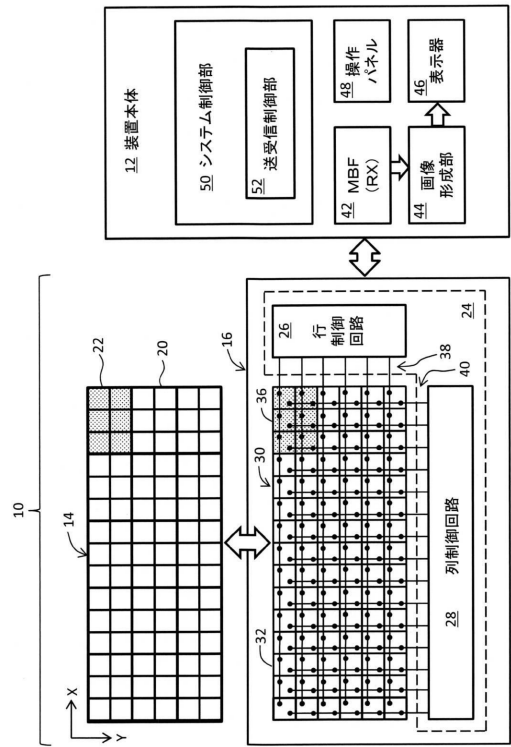
は専ら量子化遅延誤差が補償されていたが、他の遅延誤差が精細遅延回路において補償されてもよい。

【符号の説明】

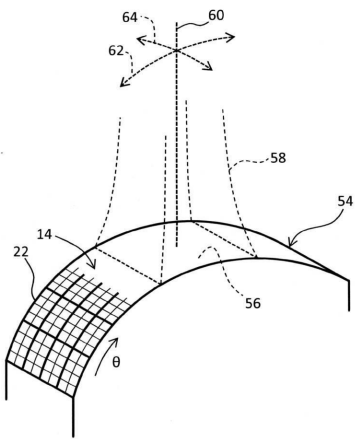
【 0 0 7 8 】

10 超音波プローブ、12 装置本体、14 振動素子アレイ、16 電子回路、24 制御回路、26 行制御回路、28 列制御回路、30 送受信回路アレイ。

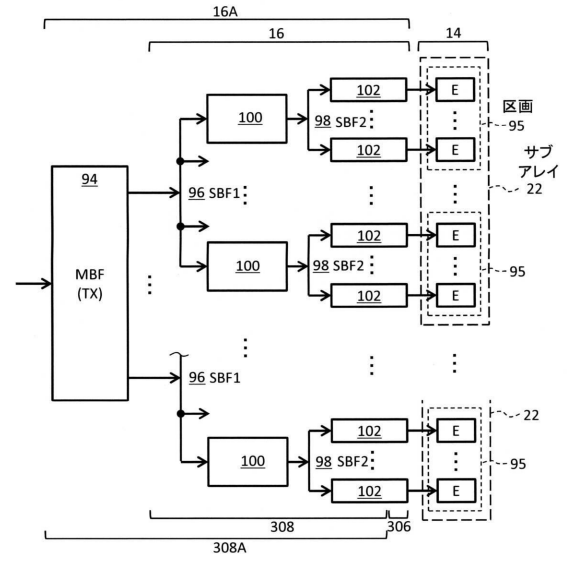
【図 1】



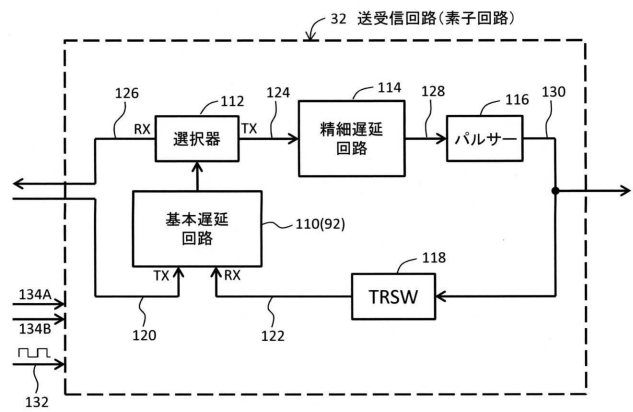
【図 2】



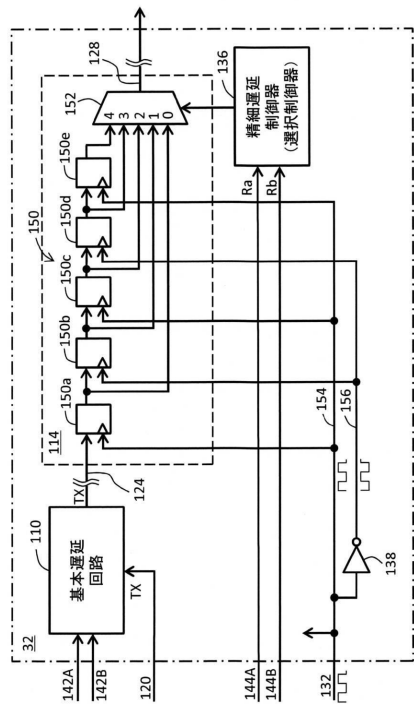
【図 4】



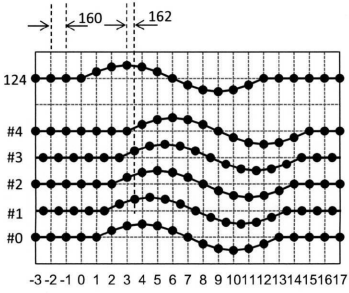
【図 6】



【図 7】



【図 8】

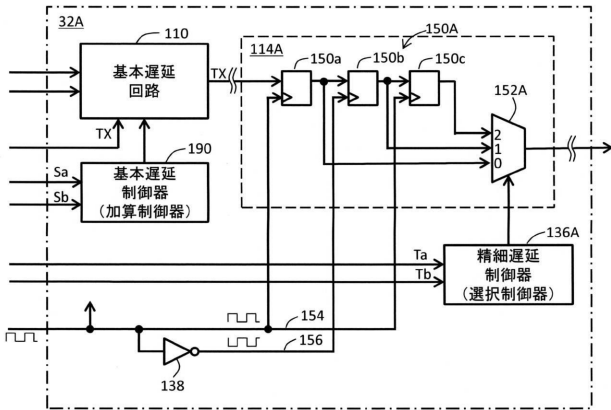


【図 9】

行/列単位 量子化遅延誤差		補償遅延時間	制御コード (Ra/Rb)
-0.5~-0.25		0	00
-0.25~0.25		0.5	01
0.25~0.5		1.0	11

列制御 コード Rb	行制御コードRa			174
	00	01	11	
	00	0	1	2
	01	1	2	3
11	2	3	4	

【図 10】

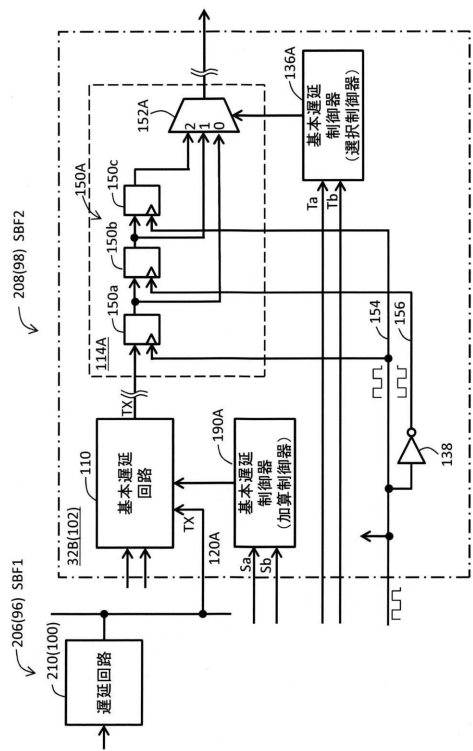


【図 11】

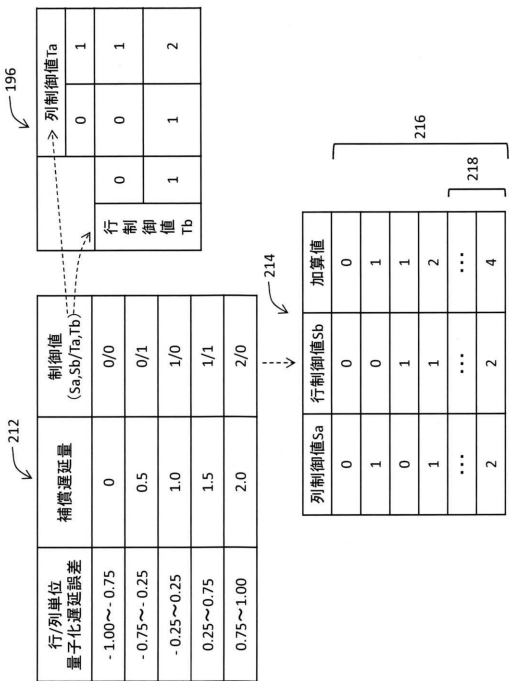
行/列単位 量子化遅延誤差	補償遅延量	制御値 (Sa, Sb/Ra, Tb)	行制御値Ta				加算値
			列制御値Tb			1	
			0	0	1		
			0	0	1		
-0.5~-0.25	0	0/0	0	0	1	0	
-0.25~-0.25	0.5	0/1	0	0	1	1	
0.25~0.5	1.0	1/1	0	1	1	2	

行制御値Sa	列制御値Sb	加算値
0	0	0
1	0	1
0	1	1
1	1	2

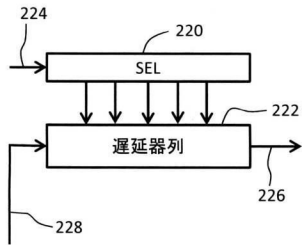
【図 1 2】



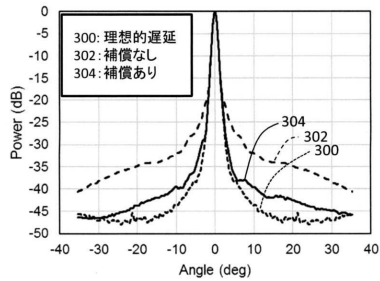
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

Fターム(参考) 4C601 BB03 BB06 BB22 DD09 DD15 EE09 EE12 GB06 GB09 GB20
HH21 HH29 HH31