

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-235642
(P2013-235642A)

(43) 公開日 平成25年11月21日(2013.11.21)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 6 B	5 B 1 2 5
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 3	
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E	
	G 1 1 C 17/00 6 3 4 G	
	G 1 1 C 17/00 6 3 9 C	

審査請求 有 請求項の数 18 O L (全 19 頁)

(21) 出願番号 特願2012-228058 (P2012-228058)
 (22) 出願日 平成24年10月15日 (2012.10.15)
 (31) 優先権主張番号 13/464, 535
 (32) 優先日 平成24年5月4日 (2012.5.4)
 (33) 優先権主張国 米国 (US)

(71) 出願人 512167426
 華邦電子股▲ふん▼有限公司
 台湾台中市428大雅區科雅一路8號
 (74) 代理人 110000729
 特許業務法人 ユニアス国際特許事務所
 (72) 発明者 アニル グプタ
 アメリカ合衆国 カリフォルニア州 95
 070、サラトガ、12110 スキャリ
 ー アベニュー
 (72) 発明者 オロン マイケル
 アメリカ合衆国 カリフォルニア州 95
 124、サンノゼ、1952 エルデン
 ドライブ

最終頁に続く

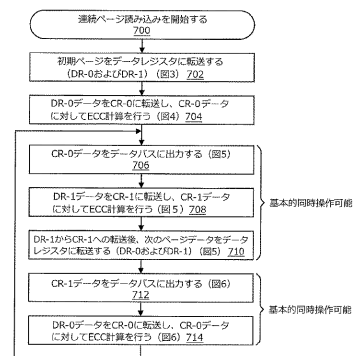
(54) 【発明の名称】 NAND型フラッシュメモリの読み込み方法及び装置

(57) 【要約】

【目的】データの出力に間隔や不連続が生じないNAND型フラッシュメモリの読み込み方法及び装置を提供する。

【解決手段】NAND型メモリアレイに用いるページバッファは、データレジスタ及びキャッシュレジスタを含み、データレジスタ及びキャッシュレジスタは、適切に構成及び操作されることによって、連続ページ読み込み中の出力データの間隔と不連続を取り除くことができる。キャッシュレジスタは、2つの部分で構成され、キャッシュレジスタのページデータは、キャッシュメモリ部分から交互に連続出力することができる。1つのキャッシュメモリ部分を出力すると同時に、別のキャッシュメモリ部分に対して誤り訂正符号計算を行うことによって、誤り訂正符号計算の遅延を出力から取り除くことができる。データレジスタもキャッシュメモリ部分に対応する2つの部分で構成され、1つのページ部分を出力すると同時に、別のページデータ部分を転送することができる。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

NAND型メモリアレイから前記NAND型メモリアレイと関連するデータレジスタ及びキャッシュレジスタを介して複数のデータページをデータベースに出力する方法であって、

前記データレジスタは、前記NAND型メモリアレイに保存されたデータを保存する構成であって、複数の部分で構成され、

前記キャッシュレジスタは、前記データレジスタの前記部分に対応する複数の部分で構成され、

前記キャッシュレジスタ部分から連続且つ交互にデータを出力することと、

前記キャッシュレジスタ部分のうち第1部分からデータを出力すると同時に、前記データレジスタの対応部分から前記キャッシュレジスタ部分のうち前記第1部分以外の部分にデータを提供し、且つ前記データに対して誤り訂正符号計算を行うことと、

前記キャッシュレジスタ部分のうち第2部分からデータを出力すると同時に、前記データレジスタの対応部分から前記キャッシュレジスタ部分のうち前記第2部分以外の部分にデータを提供し、且つ前記データに対して誤り訂正符号計算を行うこととを含む方法。

10

【請求項 2】

前記キャッシュレジスタ部分のうち第3部分からデータを出力すると同時に、前記データレジスタの対応部分から前記キャッシュレジスタ部分のうち前記第3部分以外の部分にデータを提供し、且つ当該データに対して誤り訂正符号計算を行うことをさらに含む請求項1に記載の方法。

20

【請求項 3】

ページバッファを介してNAND型メモリアレイから出力した連続データをデータベースに出力する方法であって、前記ページバッファが、データレジスタと、キャッシュレジスタとを有し、前記方法は、

NAND型メモリアレイデータを前記データレジスタに保存することと、

前記データレジスタの第1部分から前記キャッシュレジスタの第1部分に第1データ部分を転送することと、

前記キャッシュレジスタの第1部分のデータに対して第1誤り訂正符号計算を行うことと、

30

前記キャッシュレジスタの第1部分から前記データベースにデータを出力することと、

前記データレジスタの第2部分から前記キャッシュレジスタの第2部分に第2データ部分を転送することと、

前記キャッシュレジスタの第2部分のデータに対して第2誤り訂正符号計算を行うことと、

前記キャッシュレジスタの第2部分から前記データベースにデータを出力することとを含み、

前記キャッシュレジスタの第1部分の出力ステップと前記キャッシュレジスタの第2部分の出力ステップが、連続且つ交互に行われ、

40

前記第1誤り訂正符号計算を行うステップが、前記キャッシュレジスタの第2部分の出力ステップの間に行われ、

前記第2誤り訂正符号計算を行うステップは、前記キャッシュレジスタの第1部分の出力ステップの間に行われる方法。

【請求項 4】

前記第1データ部分の転送ステップ及び前記第1誤り訂正符号計算を行うステップが、前記キャッシュレジスタの第2部分のデータ出力ステップの間に行われ、

前記第2データ部分の転送ステップ及び前記第2誤り訂正符号計算を行うステップが、前記キャッシュレジスタの第1部分のデータ出力ステップの間に行われる請求項3に記載の方法。

50

【請求項 5】

前記第 1 データ部分の転送ステップ及び前記第 2 データ部分の転送ステップ期間以外の期間に、前記 NAND 型メモリアレイから前記データレジスタにデータページを読み取することをさらに含む請求項 4 に記載の方法。

【請求項 6】

前記キャッシュレジスタの第 1 及び第 2 部分の出力ステップが、ユーザーが発した連続読み込みコマンドにตอบสนองしてユーザーが発したクロックサイクルにより計時された時、前記方法が、さらに、前記ユーザーが発したクロックサイクルの各連続クロックサイクルにおいて、前記キャッシュレジスタの第 1 及び第 2 部分の出力ステップに基づいて、データを連続して出力することを含む請求項 4 に記載の方法。

10

【請求項 7】

前記データを連続して出力するステップが、前記ユーザーが発した連続読み込みコマンドの初期待ち時間周期の後から開始され、

前記初期待ち時間周期が、データページを前記 NAND 型メモリアレイから前記データレジスタに読み込むための時間及び誤り訂正符号計算時間を含む請求項 6 に記載の方法。

【請求項 8】

前記キャッシュレジスタの第 1 部分の出力ステップ及び前記キャッシュレジスタの第 2 部分の出力ステップが、交互に繰り返される請求項 4 に記載の方法。

【請求項 9】

前記キャッシュレジスタの第 1 及び第 2 部分の出力ステップが、ユーザーが発した連続読み込みコマンドにตอบสนองしてユーザーが発したクロックサイクルにより計時された時、前記方法が、さらに、前記ユーザーが発したクロックサイクルの各連続クロックサイクルにおいて、前記キャッシュレジスタの第 1 及び第 2 部分の出力ステップに基づいて、交互に連続してデータを出力することを含む請求項 8 に記載の方法。

20

【請求項 10】

前記データを連続して出力するステップが、前記ユーザーが発した連続読み込みコマンドの初期待ち時間周期の後から開始され、前記初期待ち時間周期が、データページを前記 NAND 型メモリアレイから前記データレジスタに読み込むための時間及び誤り訂正符号計算時間を含む請求項 9 に記載の方法。

【請求項 11】

前記第 1 及び第 2 誤り訂正符号計算を行うステップのうち少なくとも 1 つが、訂正されたデータによりエラーデータを上書きすることを含む請求項 3 に記載の方法。

30

【請求項 12】

前記第 1 及び第 2 誤り訂正符号計算を行うステップのうち少なくとも 1 つが、訂正されたデータによりエラーデータを上書きすることを含む請求項 4 に記載の方法。

【請求項 13】

前記ページ読み込みステップ、前記第 1 誤り訂正符号計算を行うステップ、及び前記第 2 誤り訂正符号計算を行うステップの時間が、前記キャッシュレジスタの第 1 及び第 2 部分の出力ステップの時間よりも短い請求項 5 に記載の方法。

【請求項 14】

NAND 型フラッシュメモリアレイと、
前記 NAND 型フラッシュメモリアレイに結合された行デコーダと、
前記 NAND 型フラッシュメモリアレイに結合されたデータレジスタと、
前記データレジスタに結合されたキャッシュレジスタと、
前記キャッシュレジスタに結合された誤り訂正回路と、
前記キャッシュレジスタに結合された列デコーダと、
前記行デコーダ、前記列デコーダ、前記データレジスタ、前記キャッシュレジスタ及び前記誤り訂正回路に結合された制御回路と
を含み、

40

前記キャッシュレジスタが、複数の部分で構成されるとともに、前記データレジスタが

50

、それぞれ前記キャッシュレジスタ部分に対応する複数の部分で構成され、
前記制御回路が、下記の機能を実行するためのロジック及びレジスタ素子を含み、
前記NAND型フラッシュメモリアレイから前記データレジスタにデータを読み込むことと、

前記データレジスタ部分から相応するキャッシュレジスタ部分にデータを交互に転送することと、

前記誤り訂正回路により前記キャッシュレジスタ部分のデータに対して交互に誤り訂正を行い、誤り訂正処理されたデータを前記キャッシュレジスタ部分に提供することと、

前記誤り訂正処理されたデータを前記キャッシュレジスタ部分から前記制御回路に連続且つ交互に出力することと

を含み、

前記キャッシュレジスタ部分のうち特定の一部の前記データに対する前記データ転送機能及び前記誤り訂正処理によるデータ出力機能の実行が、異なる時間に実行されるのに適し、

前記キャッシュレジスタ部分のうち特定の一部に対する前記誤り訂正実行機能及び前記誤り訂正処理によるデータ出力機能の実行が、異なる時間に実行されるのに適したフラッシュメモリ。

【請求項15】

NAND型フラッシュメモリアレイと、

前記NAND型フラッシュメモリアレイに結合された行デコーダと、

前記NAND型フラッシュメモリアレイに結合されたページデータレジスタと、

伝送ゲートのページと、

前記伝送ゲートを介して前記データレジスタに結合されたページキャッシュレジスタと

、前記キャッシュレジスタに結合された列デコーダと、

前記行デコーダ、前記列デコーダ、前記データレジスタ、前記キャッシュレジスタ及び前記伝送ゲートに結合された制御回路と

を含み、

前記伝送ゲートの第1グループ及び前記伝送ゲートの第2グループが、単独且つ独立して制御することができ、前記伝送ゲートの第2グループが、前記伝送ゲートの第1グループと異なるNAND型フラッシュメモリ。

【請求項16】

前記キャッシュレジスタに結合された誤り訂正回路をさらに含み、前記制御回路が、前記誤り訂正回路にさらに結合された請求項15に記載のNAND型フラッシュメモリ。

【請求項17】

前記伝送ゲートのページの基本的に半分が、前記第1グループに配置され、前記伝送ゲートのページの基本的に半分が、前記第2グループに配置された請求項16に記載のNAND型フラッシュメモリ。

【請求項18】

前記制御回路が、下記の機能を実行するためのロジック及びレジスタ素子を含み、
前記NAND型フラッシュメモリアレイから前記データレジスタにデータを読み込むことと、

前記データレジスタから前記キャッシュレジスタの前記伝送ゲートの第1グループ及び前記伝送ゲートの第2グループに対応する第1及び第2部分にデータを交互に転送することと、

前記誤り訂正回路により前記キャッシュレジスタのデータの前記第1及び第2部分に対して交互に誤り訂正を行い、誤り訂正処理されたデータに対応する第1及び第2部分を前記キャッシュレジスタに提供することと、

前記誤り訂正処理されたデータの前記第1及び第2部分を前記キャッシュレジスタから前記制御回路に連続且つ交互に出力することと

10

20

30

40

50

を含み、

前記キャッシュレジスタのデータの前記第 1 部分に対する前記データ転送機能及び前記誤り訂正を行う機能の実行が、前記キャッシュレジスタにおける誤り訂正処理されたデータの前記第 2 部分に対する前記誤り訂正処理されたデータ出力機能の期間に実行されるのに適し、

前記キャッシュレジスタのデータの前記第 2 部分に対する前記データ転送機能及び誤り訂正実行機能の実行が、前記キャッシュレジスタにおける誤り訂正処理されたデータの前記第 1 部分に対する前記誤り訂正処理されたデータ出力機能の期間に実行されるのに適した請求項 17 に記載の N A N D 型フラッシュメモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラッシュメモリ (flash memory) に関するものであり、特に、N A N D 型フラッシュメモリの読み込み方法及び装置に関するものである。

【背景技術】

【0002】

N A N D 型フラッシュメモリは、圧倒的なコストメリットによりどんどん普及している。フラッシュメモリのコストの 1 つの指標としてメモリセル面積があり、メモリセル面積は通常 F^2 で表される。F は、一般的に特徴寸法 (feature size) と称され、通常は技術ノードのことを指す。つまり、58 nm の技術ノードに対する F は 58 nm であり、46 nm の技術ノードに対する F は 46 nm である。4 F^2 の N A N D 型フラッシュメモリセルのサイズは、例えば、N O R 型フラッシュメモリ等のその他の技術よりもはるかに小さく、N O R 型フラッシュメモリセルのサイズは、12 F^2 ~ 15 F^2 の範囲である。

【0003】

フラッシュメモリのもう 1 つの発展は、シリアル・ペリフェラル・インタフェース (Serial Peripheral Interface, SPI) である。S P I を有するシリアル N O R 型フラッシュメモリが普及した 1 つの要因は、低ピンカウント (low pin count, LPC) が少ないことである (例えば、単一ビット S P I に用いるピン / C S、C L K、D I、D O)。S P I を有するシリアル N O R 型フラッシュは、例えば、8 ピンパッケージ等の小さくて安いパッケージに実装することができるため、回路板のスペースをかなり節約することができる。しかも、S P I を有するシリアル N O R 型フラッシュ製品は、N O R 型フラッシュ技術で設計され、ランダムアドレスからの高速データ取り込みを必要とする用途に適応している。セル電流が比較的大きいことから、N O R 型フラッシュでは、必然的に、高速ランダム読み込み速度が実現される。これと比較して、N A N D 型フラッシュは初期待ち時間が比較的長いため、N A N D 型フラッシュは、コードシャドーイング (code shadowing) を含む (ただしこれに限定されない) データのシーケンシャルアクセス (sequential access) の用途にさらに適している。N A N D 型フラッシュのランダム読み込み速度が遅いのは、N A N D 型フラッシュに内在する極小セル電流によるものであり、セル電流が小さいのは、N A N D ストリングに多数のセル (例えば、32 個のセル) が直列接続されているためである。

【0004】

N O R 型フラッシュ技術の発展が停滞してきた後には、メモリセル面積のメリットを有することを背景に、S P I を有するシリアル N A N D 型フラッシュ製品が市場に推進してきた。図 1 は、単一平面構造における N A N D 型メモリアレイ 19 及び関連するページバッファ 10 を示したものである。ページバッファ 10 は、データレジスタ (data register, "DR") 16 及びキャッシュレジスタ (cache register, "CR") 14 の 2 つのレジスタを有する。図 1 の構成により、キャッシュレジスタ 14 及びデータレジスタ 16 を使用してキャッシュ保存操作を実現し、下記の方法により読み込みスループット (thru put) を増加させることができる。

【0005】

10

20

30

40

50

ページ読み込み (page read, "PR") コマンドを発した時、ページ0データは、通常、約20 μ s 内でページ18のように示された特定ページからデータレジスタ16に転送される。しかし、連続したPRコマンドを使用してメモリから順次ページを読み込むことができても、各ページを読み込む毎に20 μ s の遅延が生じる。これらの連続した20 μ s の遅延は、ページ読み込みキャッシュモード (page read cache mode, "PRCM") コマンドを使用することによってマスクすることができる。PRコマンドの後にPRCMコマンドを発した時、データレジスタ16内のページ0データは、通常、最大3 μ s の時間でキャッシュレジスタ14に迅速に転送され、キャッシュレジスタ14からデータバス11にページ0データが読み出される。PRCMコマンドを発することにより、ページ1データの次の順序のページ (図示せず) からデータレジスタ16への転送が開始され、ページ0データのキャッシュレジスタ14からの出力と同時に進行される。キャッシュレジスタ14からページ0データを読み出した後、別のPRCMコマンドを発することができる。この第2PRCMコマンドは、通常、最大3 μ s の時間でデータレジスタ16からキャッシュレジスタ14にページ1データを転送し、ページ1データは、キャッシュレジスタ14からデータバス11に読み出される。第2PRCMコマンドは、次の順序のページ (図示せず) からデータレジスタ16にページ2データを転送し、ページ1データのキャッシュレジスタ14からの出力と同時に進行する。このように、複数のPRCMコマンドを発することによって、順次ページが読み出される。連続ページからのデータ読み込みの間に3 μ s もの間隔が存在しても、キャッシュメモリ読み込み操作によって、スループットを大きく改善することができる。

10

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、キャッシュメモリ読み込み操作は、誤り訂正符号 (Error Correction Code, "ECC") のオンチップ (on chip) 実装と衝突する。NAND型フラッシュの固有循環 (耐久性) はNOR型フラッシュほど良くないため、ECCは、通常、NAND型フラッシュで使用される。ECCは、チップ内で実行されるか、あるいは、ホストコントローラにより外部で実行される。ホストコントローラの外部ECCは、NAND型フラッシュのランダムなシングル (又は少数の) ビットエラーのマスクに対してかなり有効である。訂正できるビット数は、ホストコントローラが使用したECCアルゴリズム (例えば、ハミング (Hamming)、 BCH、リードソロモン (Reed Solomon)、又は他の適切なECCアルゴリズム) の選択によって決まる。しかしながら、ホストコントローラが提供する外部ECCは、ホストに対し負担となる。最近のNAND型フラッシュ装置の中には、NAND型フラッシュチップ自体にECCを含むものもある (ここでは "オンチップ (on chip) ECC" と称す)。オンチップECCは、ECC計算を行うとともに、エラービットに対する訂正も提供する。しかしながら、ECC計算にキャッシュレジスタを用いるNAND型フラッシュメモリのこれらの実施例において、キャッシュレジスタからのページデータの読み出しは、ECC計算の処理中に同時に完了することはできない。標準のPRコマンドを使用してこれらのECC NAND型フラッシュメモリ装置を読み込むことができるが、ページデータをページバッファに転送する時間や、ECCを行うための待ち時間が比較的長くなる。ECC計算時間はアルゴリズム及び実施例によって変化するが、20 μ s 程度の計算時間を要するのは珍しいことではない。この状況では、ページに対して、各PRコマンドは、ページデータを読み出す前に約40 μ s の待ち時間 (具体的には、ページバッファへのページデータの転送に20 μ s、ECC計算に20 μ s) を要する。この遅延は、オンチップECCによる読み込みスループットの顕著な損失である。

30

40

【課題を解決するための手段】

【0007】

本発明の1つの実施形態は、NAND型メモリアレイからこのNAND型メモリアレイと関連するデータレジスタ及びキャッシュレジスタを介して複数のデータページをデータバスに出力する方法であり、NAND型メモリアレイデータをデータレジスタに保存し、

50

データレジスタが複数の部分で構成され、且つキャッシュレジスタがデータレジスタの前記部分に対応する複数の部分で構成されることと、キャッシュレジスタ部分から連続且つ交互にデータを出力することと、キャッシュレジスタ部分のうち第1部分からデータを出力すると同時に、データレジスタの対応部分からキャッシュレジスタ部分のうち第1部分以外の部分にデータを提供し、且つそのデータに対して誤り訂正符号計算を行うことと、キャッシュレジスタ部分のうち第2部分からデータを出力すると同時に、データレジスタの対応部分からキャッシュレジスタ部分のうち第2部分以外の部分にデータを提供し、且つそのデータに対して誤り訂正符号計算を行うこととを含む。

【0008】

本発明の別の実施形態は、ページバッファを介してNAND型メモリアレイから出力した連続データをデータバスに出力する方法であり、ページバッファは、データレジスタと、キャッシュレジスタとを有し、前記方法は、NAND型メモリアレイデータをデータレジスタに保存することと、データレジスタの第1部分からキャッシュレジスタの第1部分に第1データ部分を転送することと、キャッシュレジスタの第1部分のデータに対して第1誤り訂正符号計算を行うことと、キャッシュレジスタの第1部分からデータバスにデータを出力することと、データレジスタの第2部分からキャッシュレジスタの第2部分に第2データ部分を転送することと、キャッシュレジスタの第2部分のデータに対して第2誤り訂正符号計算を行うことと、キャッシュレジスタの第2部分からデータバスにデータを出力することとを含む。キャッシュレジスタの第1部分の出力ステップとキャッシュレジスタの第2部分の出力ステップは、連続且つ交互に行われ、第1誤り訂正符号計算を行うステップは、キャッシュレジスタの第2部分の出力ステップの間に行われ、第2誤り訂正符号計算を行うステップは、キャッシュレジスタの第1部分の出力ステップの間に行われる。

【0009】

本発明の別の実施形態は、ワード線及びビット線を有するNAND型フラッシュメモリアレイと、NAND型フラッシュメモリアレイに結合された行デコーダと、NAND型フラッシュメモリアレイに結合されたデータレジスタと、データレジスタに結合されたキャッシュレジスタと、キャッシュレジスタに結合された誤り訂正回路と、キャッシュレジスタに結合された列デコーダと、行デコーダ、列デコーダ、データレジスタ、キャッシュレジスタ及び誤り訂正回路に結合された制御回路とを含むフラッシュメモリである。キャッシュレジスタは、複数の部分で構成され、データレジスタは、それぞれキャッシュレジスタ部分に対応する複数の部分で構成される。制御回路は、下記の機能：NAND型フラッシュメモリアレイからデータレジスタにデータを読み込むことと、データレジスタ部分から相応するキャッシュレジスタ部分にデータを交互に転送することと、誤り訂正回路によりキャッシュレジスタ部分のデータに対して交互に誤り訂正を行い、誤り訂正処理されたデータをキャッシュレジスタ部分に提供することと、誤り訂正処理したデータをキャッシュレジスタ部分から制御回路に連続且つ交互に出力することとを実行するためのロジック及びレジスタ素子を含み、キャッシュレジスタ部分のうち特定の一部のデータに対するデータ転送機能及び誤り訂正処理によるデータ出力機能の実行は、異なる時間に行われるのに適しており、キャッシュレジスタ部分のうち特定の一部に対する誤り訂正実行機能及び誤り訂正処理によるデータ出力機能の実行は、異なる時間に行われるのに適する。

【0010】

本発明の別の実施形態は、NAND型フラッシュメモリアレイと、NAND型フラッシュメモリアレイに結合された行デコーダと、NAND型フラッシュメモリアレイに結合されたページデータレジスタと、伝送ゲートのページと、伝送ゲートを介してデータレジスタに結合されたページキャッシュレジスタと、キャッシュレジスタに結合された列デコーダと、行デコーダ、列デコーダ、データレジスタ、キャッシュレジスタ及び伝送ゲートに結合された制御回路とを含むNAND型フラッシュメモリである。伝送ゲートの第1グループ及び伝送ゲートの第2グループは、単独且つ独立して制御することができ、伝送ゲートの第2グループは、伝送ゲートの第1グループと異なる。1つの変形例において、N A

NAND型フラッシュメモリは、さらに、キャッシュレジスタに結合された誤り訂正回路を含む。

【発明の効果】

【0011】

本発明によれば、ECCを用いることによって、ページデータの各部分の間又はページとブロックのページデータの間の出力に間隔や不連続性を生じさせずに、連続ページ読み込みを行うことができる。

【図面の簡単な説明】

【0012】

【図1】現有技術のNAND型フラッシュメモリアレイ及びページバッファの実施例の概略的機能ブロック図である。

10

【図2】NAND型メモリ装置の概略的機能ブロック図である。

【図3】ある操作条件におけるNAND型メモリアレイ及びページバッファの実施例の概略的機能ブロック図である。

【図4】別の操作条件における図3のNAND型メモリアレイ及びページバッファの実施例の概略的機能ブロック図である。

【図5】別の操作条件における図3のNAND型メモリアレイ及びページバッファの実施例の概略的機能ブロック図である。

【図6】別の操作条件における図3のNAND型メモリアレイ及びページバッファの実施例の概略的機能ブロック図である。

20

【図7】ECCを有する連続ページ読み込み操作のフローチャートである。

【図8】ECCを有する連続ページ読み込み操作のタイミング波形図である。

【発明を実施するための形態】

【0013】

NAND型メモリアレイに用いるページバッファは、適切に構成され、及び操作されることによって、初期ページ読み込みの後の連続ページ読み込み期間において、出力データの間隔と不連続を取り除くことができる。ページバッファは、NAND型メモリアレイから転送されたページデータを受信するためのデータレジスタと、データレジスタから転送されたページデータを受信するためのキャッシュレジスタとを含む。データレジスタから転送されたページデータを受信する操作は、さらに、データレジスタを開放してNAND型メモリアレイから後続のデータページを受信するため、キャッシュレジスタから出力されたデータに間隔や不連続が生じない。ここで使用する「転送」という用語は、データがソースから目的地まで伝送されることを指し、ソース上のデータの配置には関連しないため、データは、干渉、削除、復元、書き換え、修正、又はその他の処理が行われない状態を保つことができる。キャッシュレジスタは、2つ又は2つ以上の部分で構成され、キャッシュレジスタのページデータは、キャッシュメモリ部分から交互に連続出力することができる。2つの部分で構成された場合の実施例では、例えば、部分Aが出力され、その後B、その後A、その後Bというように出力される。3つの部分で構成された場合の実施例では、例えば、部分Aが出力され、その後B、その後C、その後A、その後B、その後Cというように出力される。1つのキャッシュメモリ部分が出力されている時に、同時に、別のキャッシュメモリ部分に対してECC計算を行うことによって、ECC計算の遅延を出力から取り除くことができる。データレジスタもキャッシュメモリ部分の2つ又は2つ以上の部分で構成される。データレジスタ部分とキャッシュレジスタ部分の間でページデータを交互に転送することによって、1つのページ部分が出力されている時に、同時に、別のページデータ部分を転送することができるため、この方法を用いることによって、データレジスタからキャッシュレジスタへのページデータ転送遅延を出力から取り除くことができる。このように、ECCを用いることによって、ページデータの各部分の間又はページとブロックのページデータの間の出力に間隔や不連続性を生じさせずに、連続ページ読み込みを行うことができる。

30

40

【0014】

50

連続ページ読み込み期間に、NAND型メモリ装置のチップ内でECCを行うことで特にメリットとなるのが、出力に間隔や不連続が生じないことであるが、他の変形例も有用である。この種の変形例では、オンチップECCを行わずに、データレジスタ及びキャッシュレジスタがそれぞれ2つ又は2つ以上の部分で構成されたままにすることにより、出力に間隔や不連続が生じない状況で、連続ページ読み込みを行うことができる。

【0015】

図2は、NANDアレイ40及び関連するページバッファ38を含むNAND型メモリ装置20の概略的機能ブロック図である。NANDアレイ40は、ワード(行(row))線と、ビット(列(column))線とを含み、必要なNAND技術はいずれもNANDアレイ40のメモリセルに使用することができる。ページバッファ38は、ページデータレジスタと、ページキャッシュレジスタと、データレジスタからキャッシュレジスタにデータをコピーするためのページ伝送ゲートとを含む。適切なラッチ又はメモリ技術はいずれもデータレジスタ及びキャッシュレジスタに使用することができる。ラッチは、例えば、BTB接続されたインバータ(back to back connected inverter)であってもよい。適切なゲーティング技術であれば、どの伝送ゲートを使用してもよい。伝送ゲートは、例えば、CMOS伝送ゲートであってもよい。例えば、伝送ゲートを接続及び操作してデータ伝送を制御する方法によって、データレジスタ及びキャッシュレジスタを必要な数の対応部分で構成することができる。例えば、対応する制御線で制御された相応する伝送ゲートグループを使用して、データレジスタ及びキャッシュレジスタを相応する部分で構成し、且つ交互に演算することができる。ページバッファ38のデータレジスタ及びキャッシュレジスタは、同じ制御信号を2つの伝送ゲート制御線に印加することによって、従来の方法で操作することができ、又は、適切なタイミングの制御信号を伝送ゲート制御線に印加することによって、交互に操作することができる。例えば、ある実施例で、1ページが2Kバイトの2つの部分で構成されている場合、半ページ(1K)の伝送ゲートは、1つの制御線で制御することができ、別の半ページ(1K)の伝送ゲートは、別の制御線で制御することができるため、データレジスタ及びキャッシュレジスタを2つの半ページ(1K)の部分で構成することができる。2つの部分が交互に操作されることによって、ページバッファ38が2つの部分で構成された実施例は、"ピンポン(ping pong)"バッファと称することができる。例えば、この方法は、データレジスタ及びキャッシュレジスタをいくつかの部分で構成するもので、必要であればその他の技術を使用してもよい。

【0016】

図2にさらに示すように、NAND型メモリ装置20は、メモリのプログラミング、削除、読み込みをサポートするためのその他の回路、例えば、行デコーダ34、列デコーダ36、I/O制御22、ステータスレジスタ24、コマンドレジスタ26、アドレスレジスタ28、ロジック制御30、及び高圧生成器32を含んでもよい。NAND型メモリ装置20は、任意の所望の方法で実装されてもよく、且つ従来のNAND型メモリ装置インターフェースを含む任意の種類インターフェースを有してもよい。例えば、ロジック制御30は、マルチIO SPIインターフェースを含むSPI及びQPIプロトコルにより実施される。SPI及びQPIインターフェース及びメモリアレイに関連する回路の別の詳細は、2009年7月7日にJigour等により発行された米国特許第7,558,900号、及び2011年1月13日の中華民国台湾新竹市ウィンボンド・エレクトロニクス株式会社の公開案W25Q64DW:"SpiFlash1.8V 64M Bit Serial Flash Memory with Dual/Q uad SPI& QPI"の予備改定案Cを参照することができるため、これらの特許文献の全文を引用する方法で本文に取り入れる。

【0017】

NAND型メモリ装置20は、単一平面NAND構造において連続した読み込み操作及びオンチップECCを行うために構成及び操作されるが、この構造は単なる例であるため、構造形式を変えてもよい。ここでは2KBのページサイズを実例として使用しているが、ページ及びブロックのサイズは単なる例であるため、必要であれば異なってもよい。NAND型フラッシュのページは、プログラミングの粒度(例えば、2Kバイト)を指し、

NAND型フラッシュのブロックは、削除の粒度（例えば、128Kバイト）を指す。ページは、標準NAND型フラッシュを読み込むデータの粒度も指す。さらに、実際のページサイズは、設計要因によって変化するため、文字上で提示した具体的なサイズに限定されない。例えば、上記の用語は、2048バイトのメイン領域に加えて別の64バイトのスペア領域を含んでもよい。このスペア領域は、ECC及びユーザーメタデータ等のその他の情報を保存するために用いられる。同様に、用語1KBは、1024バイトのメイン領域と32バイトのスペア領域を指す。明確にするため、ここでは単一平面構造に基づいて説明しているが、同様に多平面構造に適用してもよい。平面は、並行にI/O要求を取り扱う最小単位である。複数の物理平面を使用したとき、1つ又は1つ以上のワード線を共用して、メモリシステムが同時に複数のI/O要求を取り扱えるようにすることができる。それぞれの平面は、1ページのデータを提供し、且つ1ページサイズの対応データレジスタ及び1ページサイズの対応キャッシュレジスタを含む。ここで説明した技術を各平面に単独で応用して、各データレジスタ及びキャッシュレジスタを複数の部分で構成してもよく、又は、複数の平面に応用して、各データレジスタ及びキャッシュレジスタ自体を複数ページのデータレジスタ及びキャッシュレジスタの1つの部分としてもよい。

【0018】

連続読み込みコマンドは、様々な方法で表現することができるが、一般的に、メモリアレイの全部又は必要な部分を読み終えたコマンドのことを指す。例えば、図2に示したSPIを有するシリアルNAND型フラッシュ装置20の場合、装置20は、/CSのHL遷移（high to low transition）と、その後の適切なクロックサイクル期間に開始アドレスを含む連続読み込みコマンドを発行することによって使用可能になる。指定した数のダミークロックサイクルの後、SPIを有するシリアルNAND型フラッシュ装置20からデータが読み出される。ページやブロック境界をまたがっても間隔や不連続を生じさせずにデータを読み込むことができるため、アドレスは、オンチップアドレスカウンタ（図示せず）により自動的に増加する。

【0019】

図2は、SPIインターフェースに用いる制御信号/CS、CLK、DI、DO、/WP、/HOLDを示したものである。標準SPIフラッシュインターフェースは、/CS（チップ選択 リバース）、CLK（クロック）、DI（シリアルデータ登録シリアルデータ入力）とDO（シリアルデータ出力）信号、及びオプションの信号/WP（ライトプロテクト リバース）と/HOLD（保持 リバース）を提供する。リバース信号の意味は、単なる極性の反転であり、例えば、/CSの低状態によりSPIフラッシュチップが使用可能になる。標準SPIインターフェースにおける1ビットシリアルデータバス（DIによるデータ入力登録及びDOによるデータ出力）は、簡単なインターフェースを提供するが、比較的高い読み込みスループットの実現に限られる。そのため、多ビットSPIインターフェースは、デュアルスループット（2ビットインターフェース）及び/又はクワッドスループット（4ビットインターフェース）を追加でサポートすることによって、読み込みスループットを増加させるために使用される。図2は、4つのピンの機能を選択的に再定義することによって、デュアルスループットSPI及びクワッドスループットSPIの操作に用いる別のデータバス信号、すなわち、I/O(0)、I/O(1)、I/O(2)及びI/O(3)を示したものである。クワッドスループットSPI読み込み操作において、I/O(0)により1ビット標準SPIインターフェースを用いて適切な読み込みコマンドを発することができるが、アドレス及びデータ出力に用いる後続のインターフェースは、クワッドスループット（すなわち、4ビットデータバス）に基づくものである。クワッドスループットSPIの別の変形例では、I/O(0)により1ビット標準SPIインターフェースを用いて読み込みコマンド及びアドレスを提供するが、データ出力のための後続のインターフェースは、クワッドスループットに基づくものである（すなわち、4ビットデータバス）。アドレスの提供とデータの読み出しの間において、オプションのダミークロックを使用してもよい。標準SPI読み込み操作における1ビットのデータの出力と比較して、クワッドスループットSPI読み込み操作は、1つのクロックサ

イクルで4ビットのデータを出力するため、4倍の読み込みスループットを提供することができる。ここでは、クワッドスループットS P I読み込み操作を使用して説明しているが、標準S P I、デュアルスループットS P I、クワッド・ペリフェラル・インターフェース(Quad Peripheral Interface, QPI)、及びダブル転送速度(Double Transfer Rate, DTR)読み込みモードを含む(ただし、これらに限定されない)他の操作モードにも同様に適用することができる。Q P Iプロトコルでは、完全なインターフェース(コマンド、アドレス及びデータ出力)は、4ビットに基づいて完了する。D T Rプロトコルでは、下降及び上昇C L Kエッジに出力データが提供され、下降C L Kエッジにしか出力データが提供されないシングル転送速度(Single Transfer Rate, STR)読み込みモードとは異なる。

10

【0020】

図3~図6は、データバス51とNANDアレイ62、及びページバッファ50の実施例を示したものである。ページバッファ50は、2つの部分56及び57で構成されたデータレジスタ0("DR 0")及びデータレジスタ1("DR 1")を含む。ページバッファ50は、さらに、2つの部分54及び55で構成されたキャッシュレジスタ0("CR 0")及びキャッシュレジスタ1("CR 1")を含む。従って、ページバッファ50は、CR 0 54及びDR 0 56を含む第1部分と、CR 1 55及びDR 1 57を含む第2部分とを有する。実施例において、ページバッファは、4Kバイトの容量を有し、2Kバイトの容量の2つの均等な部分に分割される。そのため、DR 0 56、DR 1 57、CR 0 54及びCR 1 55のそれぞれの保存容量は、1Kバイトである。DRは、全2Kバイトのデータレジスタ(すなわち、DR 0 56プラスDR 1 57)を指し、CRは、全2Kバイトのキャッシュレジスタ(すなわち、CR 0 54プラスCR 1 55)を指す。異なるサイズのページバッファを使用してもよく、及び/又は、必要であればページバッファを2つの不均等な部分に分割してもよい。分割していないページバッファは1組の制御信号を必要とするが、それとは異なり、ページバッファ50の2つの部分は、2組の制御信号が必要である。また、論理NANDアレイと物理NANDアレイの間の差異は、本発明の説明に影響しない。例を挙げて説明すると、物理アレイは1つのワード線上に2ページ(偶数の2KBページと奇数の2KBページ)を有するため、ワード線は4KBのNANDビットセルである。明確に説明するため、本発明の説明と図面は、論理NANDアレイに基づいて行う。また、ページバッファ50は、2つの部分で構成することにより連続読み込み操作をサポートするが、変更はユーザーにとって明白であり、2KBの標準ページサイズに対してプログラミング操作を完了させてもよく、2KBの標準ページサイズに対して標準の読み込み操作、例えば、ページ読み込み操作が完了した後にキャッシュメモリからページデータを読み込むためのコマンドを完了させてもよい。このように、ページバッファ50を2つの部分に分けるのは、主に連続読み込み操作に用いるためであり、このような内部分割もユーザーにとって明白である。

20

30

【0021】

図3~図6は、また、キャッシュレジスタ部分54の内容に対して誤り訂正を行う誤り訂正回路52("ECC 0")と、キャッシュレジスタ部分55の内容に対して誤り訂正を行う誤り訂正回路53("ECC 1")を示したものである。誤り訂正回路52及び53は、任意の所望のタイプの誤り訂正アルゴリズムに基づくことができる。

40

【0022】

図7は、ECCでページバッファ50を操作して、連続ページ読み込み操作を実現するためのフローチャートである。図7に示した各ブロックは、図3~図6に示した各連続操作と関連する。図3~図6に示した各操作に対する持続時間について例を挙げて説明し、各設計によって異なる持続時間の使用を選択することができる。

【0023】

図3に示すように、連続ページ読み込みコマンドで指定された初期ページ60(ページ0)をNANDアレイ62からDR 0及びDR 1(データレジスタ部分56及び5

50

7) に転送する(ブロック702)。この転送に関連する機能ブロックは、図面上において点で影を付けて表示する。例を挙げて説明すると、2KBのデータは、配列のページ0であるページ60からDR0及びDR1に転送される。例を挙げて説明すると、転送は、1つの2KB転送中に継続されるが、読み込み伝送ゲートの制御を適切に変更して、DR0及びDR1への1KB毎の転送中に読み込みを完了させることができ、同時であっても、又は同時でなくてもよい。ページ読み込み操作の時間(すなわち、ページデータをNANDアレイからデータレジスタに転送する時間)は、例えば、20 μ sであるが、正確な時間は、例えば、検出回路、メモリセルの種類(シングルレベルセル又はマルチレベルセル)、及び技術ノード(例えば、50nm又は35nm)等の設計要素によって決まる。

10

【0024】

続いて、図4に示すように、ページデータの一部をデータレジスタ部分56(DR0)からキャッシュレジスタ部分54(CR0)に転送し、且つキャッシュレジスタ部分54(CR0)のページデータ部分に対してECC計算を行う(ブロック704)。DR0からCR0への転送時間は、設計選択によって変化するが、通常範囲は、約1 μ s~約3 μ sである。誤り訂正回路52(ECC0)がECC計算を完了するのに必要な時間は、ECCアルゴリズムの選択、内部データバス、オンチップタイミング発振器周期(on chip timing oscillator period)、及びその他の設計要素によって決まる。例を挙げて説明すると、誤り訂正回路52は、ECC計算を約12 μ sで完了する。しかし、図4の時間配分は、20 μ sであり、且つDR0からCR0への転送時間は、2 μ sであるため、誤り訂正回路52及び53は、設計によって、18 μ s又はさらに短い時間内に完了させることができる。

20

【0025】

ECC計算でECCエラーを検出した場合、ECC0ブロックはECC計算中に、訂正されたデータを用いてCR0のエラーデータに上書きする。場合によっては、ECC計算で検出したエラー情報は、ECC計算中にECC0に保存され、且つECC計算中に訂正されたデータを用いてCR0のエラーデータに上書きしなくてもよい。又は、ECC計算で測定したエラー情報は、ECC計算中にECC0に保存され、且つECC計算中に訂正されたデータを用いてCR0のエラーデータに上書きしてもよい。ECC0に保存されたエラー情報は、エラーデータのアドレス、及びエラーデータと予測した(正確な)データを含む。例えば、ハミングECCアルゴリズム、 BCH ECCアルゴリズム、リードソロモンアルゴリズム、及びその他のアルゴリズムを含む様々なアルゴリズムが使用に適している。明確に説明するため、図3~図6において、CR0及びCR1とそれぞれ接続される2つの異なるECCブロックECC0~ECC1を示したが、1つのECCブロックを使用してCR0及びCR1の両方と接続してもよい。1つのECCブロックを使用した場合、ダイサイズが減ることにより比較的有利な設計もある。一方、ECC回路のゲート数が少ない場合、例えば、数百個のゲートであれば、ECCブロックの面積をより小さくする(例えば、約0.1mm²~約0.2mm²)ことができるため、2つの異なるブロック(例えば、ECC0及びECC1)の使用が適切な設計選択になる。

30

40

【0026】

続いて、図5に示すように、様々な基本的同時操作が発生する。その中の1つの操作(図7のブロック706)では、キャッシュレジスタ部分54(CR0)の既にECC計算されたページ0データを送信して、データバス51により出力する。図5には、データバス51から出力ポートへの経路を図示していないが、このような経路は本分野に属する技術者にとって周知である。図4のECC計算が完了して初めてデータを出力するための送信準備ができるため、図3及び図4に示した操作は、初期待ち時間とみなされる。しかし、CR0中のデータは既にECC計算が完了しているため、図5のCR0のデータは出力するための送信準備ができています。例えば、クワッドスループットSPI連続読み込み操作の場合、各クロックサイクルで4ビットのデータ出力を送信することができる

50

。4ビットのデータ幅は、ニブル (nibble) とも称される。クロック周波数が 100 MHz であるものと仮定すると、約 20 μs (数 1) において CR 0 データ (1 KB) を送信することができ、図 5 の操作で仮定した 20 μs と一致する。

【0027】

[数 1]

CR 0 データ (1 KB) を読み出す時間： $1 \text{ KB} \times (8 \text{ ビット} / \text{B}) \times 1 (\text{ニブル} / 4 \text{ ビット}) \times (1 / 100 \text{ MHz}) = 20 \mu \text{ s}$

【0028】

各ステップの 20 μs は説明の都合上、簡単にしたものであるが、数 2 に基づいて、CR 0 を読み出すためのより実際の時間を 104 MHz クロック及び 1024 B の CR 0 データから 19.69 μs と算出されるため、20 μs の指数は妥当な近似である。

10

【0029】

[数 2]

CR 0 (1024 B) を読み出す時間： $1024 \text{ B} \times (8 \text{ ビット} / \text{B}) \times 1 (\text{ニブル} / 4 \text{ ビット}) \times (1 / 104 \text{ MHz}) = 19.69 \mu \text{ s}$

【0030】

キャッシュレジスタ部分 54 から送信された図 5 の出力は、初期待ち時間の後の第 1 出力であるが、図 5 と図 6 を比較すると分かるように、データは連続ピンポン式で CR 0 及び CR 1 から継続して送信され、データの送信中に間隔や不連続は生じない。言い換えると、必要な量のデータを受信した時にユーザーがクロックの送信を停止させるまで、初期待ち時間の後のクワッドスループット SPI 連続読み込み操作の各クロックサイクルでは 4 ビットのデータが送信される。各ページに対して読み出せるデータは、2048 バイトのメインページ領域だけでなく、64 バイトのスペア領域も含む。

20

【0031】

図 5 にさらに示すように、別の基本的同時操作において、データレジスタ部分 57 (DR 1) の一部のページデータをキャッシュレジスタ部分 55 (CR 1) に転送し、キャッシュレジスタ部分 55 (CR 1) の一部のページデータに対して ECC 計算を行う (図 7 のブロック 708)。DR 1 から CR 1 への転送時間は、設計選択によって変化するが、通常範囲は、約 1 μs ~ 3 μs である。誤り訂正回路 53 (ECC 1) を完了させるのに必要な時間は、ECC アルゴリズムの選択、内部データバス、オンチップタイミング発振器周期、及びその他の設計要素によって決まる。例を挙げて説明すると、誤り訂正回路 52 は、ECC 計算を約 12 μs で完了するが、CR 0 データを送信する時間が 20 μs で、DR 1 から CR 1 への転送時間が 2 μs であると仮定すると、誤り訂正回路 52 及び 53 は、設計によって、ECC 計算を 18 μs 又はさらに短い時間内に完了させることができる。

30

【0032】

図 5 にさらに示すように、別の基本的同時操作において、次の順序 2 KB ページ 61 (ページ 1) を NAND アレイ 62 からデータレジスタ部分 56 及び 57 (DR 0 及び DR 1) に転送する (図 7 のブロック 710)。この転送は、ほぼブロック 708 に示した操作と同時に進行されるが、DR 1 から CR 1 への転送の後に開始される。例を挙げて説明すると、転送は、1 つの 2 KB 転送中に行われるが、読み込み伝送ゲートの制御を適切に変更して、DR 0 及び DR 1 の 1 KB 毎の転送中に読み込みを完了させることができ、この転送は、同時であっても、あるいは同時でなくてもよい。ページ読み込み操作の時間は、例えば、20 μs であるが、正確な時間は、例えば、検出回路、セルの種類、及び技術ノード等の設計要素によって変化する。

40

【0033】

図 5 では、各操作が基本的同時進行である場合を示したが、本発明で説明した教示に基づいて出力データの間隔及びその他の不連続を回避できれば、全ての操作が同時進行である必要はない。

【0034】

50

続いて、図 6 に示すように、様々な基本的同時操作が発生する。その中の 1 つの操作 (図 7 のブロック 7 1 2) では、キャッシュレジスタ部分 5 5 (C R 1) の既に E C C 計算を行ったページ 0 データを送信して、データバス 5 1 により出力する。クロック周波数が 1 0 0 M H z と仮定すると、約 2 0 μ s において C R 1 データ (1 K B) を送信することができる。

【 0 0 3 5 】

図 6 にさらに示すように、別の基本的同時操作において、データレジスタ部分 5 6 (D R 0) の一部のページデータをキャッシュレジスタ部分 5 4 (C R 0) に転送し、キャッシュレジスタ部分 5 4 (C R 0) の一部のページデータに対して E C C 計算を行う (図 7 のブロック 7 1 4) 。これらの操作は、基本的に、図 4 の関連説明において既に説明済みである。

10

【 0 0 3 6 】

間隔及びその他の不連続を回避するため、図 6 では、各操作が基本的同時進行である場合を示したが、操作のタイミングが禁止的であり、且つ出力中の不連続が許容可能なものであれば、これらの操作を同時進行する必要はない。

【 0 0 3 7 】

連続ページ読み込み操作は、ブロック 7 0 6 に折り返して継続し、クロックを止めることによって停止する。又は、連続ページ読み込みコマンドを変更して、予め定められた数のページ読み込みの後で、若しくは設計者が必要とする他の方法で停止してもよい。

【 0 0 3 8 】

有利なこととして、連続ページ読み込みコマンドがシングルコマンドである場合、ページ又はブロック境界に間隔又はその他の不連続を生じさせずに、NAND型メモリセルの全て又は必要な部分を読み終えることができる。これは、"ピンポン"式でデータを読み出すことによって、つまり、C R 0 及び C R 1 から交互に読み込むことによって実現する。基本的に、図 5 及び図 6 に示した操作は、NAND型メモリセルの全て又は必要な部分を読み込むまで繰り返される。初期待ち時間の後、C R 0 からの 1 K B データの出力が送信され、続いて、連続して C R 1 からの 1 K B データの出力が送信され、続いて、連続して C R 0 からの 1 K B データの出力が送信され、続いて、連続して C R 1 からの 1 K B データの出力が送信されるというように、ユーザーが必要なデータを受信してクロックを停止するまで、ピンポン式で行われる。

20

30

【 0 0 3 9 】

ページアドレスは、NAND型フラッシュメモリ装置のアドレスカウンタにより自動的に増加する。図 3 及び図 4 に示した操作は、初期待ち時間を構成するものであり、上述した他のタイミングと一致して、約 4 0 μ s である。初期待ち時間の後、クワッドスループット S P I 読み込みの実例では、ユーザーがクロックを停止するまで、各クロックサイクル中に 4 ビットのデータが送信される。ピンポン操作は、第 1 ページバッファ部分と第 2 ページバッファ部分の間で発生し、第 2 ページバッファ部分に対して E C C 計算を行うと同時に、第 1 ページバッファ部分がデータの出力を送信し、且つ第 1 ページバッファ部分に対して E C C 計算を行うと同時に、第 2 ページバッファ部分がデータの出力を送信する。

40

【 0 0 4 0 】

図 8 は、E C C による連続ページ読み込み操作のタイミングチャートである。ページ読み込み (P R) 時間、及びデータを第 1 キャッシュレジスタ部分からデータバス (C R 0) に送信し、データを第 2 キャッシュレジスタ部分からデータバス (C R 1) に送信するための時間は、それぞれ約 2 0 μ s である。E C C 計算時間が 1 2 μ s であり、D R から C R への転送時間が 2 μ s であると仮定すると、ページ読み込み操作に必要な時間が 2 6 μ s にまで達しても、連続した読み込み操作を維持することができる。点線の波形を追加することにより、ページ読み込み時間の潜在的増加 (2 0 μ s から 2 6 μ s まで) を示す。従って、E C C 計算時間とページ読み込み時間の間には、取引する機会が存在する、つまり、E C C 計算に必要な時間が多ければ、ページ読み込み時間を短く設計すること

50

ができ、同時に、ページ読み込み時間に必要な時間が多ければ、ECC計算時間を短く設計することができる。

【0041】

ここで使用した"連続読み込み"操作は、PRCMコマンドを発する典型的な"順序読み込み"操作とは異なる。PRCMコマンドは、オンチップECCをサポートせず、ページ境界で出力データの約3 μ sの待ち期間をもたらす。有利なこととして、ここで使用したように、連続読み込みは、オンチップECCをサポートし、出力データのこのような間隔及び不連続を全て取り除くことができる。

【0042】

しかしながら、互換性やその他の原因を必要とした場合、本発明で説明した教示に基づいて変更されたPRCMコマンドを使用して、オンチップECCをサポートする一連の読み込み操作を実施してもよい。ここで、ピンポンページバッファ38(図2)のような2つの部分のページバッファに対し、変更されたPRCMコマンドの説明を行うが、この設定は、2つ以上の部分を有するページバッファにも適用される。1つの実施例において、変更されたPRCMコマンドが、キャッシュレジスタの1つの部分(例えば、CR0)がECC処理されたデータを含むと仮定した場合、キャッシュレジスタの別の部分(例えば、CR1)は、ECC処理されたデータを含んでもよいし、ECC処理されたデータを含まなくてもよい。変更されたPRCMコマンドが、さらに、データレジスタが対応部分DR0及びDR1を含み、且つ少なくともDR1が有効なページデータを含むと仮定する。変更されたPRCMコマンドは、CR0のデータを出力し、この時間の間に、DR1からのデータをCR1にコピーして、それからCR1のデータに対してECCを行う。CR1のデータに対してECCを行うと同時に、NAND型メモリアレイから次のデータページを読み込み、DR0及びDR1に保存する。CR0からのデータ出力が完了した時、その後、間隔又は不連続があった場合は、CR1からデータが出力される。CR1のデータが出力されている時、且つページ読み込みが既に完了した後、DR0からのデータをCR0にコピーして、且つCR0のデータに対してECCを行う。CR0のデータに対するECCは、CR1からの出力が完了する前に完了する。この時、CR0は、ECC処理されたデータを含み、DR1は、有効なページデータを含む。これらは、次の変更されたPRCMコマンドの初期条件である。

【0043】

様々な技術を用いて、変更されたPRCMコマンドに対してページバッファを初期化することができる。これらの技術は、変更された連続読み込みコマンドと一緒に使用してもよい。キャッシュレジスタ全体がECC処理されたデータを含むと仮定するか、又は、変更されたPRCMコマンドの場合では、CR0がECC処理されたデータを含み、且つDR1が有効なページデータを含むと仮定することにより、連続読み込みコマンドを変更して、初期待ち時間を回避することができる。変更された連続読み込みコマンドは、ユーザーがコマンド、アドレス及びオプションのダミークロックを提供した後すぐに、初期待ち時間なしでデータを出力することができる。1つの初期化技術において、完全な初期化コマンドにより、データレジスタのページ読み込み、データレジスタからキャッシュレジスタへのデータの転送、及びキャッシュレジスタの全体のECC訂正が行われる。ECC処理に必要な時間は、この技術がもたらす遅延により、約60 μ sに近づけることができる。別の技術では、部分的初期化コマンドにより、データレジスタのページ読み込み、データレジスタからキャッシュレジスタへのデータの転送、及びキャッシュレジスタの一部のみのECC訂正が行われる。ECC処理に必要な時間は、この技術がもたらす遅延により、約40 μ sに近づけることができる。

【0044】

また、別の変形例において、2つ以上の部分、例えば、3つ、4つ、又はそれ以上の部分を用いて、キャッシュレジスタ及びデータレジスタを構成し、各操作を交互に実施してもよい。

【0045】

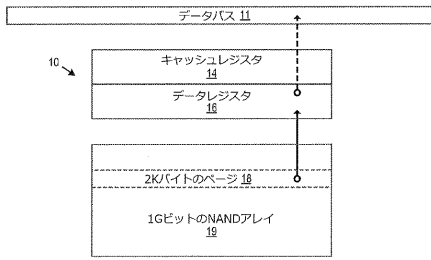
以上のごとく、この発明を実施形態により開示したが、もとより、この発明を限定するためのものではなく、当業者であれば容易に理解できるように、この発明の技術思想の範囲内において、適当な変更ならびに修正が当然なされうるものであるから、その特許権保護の範囲は、特許請求の範囲及び、それと均等な領域を基準として定めなければならない。

【符号の説明】

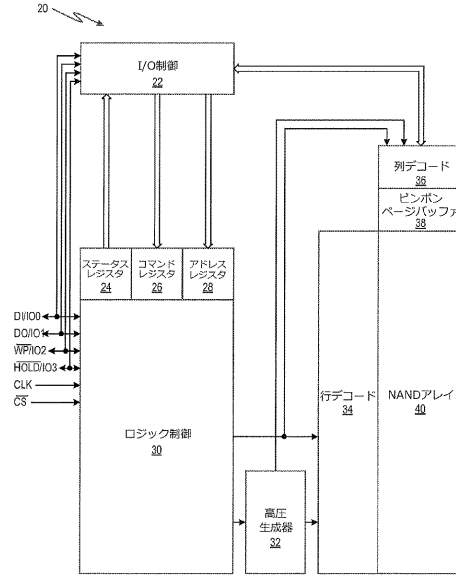
【 0 0 4 6 】

10	:	ページバッファ	
11	:	データバス	
14	:	キャッシュレジスタ	10
16	:	データレジスタ	
18	:	2 Kバイトのページ	
19	:	1 GビットのNANDアレイ	
20	:	NAND型フラッシュメモリ装置	
22	:	I/O制御	
24	:	ステータスレジスタ	
26	:	コマンドレジスタ	
28	:	アドレスレジスタ	
30	:	ロジック制御	
32	:	高圧生成器	20
34	:	行デコーダ	
36	:	列デコーダ	
38	:	ピンポンページバッファ	
40	:	NANDアレイ	
50	:	ページバッファ	
51	:	データバス	
52、53	:	誤り訂正回路	
54、55	:	キャッシュレジスタ部分	
56、57	:	データレジスタ	
60、61	:	ページ	30
62	:	NANDアレイ	
700 ~ 714	:	本発明の実施形態の連続ページ読み込み操作のフローチャートの各ブロック	

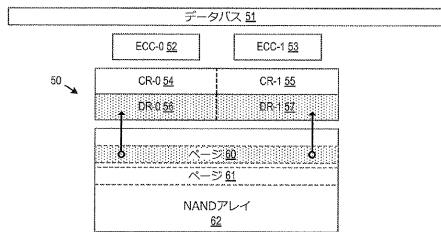
【図1】



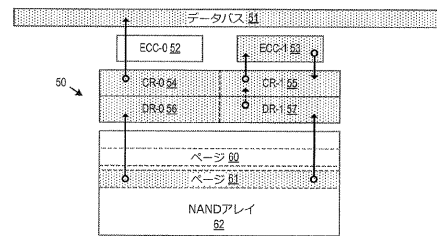
【図2】



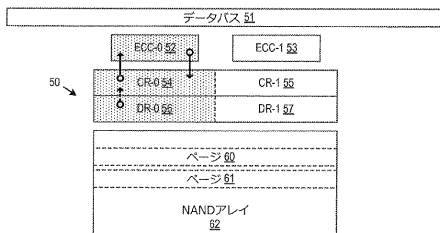
【図3】



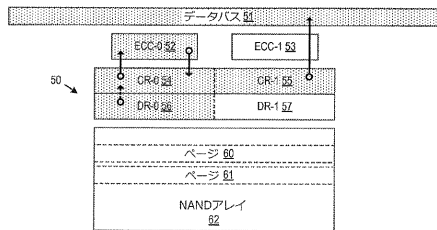
【図5】



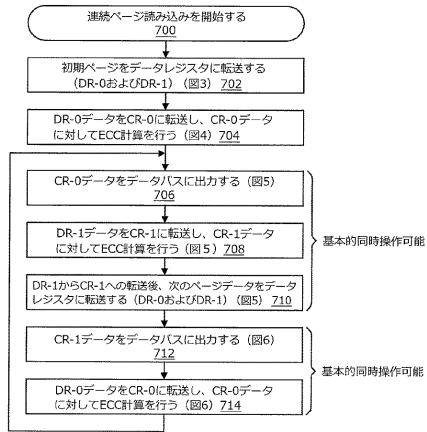
【図4】



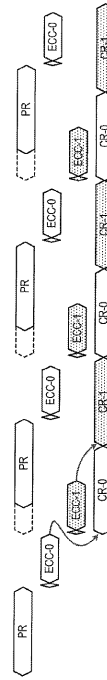
【図6】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 ロビン ジョン ジゲール

アメリカ合衆国 カリフォルニア州 9 5 1 3 2、サンノゼ、1 4 3 5 ランチ コート

Fターム(参考) 5B125 BA02 CA01 DA03 DA05 DA09 DE06 DE08 DE17 EA05 EE19

EE20 EF03 EF05 EF10 FA01 FA02