

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-225310
(P2014-225310A)

(43) 公開日 平成26年12月4日(2014.12.4)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 A	5 B 1 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 1 3	
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 2 2 E	
	G 1 1 C 17/00 6 3 4 B	

審査請求 未請求 請求項の数 5 O L (全 28 頁)

(21) 出願番号	特願2013-104179 (P2013-104179)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成25年5月16日 (2013.5.16)	(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100103034 弁理士 野河 信久
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100153051 弁理士 河野 直樹

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

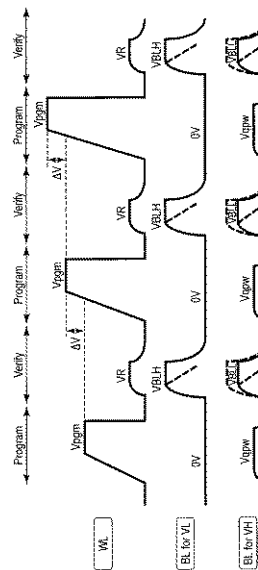
(57) 【要約】

【課題】プログラム後のペリファイ動作にかかる時間を短くする。

【解決手段】不揮発性半導体記憶装置10は、選択ワード線にプログラムパルス電圧を印加して選択ワード線に接続された複数の選択メモリセルにデータをプログラムするプログラム動作と、複数の選択メモリセルの閾値電圧を確認するペリファイ動作とを繰り返す制御回路18を含む。制御回路18は、複数の選択メモリセルに対して、第1閾値電圧以上であるか否かを検知する第1ペリファイ動作と、第2閾値電圧(第1閾値電圧<第2閾値電圧)以上であるか否かを検知する第2ペリファイ動作とを行い、第1ペリファイ動作及び第2ペリファイ動作で複数のビット線の充電電圧を変える。

【選択図】 図6

図6



【特許請求の範囲】

【請求項 1】

複数のメモリセルが直列接続された複数のメモリストリングを含むメモリセルアレイと

、
前記複数のメモリストリングにそれぞれ接続された複数のビット線と、
前記複数のメモリセルにそれぞれ接続され、前記複数のメモリストリングに共通接続された複数のワード線と、

選択ワード線にプログラムパルス電圧を印加して前記選択ワード線に接続された複数の選択メモリセルにデータをプログラムするプログラム動作と、前記複数の選択メモリセルの閾値電圧を確認するベリファイ動作とを繰り返す制御回路と、

を具備し、

前記制御回路は、前記複数の選択メモリセルに対して、第 1 閾値電圧以上であるか否かを検知する第 1 ベリファイ動作と、第 2 閾値電圧（第 1 閾値電圧 < 第 2 閾値電圧）以上であるか否かを検知する第 2 ベリファイ動作とを行い、

前記第 1 ベリファイ動作及び前記第 2 ベリファイ動作で前記複数のビット線の充電電圧を変えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記制御回路は、前記第 1 ベリファイ動作及び前記第 2 ベリファイ動作を同時に行うことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記第 2 ベリファイ動作の充電電圧は、前記第 1 ベリファイ動作の充電電圧より低いことを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

複数のメモリセルが直列接続された複数のメモリストリングを含むメモリセルアレイと

、
前記複数のメモリストリングにそれぞれ接続された複数のビット線と、
前記複数のメモリセルにそれぞれ接続され、前記複数のメモリストリングに共通接続された複数のワード線と、

選択ワード線に隣接する隣接ワード線に接続された複数の隣接メモリセルのデータを読み出す事前読み出し動作と、前記事前読み出し動作の読み出し結果に応じて前記選択ワード線に接続された複数の選択メモリセルのデータを読み出す読み出し動作とを行う制御回路と、

を具備し、

前記制御回路は、前記読み出し動作の際に、前記読み出し結果に応じて前記複数のビット線の充電電圧を変えることを特徴とする不揮発性半導体記憶装置。

【請求項 5】

前記充電電圧は、隣接メモリセルとのセル間干渉による閾値電圧のシフト量が大きい選択メモリセルに対応するビット線ほど低く設定されることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

現在知られている E E P R O M の多くは、電荷蓄積層（たとえば浮遊ゲート電極）に電荷を蓄積するタイプのメモリセルを用いている。その 1 つである N A N D 型フラッシュメモリにおいては、書き込み動作及び消去動作の両方に F N トンネル電流を用いたデータ書き換えが行われる。近年では、1 つのメモリセルに 2 ビット以上のデータを記憶する多値記憶技術が導入され、物理的に同じセルサイズで記憶容量を 2 倍以上に増やすことも可能

10

20

30

40

50

になってきている。

【 0 0 0 3 】

データ読み出しの信頼性を向上させるためには、閾値電圧分布ができるだけ狭くなるように書き込みを行えばよい。しかしこの場合、細かなベリファイ動作を必要とするため、書き込み時間が増加してしまう。また、各データの閾値電圧を上げることにより閾値電圧分布間のマージンを拡大することも考えられるが、この場合には最も高い閾値電圧分布が高電圧側に引き上げられるので、非選択メモリセルの書き込みパス電圧や読み出しパス電圧を増加させる必要があり、メモリセルに対するストレスが増加してしまう。

【先行技術文献】

【特許文献】

10

【 0 0 0 4 】

【特許文献 1】特開 2 0 1 1 - 2 5 8 2 8 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

実施形態は、プログラム後のベリファイ動作にかかる時間又は読み出し動作にかかる時間を短くすることが可能な不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【 0 0 0 6 】

実施形態に係る不揮発性半導体記憶装置は、複数のメモリセルが直列接続された複数のメモリストリングを含むメモリセルアレイと、前記複数のメモリストリングにそれぞれ接続された複数のビット線と、前記複数のメモリセルにそれぞれ接続され、前記複数のメモリストリングに共通接続された複数のワード線と、選択ワード線にプログラムパルス電圧を印加して前記選択ワード線に接続された複数の選択メモリセルにデータをプログラムするプログラム動作と、前記複数の選択メモリセルの閾値電圧を確認するベリファイ動作とを繰り返す制御回路とを具備する。前記制御回路は、前記複数の選択メモリセルに対して、第 1 閾値電圧以上であるか否かを検知する第 1 ベリファイ動作と、第 2 閾値電圧（第 1 閾値電圧 < 第 2 閾値電圧）以上であるか否かを検知する第 2 ベリファイ動作とを行い、前記第 1 ベリファイ動作及び前記第 2 ベリファイ動作で前記複数のビット線の充電電圧を変える。

20

【図面の簡単な説明】

【 0 0 0 7 】

【図 1】第 1 実施形態に係る NAND 型フラッシュメモリのブロック図。

【図 2】メモリセルアレイの回路図。

【図 3】メモリセルの閾値電圧分布を説明する図。

【図 4】メモリセルの閾値電圧がシフトする様子を説明する図。

【図 5】比較例に係るプログラムシーケンスを説明するタイミングチャート。

【図 6】第 1 実施形態に係る S L C のプログラムシーケンスを説明するタイミングチャート。

【図 7】第 1 実施形態に係る S L C のプログラムシーケンスを説明するフローチャート。

40

【図 8】複数の閾値電圧分布のベリファイ電圧を説明する図。

【図 9】比較例に係るプログラムシーケンスを説明するタイミングチャート。

【図 1 0】第 1 実施形態に係る M L C のプログラムシーケンスを説明するタイミングチャート。

【図 1 1】図 1 0 のベリファイ動作の詳細を説明するタイミングチャート。

【図 1 2】第 2 実施形態に係るベリファイ動作を説明するタイミングチャート。

【図 1 3】第 3 実施形態に係るプログラムシーケンスを説明するタイミングチャート。

【図 1 4】第 3 実施形態に係るプログラムシーケンスを説明するフローチャート。

【図 1 5】変形例に係るプログラムシーケンスを説明するタイミングチャート。

【図 1 6】変形例に係るプログラムシーケンスを説明するフローチャート。

50

- 【図 17】第 4 実施形態に係るプログラムシーケンスを説明するタイミングチャート。
 【図 18】第 4 実施形態に係るプログラムシーケンスを説明するフローチャート。
 【図 19】変形例に係るプログラムシーケンスを説明するフローチャート。
 【図 20】変形例に係るプログラムシーケンスを説明するフローチャート。
 【図 21】第 5 実施形態に係るプログラムシーケンスを説明するタイミングチャート。
 【図 22】第 5 実施形態に係るプログラムシーケンスを説明するフローチャート。
 【図 23】第 6 実施形態に係るプログラムシーケンスを説明するタイミングチャート。
 【図 24】第 6 実施形態に係るプログラムシーケンスを説明するフローチャート。
 【図 25】第 7 実施形態に係るペリファイ動作を説明するタイミングチャート。
 【図 26】比較例に係る読み出し動作を説明するタイミングチャート。
 【図 27】第 8 実施形態に係る下位ページ読み出し動作を説明するタイミングチャート。
 【図 28】第 8 実施形態に係る上位ページ読み出し動作を説明するタイミングチャート。
 【図 29】第 8 実施形態に係るシーケンシャル読み出し動作を説明するタイミングチャート。
 【図 30】第 9 実施形態に係る下位ページ読み出し動作を説明するタイミングチャート。
 【図 31】第 9 実施形態に係る上位ページ読み出し動作を説明するタイミングチャート。
 【図 32】第 9 実施形態に係るシーケンシャル読み出し動作を説明するタイミングチャート。

10

【発明を実施するための形態】

【0008】

20

以下、実施形態について図面を参照して説明する。ただし、図面は模式的または概念的なものであり、各図面の寸法および比率などは必ずしも現実のものとは限らない。以下に示す幾つかの実施形態は、本発明の技術思想を具体化するための装置および方法を例示したものであって、構成部品の形状、構造、配置などによって、本発明の技術思想が特定されるものではない。なお、以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0009】

不揮発性半導体記憶装置は、データを電氣的に書き換え可能な半導体メモリであり、以下の実施形態では、不揮発性半導体記憶装置として NAND 型フラッシュメモリを例に挙げて説明する。

30

【0010】

[第 1 実施形態]

[1. NAND 型フラッシュメモリの構造]

図 1 は、第 1 実施形態に係る NAND 型フラッシュメモリ 10 のブロック図である。

メモリセルアレイ 11 は、複数のメモリセルがマトリクス状に配置されて構成される。メモリセルは、電氣的に書き換え可能な EEPROM セルから構成される。メモリセルアレイ 11 には、メモリセルの電圧を制御するために、複数のビット線、複数のワード線、及びソース線が配設される。

【0011】

ロウデコーダとしてのワード線制御回路 12 は、複数のワード線に接続され、データの読み出し、書き込み、及び消去時に、ワード線の選択及び駆動を行う。ビット線制御回路 13 は、複数のビット線に接続され、データの読み出し、書き込み、及び消去時に、ビット線の電圧を制御する。また、ビット線制御回路 13 は、データの読み出し時にビット線のデータを検知し、データの書き込み時に書き込みデータに応じた電圧をビット線に印加する。カラムデコーダ 14 は、アドレスデコーダ 15 の出力信号に応じて、ビット線を選択するためのカラム選択信号を生成し、このカラム選択信号をビット線制御回路 13 に送る。

40

【0012】

入出力制御回路 16 は、外部から各種コマンド CMD、及びアドレス信号 ADD を受け、また、外部との間でデータ DT の送受信を行う。データの書き込み時、書き込みデータ

50

は、入出力制御回路 16 からデータ入出力バッファ 17 を介してビット線制御回路 13 に送られる。データの読み出し時、ビット線制御回路 13 により読み出された読み出しデータは、データ入出力バッファ 17 を介して入出力制御回路 16 に送られ、入出力制御回路 16 から外部に出力される。

【0013】

入出力制御回路 16 からデータ入出力バッファ 17 に送られたアドレス信号 ADD は、アドレスデコーダ 15 に送られる。アドレスデコーダ 15 は、アドレス信号 ADD をデコードし、ロウアドレスをワード線制御回路 12 に送り、カラムアドレスをカラムデコーダ 14 に送る。

【0014】

入出力制御回路 16 からデータ入出力バッファ 17 に送られたコマンド CMD は、制御回路（コントローラ）18 に送られる。制御回路 18 には、外部からチップイネーブル信号 / CE、書き込みイネーブル信号 / WE、読み出しイネーブル信号 / RE、アドレスラッチイネーブル信号 ALE、及びコマンドラッチイネーブル信号 CLE 等を含む外部制御信号が入力される。制御回路 18 は、動作モードに応じて入力される外部制御信号及びコマンド CMD に基づいて、読み出し動作、書き込み動作、及び消去動作を制御する制御信号を発生する。この制御信号は、ワード線制御回路 12、ビット線制御回路 13、及び制御電圧発生回路 19 等に送られる。制御回路 18 は、この制御信号を用いて、NAND 型フラッシュメモリ 10 の各種動作を統括的に制御する。

【0015】

制御電圧発生回路 19 は、制御回路 18 から送られる各種制御信号に応じて、読み出し電圧、書き込み電圧、ベリファイ電圧、及び消去電圧等、メモリセルアレイ 11、ワード線制御回路 12、及びビット線制御回路 13 の各種動作に必要な電圧を発生する。

【0016】

パラメータ記憶部 20 は、入出力制御回路 16、及び制御回路 18 に接続され、例えばテスト工程で決定されたチップの品質に適したパラメータを記憶する。

【0017】

次に、図 1 に示したメモリセルアレイ 11 の構成について説明する。図 2 は、メモリセルアレイ 11 の回路図である。

【0018】

メモリセルアレイ 11 は、複数（ j 個）のブロック BLK0 ~ BLK j - 1 を備える。各ブロック BLK は、X 方向に沿って順に配列された複数（ m 個）の NAND ストリング NS を備える。各 NAND ストリング NS において、複数（ n 個）のメモリセル MC は、選択トランジスタ ST1 のソースと選択トランジスタ ST2 のドレインとの間に、それぞれの電流経路が直列接続されるように配置される。NAND ストリング NS に含まれる選択トランジスタ ST1 は、ドレインがビット線 BL に接続され、ゲートが選択ゲート線 SGD に共通接続される。NAND ストリング NS に含まれる選択トランジスタ ST2 は、ソースがソース線 SL に共通接続され、ゲートが選択ゲート線 SGS に共通接続される。

【0019】

各メモリセル MC は、p 型ウェル上に形成され、電荷蓄積層（例えば、浮遊ゲート電極）を有する積層ゲートを備えた MOSFET（Metal Oxide Semiconductor Field Effect Transistor）から構成される。メモリセル MC の積層ゲートは、p 型ウェル上にゲート絶縁膜を介して形成された電荷蓄積層、及び電荷蓄積層上に絶縁膜を介して形成された制御ゲート電極を含む。メモリセル MC は、電荷蓄積層に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じてデータを記憶する。メモリセル MC は、2 値（1 ビット）を記憶するように構成してもよいし、多値（2 ビット以上）を記憶するように構成してもよい。

【0020】

NAND ストリング NS において、最もソース側（選択トランジスタ ST2 側）に位置するメモリセル MC から順に、制御ゲート電極がワード線 WL0 ~ WL n - 1 にそれぞれ

10

20

30

40

50

接続される。従って、ワード線 $W L n - 1$ に接続されるメモリセル $M C$ のドレインは選択トランジスタ $S T 1$ のソースに接続され、ワード線 $W L 0$ に接続されるメモリセル $M C$ のソースは選択トランジスタ $S T 2$ のドレインに接続される。ワード線 $W L 0 \sim W L n - 1$ は、 X 方向（ロウ方向）に延在する。

【0021】

ワード線 $W L 0 \sim W L n - 1$ は、1つのブロック $B L K$ 内の複数の $N A N D$ スtring $N S$ 間で、メモリセル $M C$ の制御ゲート電極を共通接続する。つまり、ブロック $B L K$ 内において同一行にあるメモリセル $M C$ の制御ゲート電極は、同一のワード線 $W L$ に接続される。同一のワード線 $W L$ に接続される m 個のメモリセル $M C$ はページとして取り扱われ、このページごとにデータの書き込み及び読み出しが行われる。

10

【0022】

また、ビット線 $B L 0 \sim B L m - 1$ は、ブロック $B L K 0 \sim B L K j - 1$ 間で、選択トランジスタ $S T 1$ のドレインを共通接続する。つまり、ブロック $B L K 0 \sim B L K j - 1$ 内において同一列にある $N A N D$ スtring $N S$ は、同一のビット線 $B L$ に接続される。ビット線 $B L 0 \sim B L m - 1$ は、 X 方向と交差する Y 方向（カラム方向）に延在する。

【0023】

各ビット線 $B L$ は、センスアンプ $S A$ 及びデータラッチ $D L$ に接続される。センスアンプ $S A$ 及びデータラッチ $D L$ は、ビット線制御回路 13 に含まれる。センスアンプ $S A$ は、データの読み出し時、ビット線 $B L$ の電位変動を検知及び増幅し、メモリセル $M C$ が記憶するデータを判別する。また、センスアンプ $S A$ は、データの書き込み時、ビット線 $B L$ を充電又は放電させる。データラッチ $D L$ は、メモリセル $M C$ から読み出されたデータ、及びメモリセル $M C$ に書き込むデータを、一時的に記憶する。

20

【0024】

次に、メモリセル $M C$ の閾値電圧分布について説明する。図3は、メモリセル $M C$ の閾値電圧分布を説明する図である。図3の横軸がメモリセル $M C$ の閾値電圧 V_{th} である。図3(a)は、2値を記憶可能なメモリセル $M C$ 、いわゆる $S L C$ (Single Level Cell) の閾値電圧分布を説明する図である。メモリセル $M C$ が2値（1ビット/セル）を記憶する場合、閾値電圧が低い方（例えば負の閾値電圧）は消去状態であり、例えばデータ "1" が割り当てられる。閾値電圧が高い方（例えば正の閾値電圧）は書き込み状態であり、例えばデータ "0" が割り当てられる。

30

【0025】

図3(b)は、多値を記憶可能なメモリセル $M C$ 、いわゆる $M L C$ (Multi Level Cell) の閾値電圧分布を説明する図である。以下の実施形態では、 $M L C$ として、2ビットを記憶可能なメモリセル $M C$ を例に挙げて説明するが、もちろん3ビット以上を記憶可能なメモリセルにも適用できる。

【0026】

メモリセル $M C$ が4値（2ビット/セル）を記憶する場合、閾値電圧の低い方から、4種類の閾値電圧分布 E 、 A 、 B 、 C が設けられる。これらの閾値電圧分布 E 、 A 、 B 、 C に対してそれぞれ、データが割り当てられる。

【0027】

2ビットデータ "11"、"01"、"00"、"10" は、上位ページデータ "x" と下位ページデータ "y" とにより "xy" で表される。2ビットデータの書き込み（プログラム）は、下位ページプログラムと上位ページプログラムとの2回のプログラム動作を必要とする。

40

【0028】

閾値電圧分布 E は、メモリセル $M C$ の閾値電圧の最も低い消去状態（例えば、負の閾値電圧）である。下位ページデータをメモリセル $M C$ にプログラムした場合、メモリセル $M C$ は、閾値電圧分布 E 、及び閾値電圧分布 $L M$ (Lower Middle) のいずれかに設定される。下位ページプログラムは、閾値電圧分布 E のメモリセル $M C$ を選択的に閾値電圧分布 $L M$ に設定する動作である。閾値電圧分布 $L M$ のメモリセル $M C$ は、例えば下位ページデー

50

タが " 0 " のセルである。

【 0 0 2 9 】

上位ページプログラムは、閾値電圧分布 E のメモリセルを選択的に閾値電圧分布 A に設定する第 1 の上位ページプログラムと、閾値電圧分布 L M のメモリセルを選択的に閾値電圧分布 B、C に設定する第 2 の上位ページプログラムとを含む。下位ページプログラム及び上位ページプログラムをメモリセル M C に実行することで、メモリセル M C を閾値電圧分布 E、A、B、C のいずれかに設定できる。

【 0 0 3 0 】

また、図 3 に示した読み出しパス電圧 V_{read} は、最も高い閾値電圧分布の上限よりも高い電圧である。よって、読み出しパス電圧 V_{read} が印加されたメモリセルは、記憶データに関わらずオンする。この読み出しパス電圧 V_{read} は、読み出し時において、非選択のワード線に印加される電圧である。

10

【 0 0 3 1 】

[2 . 動作]

メモリセルのデータをプログラムする場合には、メモリセルにプログラムパルス電圧を印加する動作と、メモリセルの閾値電圧を確認する動作とが繰り返されて、メモリセルの閾値電圧が所定電圧に設定される。この際、プログラム回数が増えるにつれて、プログラムパルス電圧がステップアップされる。以下の説明では、ワード線にプログラムパルス電圧を印加してメモリセルの閾値電圧をシフトさせる動作をプログラム動作と呼び、ベリファイ電圧を用いてメモリセルの閾値電圧を確認する動作をベリファイ動作と呼ぶ。また、プログラムパルス電圧をステップアップしながらプログラム動作及びベリファイ動作を繰り返す一連の動作をプログラムシーケンスと呼ぶ。

20

【 0 0 3 2 】

プログラム時間の増大を抑えつつ、プログラム後の閾値電圧分布幅を狭める方法として Q P W (Quick Pass Write) 方式が考案されている。Q P W 方式は、本来のベリファイレベルより低いレベルに到達したメモリセルに対して、次回以降のプログラム時、ビット線に中間電圧を印加し、プログラムの強さを弱めることで、閾値電圧の変動を少なくし、閾値電圧分布を狭めることができる。

【 0 0 3 3 】

以下に、S L C、M L C の順に、N A N D 型フラッシュメモリ 1 0 の動作について説明する。

30

[2 - 1 . S L C について]

< 比較例 >

まず、S L C に関する比較例について説明する。図 4 は、メモリセルの閾値電圧がシフトする様子を説明する図である。図 5 は、比較例に係るプログラムシーケンスを説明するタイミングチャートである。図 4 及び図 5 において、2 種類のベリファイ電圧 V_L 、 V_H が用意され、ベリファイ電圧 V_H は、メモリセルをプログラム状態 (メモリセルが " 0 " データを記憶する状態) に設定する際の閾値電圧の下限値であり、閾値電圧がベリファイ電圧 V_H 以上になると、該メモリセルのプログラムが完了する。ベリファイ電圧 V_L は、ベリファイ電圧 V_H より若干低く設定される。

40

【 0 0 3 4 】

プログラム動作では、選択ワード線にプログラムパルス電圧 V_{pgm} が印加され、非選択ワード線にプログラムパス電圧 V_{pass} が印加され、選択ゲート線 S G D、S G S にそれぞれ電源電圧 V_{dd} (例えば 3 V)、接地電圧 V_{ss} (0 V) が印加される。選択ワード線は、プログラム対象のワード線であり、非選択ワード線は、プログラム非対象のワード線である。プログラムパス電圧 V_{pass} は、選択ワード線に書き込み電圧 V_{pgm} を印加している際に非選択ワード線に接続されたメモリセルを書き込み禁止とする非書き込みワード線電圧であり、 $V_{pass} < V_{pgm}$ である。

【 0 0 3 5 】

このプログラム動作に先立って、ビット線は、書き込みデータに応じてプリチャージさ

50

れる。具体的には、" 0 " データをプログラムする場合には、センスアンプ S A によってビット線に 0 V が印加される。このビット線電圧は、選択トランジスタ S T 1 を介して N A N D ストリングのチャンネルに転送される。従って、上述のプログラム動作条件下で選択メモリセルのチャンネルから電荷蓄積層に電荷が注入され、選択メモリセルの閾値電圧が正側にシフトする。

【 0 0 3 6 】

なお、メモリセルに消去状態（メモリセルが " 1 " データを記憶する状態）を維持させる場合、センスアンプ S A によってビット線に V d d が印加される。このビット線電圧 V d d が、選択トランジスタ S T 1 の閾値電圧分低下して N A N D ストリングのチャンネルに転送された後、チャンネルはフローティング状態にされる。これにより、上述したプログラムパルス電圧 V p g m 及びプログラムパス電圧 V p a s s が選択ワード線及び非選択ワード線に印加されると、チャンネル電圧が容量カップリングによって上昇し、電荷蓄積層への電荷注入が行われぬ。従って、メモリセルは " 1 " データを保持する。

10

【 0 0 3 7 】

次に、ベリファイ動作について説明する。ベリファイ動作では、選択ワード線にベリファイ電圧 V L が印加され、非選択ワード線に読み出しパス電圧 V r e a d が印加され、選択ゲート線 S G D、S G S にそれぞれ V d d、0 V が印加される。続いて、ビット線を所定電圧（例えば V d d）に充電した後、選択ゲート線 S G S に V d d を印加する。これにより、選択メモリセルの閾値電圧がベリファイ電圧 V L 以上であれば、ビット線がほとんど放電されず、このビット線電圧をセンスアンプ S A が検知することで、ベリファイがパスとなる。選択メモリセルの閾値電圧がベリファイ電圧 V L 未満であれば、ビット線が放電され、ベリファイがフェイルとなる。続いて、プログラムパルス電圧 V p g m をステップアップ電圧 V だけ増加させながら、プログラム動作とベリファイ動作とが繰り返される。

20

【 0 0 3 8 】

さらに、ベリファイ電圧 V L を用いたベリファイがパスしたメモリセルに対しては、次回以降のプログラム時、ビット線に中間電圧 V q p w ($0 V < V q p w < V d d$) を印加し、プログラムの強さを弱めることで、閾値電圧の変動を少なくする。続いて、ベリファイ電圧 V H を用いたベリファイ動作が行われる。続いて、プログラムパルス電圧 V p g m をステップアップ電圧 V だけ増加させながら、プログラム動作とベリファイ動作とが繰り返される。

30

【 0 0 3 9 】

図 5 の比較例は、2 回目のプログラムでベリファイ電圧 V L のベリファイがパスし、3 回目のプログラムでベリファイ電圧 V H のベリファイがパスする例である。この比較例では、ベリファイ電圧 V L を用いたベリファイ動作と、ベリファイ電圧 V H を用いたベリファイ動作とが個別に行われるため、ベリファイ動作に時間を要し、結果としてプログラムシーケンス時間が長くなる。

【 0 0 4 0 】

< 実施形態 >

次に、第 1 実施形態に係る S L C のベリファイ動作について説明する。図 6 は、第 1 実施形態に係る S L C のプログラムシーケンスを説明するタイミングチャートである。図 7 は、第 1 実施形態に係る S L C のプログラムシーケンスを説明するフローチャートである。

40

【 0 0 4 1 】

第 1 実施形態では、ベリファイ動作におけるビット線の充電電圧として、2 種類の電圧 V B L H、V B L L ($V B L H > V B L L$) を用意する。ビット線を電圧 V B L H に充電してベリファイ動作を行うと、ビット線が所定電圧まで放電される時間が長くなる。一方、ビット線を電圧 V B L L に充電してベリファイ動作を行うと、ビット線が所定電圧まで放電される時間が、V B L H の場合に比べて短くなる。そこで、V L レベルのベリファイ（V L ベリファイと呼ぶ）を、電圧 V B L H を用いたベリファイで模擬的に実現し、また

50

、VHレベルのベリファイ（VHベリファイと呼ぶ）を、電圧VBLを用いたベリファイで模擬的に実現する。

【0042】

まず、閾値電圧がVLレベル未満のメモリセルに対して、ビット線電圧VBL = 0Vにしてプログラム動作が行なわれる（ステップS10）。続いて、選択ワード線にベリファイ電圧VRを印加し、かつビット線を電圧VBHに充電して、ベリファイ動作（VLベリファイ）が行われる（ステップS11）。ベリファイ電圧VRは、例えば図4のベリファイ電圧VHと同じ電圧が用いられる。ステップS11のVLベリファイの結果、メモリセルの閾値電圧がVLレベル未満である場合（VLベリファイがフェイル）、ステップS10に戻り、プログラムパルス電圧をステップアップして再度プログラム動作が行われる（ステップS12）。なお、メモリセルの閾値電圧がVLレベル未満である場合は、該メモリセルがオンするため、ビット線が放電される。このビット線が放電される様子は、図6のビット線の波形の破線で示される。

10

【0043】

ステップS11のVLベリファイの結果、メモリセルの閾値電圧がVLレベル以上である場合（VLベリファイがパス）、ビット線電圧VBL = Vqpwにしてプログラム動作が行われる（ステップS13）。なお、メモリセルの閾値電圧がVLレベル以上である場合は、該メモリセルがオフするため、ビット線がほとんど放電されない。このビット線の電圧が維持される様子は、図6のビット線の波形の実線で示される。

【0044】

続いて、選択ワード線にベリファイ電圧VRを印加し、かつビット線を電圧VBLに充電して、ベリファイ動作（VHベリファイ）が行われる（ステップS14）。VLベリファイ及びVHベリファイにおけるセンス時間は同じである。電圧VBH、VBLは、VBH > VBLの関係を維持しつつ、実際に作製されるメモリセルの特性（例えば放電特性）、及びベリファイ時における所望のセンス時間に応じて設計される。図6のVBLの波形には、電圧レベルの比較のために、VBHの波形を破線で重ねて示している。

20

【0045】

ステップS14のVHベリファイの結果、メモリセルの閾値電圧がVHレベル未満である場合（VHベリファイがフェイル）、ステップS13に戻り、プログラムパルス電圧をステップアップして再度プログラム動作が行われる（ステップS15）。一方、メモリセルの閾値電圧がVHレベル以上である場合（VHベリファイがパス）、当該メモリセルのプログラムが完了する。その後、選択ワード線に接続された全ての選択メモリセルにおいて、プログラムされる閾値電圧に対応するVHベリファイがパスすると、プログラムシーケンスが終了する。

30

【0046】

[2 - 2 . MLC について]

< 比較例 >

まず、MLCに関する比較例について説明する。図8は、複数の閾値電圧分布のベリファイ電圧を説明する図である。前述したように、MLCは、4種類の閾値電圧分布E、A、B、Cのいずれかに設定可能である。メモリセルを閾値電圧分布Aにプログラムする場合には、ベリファイ電圧AVL、AVH（AVL < AVH）を用いてベリファイ動作が行われる。メモリセルを閾値電圧分布Bにプログラムする場合には、ベリファイ電圧BVL、BVH（BVL < BVH）を用いてベリファイ動作が行われる。メモリセルを閾値電圧分布Cにプログラムする場合には、ベリファイ電圧CVL、CVH（CVL < CVH）を用いてベリファイ動作が行われる。そして、ベリファイ結果を利用して、QPW方式が実施される。

40

【0047】

図9は、比較例に係るプログラムシーケンスを説明するタイミングチャートである。まず、選択ワード線にプログラムパルス電圧Vpgm、ビット線に0Vを印加して、プログ

50

ラム動作が行われる。続いて、ベリファイレベルが低い順、すなわち、AVL、AVH、BVL、BVH、CVL、CVHの順に、計6回のベリファイ動作が行われる。その後、図示は省略するが、ベリファイ結果に応じて、ビット線に0V又は中間電圧 V_{qpw} を印加して、プログラム動作が行われる。

【0048】

図9の比較例では、各閾値電圧分布で2回のセンスを行うので、プログラムシーケンス時間が長くなり、さらに閾値電圧分布の数が増えるにつれてプログラムシーケンス時間が長くなる。

【0049】

<実施形態>

次に、第1実施形態に係るMLCのベリファイ動作について説明する。図10は、第1実施形態に係るMLCのプログラムシーケンスを説明するタイミングチャートである。MLCのプログラムシーケンスを説明するフローチャートは、図7と同じである。

【0050】

まず、閾値電圧がVLレベル未満のメモリセルに対して、ビット線電圧 $V_{BL} = 0V$ にしてプログラム動作が行なわれる(ステップS10)。VLレベルは、閾値電圧分布Aにプログラムされるメモリセルに関してはAVLレベル、閾値電圧分布Bにプログラムされるメモリセルに関してはBVLレベル、閾値電圧分布Cにプログラムされるメモリセルに関してはCVLレベルとなる。

【0051】

続いて、選択ワード線にベリファイ電圧を印加し、かつビット線を電圧 V_{BLH} に充電して、ベリファイ動作(VLベリファイ)が行われる(ステップS11)。ベリファイ電圧は、閾値電圧分布Aにプログラムされるメモリセルに関してはAR、閾値電圧分布Bにプログラムされるメモリセルに関してはBR、閾値電圧分布Cにプログラムされるメモリセルに関してはCRとなり、 $AR < BR < CR$ の関係性を有する。ベリファイ電圧AR、BR、CRはそれぞれ、例えば図8のベリファイ電圧AVH、BVH、CVHと同じ電圧が用いられる。

【0052】

図11は、図10のベリファイ動作の詳細を説明するタイミングチャートである。VLレベルのベリファイ動作では、AVLベリファイ、BVLベリファイ、及びCVLベリファイが連続して行われる。ステップS11のVLベリファイがフェイルである場合、ステップS10に戻り、プログラムパルス電圧をステップアップして再度プログラム動作が行われる(ステップS12)。

【0053】

ステップS11のVLベリファイがパスである場合、ビット線電圧 $V_{BL} = V_{qpw}$ にしてプログラム動作が行われる(ステップS13)。続いて、選択ワード線にベリファイ電圧AR、BR、及びCRを順に印加し、かつビット線を電圧 V_{BLL} に充電して、ベリファイ動作(VHベリファイ)が行われる(ステップS14)。

【0054】

ステップS14のVHベリファイがフェイルである場合、ステップS13に戻り、プログラムパルス電圧をステップアップして再度プログラム動作が行われる(ステップS15)。一方、VHベリファイがパスである場合、当該メモリセルのプログラムが完了する。その後、選択ワード線に接続された全ての選択メモリセルにおいて、プログラムされる閾値電圧に対応するVHベリファイがパスすると、プログラムシーケンスが終了する。

【0055】

[3.効果]

以上詳述したように第1実施形態では、VLベリファイ及びVHベリファイとでビット線の充電電圧を変えるようにしている。すなわち、VHベリファイ用のビット線の充電電圧を、VLベリファイ用のビット線の充電電圧より低く設定する。また、各閾値電圧分布に対応するVLベリファイ及びVHベリファイでは、選択ワード線には一定のベリファイ

10

20

30

40

50

電圧が印加される。

【 0 0 5 6 】

従って第1実施形態によれば、ベリファイレベルの異なる2種類のベリファイを模擬的に実現できる。また、各閾値電圧分布に対応するV_Lベリファイ及びV_Hベリファイを並行して(同時に)行うことができる。これにより、比較例に比べてベリファイ時間がほぼ半分に短縮できるため、プログラムシーケンス時間を短くすることができる。また、ビット線の充電電圧を等しくセンス時間を異ならせてV_Lベリファイ及びV_Hベリファイを行う方式と比べても、V_Hベリファイ用のビット線の充電電圧を低く設定することで、ベリファイ時間の短縮を図ることが可能となる。

【 0 0 5 7 】

また、V_Lベリファイがパスした後に、閾値電圧のシフト量を少なくすることができるため、各閾値電圧分布を狭くすることが可能である。この結果、隣接する閾値電圧分布間の距離を大きくできるため、より正確な読み出し動作が実現できる。

【 0 0 5 8 】

[第2実施形態]

第2実施形態は、第1実施形態と同じくV_Hベリファイにおいてビット線の充電電圧をV_Lベリファイに比べて低くしつつ、さらに、V_LベリファイとV_Hベリファイとでセンス時間を変えるようにしている。

【 0 0 5 9 】

図12は、第2実施形態に係るベリファイ動作を説明するタイミングチャートである。第2実施形態では、V_Hベリファイ(AV_Hベリファイ、BV_Hベリファイ、及びCV_Hベリファイを含む)のセンス時間を、V_Lベリファイ(AV_Lベリファイ、BV_Lベリファイ、及びCV_Lベリファイを含む)のセンス時間より長くする。さらに、第1実施形態と同様に、V_Hベリファイ時のビット線の充電電圧V_{BLL}をV_Lベリファイ時のビット線の充電電圧V_{BLH}より低くしている。V_LベリファイとV_Hベリファイとでセンスを開始するタイミングは同じである。

【 0 0 6 0 】

従って第2実施形態によれば、V_Lベリファイ及びV_Hベリファイを並行して行うことで、ベリファイ時間が短縮できる。また、V_Lベリファイのセンス時間とV_Hベリファイのセンス時間とを個別に設定できるため、V_Lベリファイ及びV_Hベリファイにおけるセンス動作の精度を向上させることができる。この結果、QPW方式をより精度よく実現できる。

【 0 0 6 1 】

[第3実施形態]

メモリセルアレイ内では、プログラム特性が良いメモリセル(速く書き上がるメモリセル)とプログラム特性が悪いメモリセル(遅く書き上がるメモリセル)とが混在している。そこで、第3実施形態は、所定回数のプログラムを実行してもV_Hベリファイがパスしない特定のメモリセルに対してはV_Lベリファイに切り替えるようにし、特定のメモリセルのベリファイを早く終了させるようにしている。

【 0 0 6 2 】

図13は、第3実施形態に係るプログラムシーケンスを説明するタイミングチャートである。図14は、第3実施形態に係るプログラムシーケンスを説明するフローチャートである。図14のフローチャートは、第1実施形態で説明した図7のフローチャートに、ステップS20~S22が追加されている。プログラムシーケンスでは、1回のプログラムパルス電圧の印加動作(プログラム動作)が複数回繰り返されるが、プログラムシーケンスの繰り返し単位である複数回のプログラム動作の各々をプログラムループ(又は単にループ)と呼ぶ。

【 0 0 6 3 】

ステップS11のV_Lベリファイがパスである場合、ビット線電圧V_{BL} = V_{qpw}にしてプログラム動作が行われる(ステップS13)。続いて、プログラムループ回数が所

10

20

30

40

50

定数M以下であるか否かが判定される(ステップS20)。プログラムループ回数がM以下である場合、第1実施形態と同様に、ステップS14、S15が行われる。

【0064】

ステップS20においてプログラムループ回数がMを超えている場合、VLベリファイが行われる(ステップS21)。すなわち、選択ワード線にベリファイ電圧AR、BR、CRを順に印加し、かつビット線を電圧VB_{LH}に充電して、ベリファイ動作が行われる。ステップS21のVLベリファイがフェイルである場合、ステップS13に戻り、プログラムパルス電圧をステップアップして再度プログラム動作が行われる(ステップS22)。一方、VLベリファイがパスである場合、当該メモリセルのプログラムが終了する。

【0065】

なお、ループ回数Mを少なくすれば、プログラムシーケンス時間が短くなり、ループ回数Mを多くすれば、プログラムシーケンス時間が長くなる。ループ回数Mは、求められる仕様に応じて任意に設定可能である。また、ループ回数Mは、書き換え回数やメモリセルの劣化具合に応じて変更してもよい。

【0066】

以上詳述したように第3実施形態によれば、プログラムループ回数が所定数Mを超えた場合に、VHベリファイを実行中であっても、VLベリファイに切り替える。これにより、プログラムシーケンスを早く終了させることができる。特に、特定のメモリセル(例えばプログラム特性が悪いメモリセル)に対して過剰にプログラムループを繰り返すことを避けることができ、結果として、プログラムシーケンス時間を短くできる。また、閾値電圧分布Eのメモリセル及び書き込みが完了したメモリセルへの非選択書き込みの回数を減らすことができ、誤書き込みの発生を避けることができる。

【0067】

<変形例>

ステップS21においてVLベリファイの対象となるメモリセルは、ステップS12において一度VLベリファイがパスしている。よって、プログラムループ回数が所定数Mを超えた場合、即座にプログラムシーケンスを終了するようにしてもよい。図15は、変形例に係るプログラムシーケンスを説明するタイミングチャートである。図16は、変形例に係るプログラムシーケンスを説明するフローチャートである。

【0068】

図16において、プログラムループ回数がMを超えている場合(ステップS20)、VHベリファイの対象であるメモリセル(VLベリファイがパスしたメモリセル)はプログラムが終了する。すなわち、変形例では、図14のステップS21、S22が削除されている。変形例によれば、よりプログラムシーケンス時間を短くできる。また、閾値電圧分布Eのメモリセル及び書き込みが完了したメモリセルへの非選択書き込みの回数を減らすことができ、誤書き込みの発生を避けることができる。

【0069】

[第4実施形態]

第4実施形態は、所定数のプログラムループを実行してもVHベリファイがパスしない特定のメモリセルに対してはプログラム時のビット線電圧を中間電圧V_{qpw}から0Vに切り替えるようにし、特定のメモリセルのプログラムを早く終了させるようにしている。

【0070】

図17は、第4実施形態に係るプログラムシーケンスを説明するタイミングチャートである。図18は、第4実施形態に係るプログラムシーケンスを説明するフローチャートである。図18のフローチャートは、第1実施形態で説明した図7のフローチャートに、ステップS30~S33が追加されている。

【0071】

ステップS11のVLベリファイがパスである場合、ビット線電圧VB_L = V_{qpw}にしてプログラム動作が行われる(ステップS13)。続いて、プログラムループ回数が所定数N以下であるか否かが判定される(ステップS30)。プログラムループ回数がN以

10

20

30

40

50

下である場合、第1実施形態と同様に、ステップS14、S15が行われる。

【0072】

ステップS30においてプログラムループ回数がNを超えている場合、まず、ステップS14、S15と同様に、VHベリファイが行われる(ステップS31、S32)。ステップS32のVHベリファイがフェイルである場合、ビット線電圧 $V_{BL} = 0V$ にしてプログラム動作が行なわれる(ステップS33)。このステップS33のプログラム動作では、メモリセルの閾値電圧の変動を大きくできる。その後、VHベリファイがパスするまで、ビット線電圧 $V_{BL} = 0V$ にしてプログラム動作が繰り返される。

【0073】

なお、ループ回数Nを少なくすれば、プログラムシーケンス時間が短くなり、ループ回数Nを多くすれば、プログラムシーケンス時間が長くなる。ループ回数Nは、求められる仕様に応じて任意に設定可能である。また、ループ回数Nは、書き換え回数やメモリセルの劣化具合に応じて変更してもよい。

【0074】

以上詳述したように第4実施形態によれば、プログラムループ回数が所定数Nを超えた場合に、ビット線電圧 $V_{BL} = 0V$ にしてプログラム動作を行う。これにより、プログラムシーケンスを早く終了させることができる。特に、特定のメモリセル(例えばプログラム特性が悪いメモリセル)に対して過剰にプログラムループを繰り返すことを避けることができ、結果として、プログラムシーケンス時間を短くできる。また、閾値電圧分布Eのメモリセル及び書き込みが完了したメモリセルへの非選択書き込みの回数を減らすことができ、誤書き込みの発生を避けることができる。

【0075】

<変形例>

第3実施形態と第4実施形態とを組み合わせても良い。図19は、変形例に係るプログラムシーケンスを説明するフローチャートである。

【0076】

ステップS22までの工程は、第3実施形態の図14と同じである。ステップS22のVLベリファイがフェイルである場合、第4実施形態と同様の工程が行われる。すなわち、プログラムループ回数が所定数N以下であるか否かが判定される(ステップS30)。プログラムループ回数がN以下である場合、ステップS13に戻り、ビット線電圧 $V_{BL} = V_{qpw}$ にしてプログラム動作が行なわれる。

【0077】

ステップS30においてプログラムループ回数がNを超えている場合、ビット線電圧 $V_{BL} = 0V$ にしてプログラム動作が行なわれる(ステップS33)。その後、ステップS21、S22によりVLベリファイがパスするまで、ビット線電圧 $V_{BL} = 0V$ にしてプログラム動作が繰り返される。

【0078】

なお、図19の変形例は、プログラムループ回数の関係が $M < N$ である場合を想定しているが、 $M = N$ であってもよい。また、閾値電圧分布A、B、Cに対応する3つの書き込みステートごとにM、Nを変更してもよい。具体的には、閾値電圧が高くなるにつれて、M、Nをそれぞれ大きくする。

【0079】

さらに、第3実施形態と第4実施形態との処理順序を入れ替えてもよい。図20は、他の変形例に係るプログラムシーケンスを説明するフローチャートである。

【0080】

ステップS32までの工程は、第4実施形態の図18と同じである。ステップS33においてビット線電圧 $V_{BL} = 0V$ にしてプログラム動作が行われた後、第3実施形態と同様の工程が行われる。すなわち、プログラムループ回数が所定数M以下であるか否かが判定される(ステップS20)。プログラムループ回数がM以下である場合、ステップS31においてVHベリファイが行われる。

10

20

30

40

50

【 0 0 8 1 】

ステップ S 2 0 においてプログラムループ回数が M を超えている場合、V L ベリファイが行われる (ステップ S 2 1)。その後、ステップ S 2 1、S 2 2 により V L ベリファイがパスするまで、ビット線電圧 V B L = 0 V にしてプログラム動作が繰り返される。

【 0 0 8 2 】

なお、図 2 0 の変形例は、プログラムループ回数の関係が $M > N$ である場合を想定しているが、 $M = N$ であってもよい。また、閾値電圧分布 A、B、C に対応する 3 つの書き込みステートごとに M、N を変更してもよい。具体的には、閾値電圧が高くなるにつれて、M、N をそれぞれ大きくする。

【 0 0 8 3 】

[第 5 実施形態]

プログラムシーケンスの最初の方のプログラム動作では、プログラムパルス電圧 V p g m のレベルが低いため、ベリファイをパスするメモリセルの数が少ない。そこで、第 5 実施形態は、プログラムシーケンスの最初の方のプログラムループでは、ベリファイ動作を省略するようにしている。

【 0 0 8 4 】

図 2 1 は、第 5 実施形態に係るプログラムシーケンスを説明するタイミングチャートである。図 2 2 は、第 5 実施形態に係るプログラムシーケンスを説明するフローチャートである。図 2 2 のフローチャートは、第 1 実施形態で説明した図 7 のフローチャートに、ステップ S 4 0 が追加されている。

【 0 0 8 5 】

まず、閾値電圧が V L レベル未満のメモリセルに対して、ビット線電圧 V B L = 0 V にしてプログラム動作が行なわれる (ステップ S 1 0)。続いて、プログラムループ回数が所定数 M 以下であるか否かが判定される (ステップ S 4 0)。ステップ S 4 0 においてプログラムループ回数が M 以下である場合、ステップ S 1 0 に戻り、ビット線電圧 V B L = 0 V にしてプログラム動作が行なわれる。一方、ステップ S 4 0 においてプログラムループ回数が M を超えている場合、V L ベリファイが行われる (ステップ S 1 1)。

【 0 0 8 6 】

以上のように、プログラムループ回数が所定数 M 以下である間は、V L ベリファイをパスするメモリセルの数が少ないため、ベリファイ動作を省略する。これにより、プログラムシーケンス時間を短くすることができる。

【 0 0 8 7 】

なお、閾値電圧分布 A、B、C に対応する 3 つの書き込みステートごとに M を変更してもよい。具体的には、閾値電圧が高くなるにつれて、M を大きくする。

【 0 0 8 8 】

[第 6 実施形態]

第 5 実施形態のように複数回連続してプログラム動作を行うと、書き上がりが速いメモリセルは、V H ベリファイがパスする閾値電圧を有する場合もある。そこで、第 6 実施形態では、プログラムシーケンスの 1 回目のベリファイ動作で、V L ベリファイ及び V H ベリファイを並行して行うようにしている。

【 0 0 8 9 】

図 2 3 は、第 6 実施形態に係るプログラムシーケンスを説明するタイミングチャートである。図 2 4 は、第 6 実施形態に係るプログラムシーケンスを説明するフローチャートである。

【 0 0 9 0 】

まずは、第 5 実施形態と同様に、複数回のプログラムループが行われる (ステップ S 1 0、S 4 0)。続いて、V L ベリファイ及び V H ベリファイが並行して行われる (ステップ S 4 1)。具体的には、ビット線を電圧 V B L H に充電し、かつ、V H ベリファイのセンス時間を V L ベリファイのセンス時間より長くする。これにより、V H ベリファイにおけるビット線電圧が V L ベリファイに比べて低くなり、V H ベリファイが V L ベリファイ

10

20

30

40

50

に比べてパスしにくくなる。結果として、ビット線の充電電圧を同じにして、1回のベリファイ動作でV_Lレベル及びV_Hレベルを検知できる。

【0091】

ステップS41のベリファイの結果(ステップS42)、V_Lベリファイ及びV_Hベリファイの両方がフェイルである場合、ビット線電圧V_{BL} = 0Vにしてプログラム動作が行なわれる(ステップS43)。また、V_Lベリファイがパス、かつV_Hベリファイがフェイルである場合、ビット線電圧V_{BL} = V_{qpw}にしてプログラム動作が行なわれる(ステップS13)。さらに、V_Lベリファイ及びV_Hベリファイの両方がパスである場合、当該メモリセルのプログラムが終了する。

【0092】

以上のように、複数回のプログラムループを行った後に、1回目のベリファイ動作で、V_Lベリファイ及びV_Hベリファイを並行して行うことで、ベリファイ回数を減らすことができる。これにより、プログラムシーケンス時間を短くすることができる。

【0093】

[第7実施形態]

図25は、第7実施形態に係るベリファイ動作を説明するタイミングチャートである。2ビットを記憶可能なMLCでは、3種類のプログラムステート(閾値電圧分布A、B、C)が存在し、さらにQPW方式を用いることで6種類のベリファイステート(AVL、AVH、BVL、BVH、CVL、CVH)が存在する。また、ベリファイ動作では、各ビット線に応じたベリファイステートに対応する電圧が当該ビット線に充電される。

【0094】

第7実施形態では、図25に示すように、ビット線に対応するベリファイステートを確認する期間のみビット線を充電し、ベリファイ時のセンスが終了した時点でビット線の充電も終了させる。V_Lベリファイ時にビット線の充電電圧としてV_{BLH}、V_Hベリファイ時にビット線の充電電圧としてV_{BLL}を用いることは、前述した実施形態と同じである。

【0095】

従って第7実施形態によれば、ビット線に不要な電圧を印加しないように制御できるため、NAND型フラッシュメモリ10の消費電力を低減することができる。

【0096】

[第8実施形態]

プログラム動作では、ワード線を昇順にプログラムする。この場合、選択ワード線W_{Ln}をプログラムした時点は、選択ワード線W_{Ln}に隣接するワード線W_{Ln+1}はまだプログラムされていない。その後、ワード線W_{Ln+1}をプログラムすると、セル間干渉によって選択ワード線W_{Ln}に接続されたメモリセルの閾値電圧がシフトしてしまう。

【0097】

そこで、選択ワード線W_{Ln}に接続された選択メモリセルのデータを読み出す前に、ワード線W_{Ln+1}に接続された隣接メモリセルのデータを読み出し、この隣接メモリセルのデータに応じてワード線W_{Ln+1}に印加する読み出しパス電圧V_{read}のレベルを変える。これにより、選択メモリセルの閾値電圧をプログラム時のものに近づけることができ、読み出し動作を正確に行うことができる。このような補正読み出し方式は、DLA(Direct Look Ahead)方式と呼ばれる。

【0098】

図26は、比較例に係る読み出し動作を説明するタイミングチャートである。ワード線W_{Ln}が読み出し対象である選択ワード線である。比較例では、下位ページデータを読み出す動作を例に挙げて説明する。

【0099】

プログラム順序としては、隣接ワード線からのセル間干渉を極力減らすために、例えば、ワード線W_{Ln+1}に下位ページをプログラムした後に、ワード線W_{Ln}に上位ページをプログラムする。このため、下位ページが既にプログラムされたメモリセルに上位ペー

10

20

30

40

50

ジをプログラムすると、閾値電圧分布 A、C にプログラムされるメモリセルの閾値電圧のシフト量が特に大きくなる。すなわち、下位ページが既にプログラムされているメモリセルに上位ページをプログラムすると、閾値電圧のシフト量は、閾値電圧分布 E、B、A、C の順に大きくなる。

【0100】

これに対応して、隣接ワード線に上位ページがプログラムされた後では、セル間干渉により、隣接メモリセルが閾値電圧分布 A、C にプログラムされた選択メモリセルの閾値電圧のシフト量が特に大きくなり、また、隣接メモリセルの閾値電圧分布 E、B、A、C の順に、選択メモリセルの閾値電圧のシフト量が大きくなる。よって、補正読み出しでは、閾値電圧分布 E、B、A、C の順に、ワード線 $WLn + 1$ に印加する読み出しパス電圧の補正量を大きくする。

10

【0101】

図 26 に示すように、まず、読み出し動作に先立って、事前読み出し動作が行われる。事前読み出し動作では、ワード線 $WLn + 1$ に読み出し電圧 AR 、 BR 、 CR が順に印加され、ワード線 $WLn + 1$ 以外のワード線に読み出しパス電圧 $Vread$ が印加され、ビット線 BL は所定電圧 $VBL C$ に充電される。これにより、読み出し電圧 AR 、 BR 、 CR それぞれに対してワード線 $WLn + 1$ に接続された隣接メモリセルのオン/オフが判定され、隣接メモリセルのデータが読み出される。読み出し電圧 AR 、 BR 、 CR は、例えば、前述したペリファイ電圧 AR 、 BR 、 CR と同じ値である。

【0102】

続いて、読み出し動作が行われる。下位ページ読み出しでは、読み出し電圧 BR が用いられる。読み出し動作では、選択ワード線 WLn に読み出し電圧 BR が印加され、ビット線 BL は所定電圧 $VBL C$ に充電される。また、ワード線 $WLn + 1$ には、読み出しパス電圧 $Vread1$ 、 $Vread2$ 、 $Vread3$ 、 $Vread4$ ($Vread1 < Vread2 < Vread3 < Vread4$) が順に印加される。 $Vread1$ 、 $Vread2$ 、 $Vread3$ 、 $Vread4$ はそれぞれ、隣接メモリセルが閾値電圧分布 E、B、A、C にプログラムされている場合に使用される読み出しパス電圧である。これにより、隣接メモリセルのデータに応じた補正読み出しが実現される。この比較例では、4 種類の読み出しパス電圧 $Vread1$ 、 $Vread2$ 、 $Vread3$ 、 $Vread4$ を用いた読み出し動作が個別に行われるため、読み出し時間が長くなる。

20

30

【0103】

以下に、実施形態に係る読み出し動作について説明する。なお、下位ページデータを読み出す動作（下位ページ読み出し）、上位ページデータを読み出す動作（上位ページ読み出し）、及び下位ページ及び上位ページを一度に読み出す動作（シーケンシャル読み出し）を順に説明する。

【0104】

[1. 下位ページ読み出し]

図 27 は、第 8 実施形態に係る下位ページ読み出し動作を説明するタイミングチャートである。まず、比較例と同様に、読み出し動作に先立って、事前読み出し動作が行われる。続いて、読み出し動作（補正読み出し動作）が行われる。図 27 には、ワード線 $WLn + 1$ に接続された隣接メモリセルの閾値電圧が E、A、B、C である場合にそれぞれ対応するビット線の波形が記載されている。

40

【0105】

読み出し動作では、選択ワード線 WLn に下位ページを読み出すための読み出し電圧 BR が印加され、それ以外のワード線（ワード線 $WLn + 1$ を含む）に読み出しパス電圧 $Vread$ が印加される。また、隣接メモリセルの閾値電圧が C である選択メモリセルに対応するビット線は $VBL1$ に充電され、隣接メモリセルの閾値電圧が A である選択メモリセルに対応するビット線は $VBL2$ に充電され、隣接メモリセルの閾値電圧が B である選択メモリセルに対応するビット線は $VBL3$ に充電され、隣接メモリセルの閾値電圧が E である選択メモリセルに対応するビット線は $VBL4$ に充電される。ビット線電圧 VBL

50

1、 $VBL2$ 、 $VBL3$ 、 $VBL4$ は、 $VBL1 < VBL2 < VBL3 < VBL4$ の関係を有する。例えば $VBL3 = VBLc$ である。図27の $VBL1$ 、 $VBL2$ 、 $VBL4$ の波形には、電圧レベルの比較のために、 $VBL3$ の波形を破線で重ねて示している。

【0106】

これにより、セル間干渉により閾値電圧のシフト量が大きいメモリセルほど、センス時のビット線電圧が低くなるように補正できるため、補正読み出しが実現できる。さらに、閾値電圧分布E、A、B、Cに対応する補正読み出しを同時に行うことができる。

【0107】

[2. 上位ページ読み出し]

図28は、第8実施形態に係る上位ページ読み出し動作を説明するタイミングチャートである。上位ページデータは、読み出し電圧AR、CRをそれぞれ用いたセンス結果によって判定される。

10

【0108】

まず、比較例と同様に、読み出し動作に先立って、事前読み出し動作が行われる。続いて、読み出し動作（補正読み出し動作）が行われる。読み出し動作では、選択ワード線 WL_n に上位ページを読み出すための読み出し電圧AR、CRが順に印加され、それ以外のワード線（ワード線 WL_{n+1} を含む）に読み出しパス電圧Vreadが印加される。ビット線BLの充電電圧は、下位ページ読み出しの場合と同じであり、また、読み出し電圧AR、CRをそれぞれ用いた読み出し期間中、ビット線は同じ電圧に充電される。

【0109】

これにより、読み出し電圧AR、CRを用いた読み出し動作のそれぞれにおいて、閾値電圧分布E、A、B、Cに対応する補正読み出しを同時に行うことができる。

20

【0110】

[3. シーケンシャル読み出し]

図29は、第8実施形態に係るシーケンシャル読み出し動作を説明するタイミングチャートである。シーケンシャル読み出しでは、下位ページデータ及び上位ページデータが一度に読み出され、下位ページデータ及び上位ページデータは、読み出し電圧AR、BR、CRをそれぞれ用いたセンス結果によって判定される。

【0111】

まず、比較例と同様に、読み出し動作に先立って、事前読み出し動作が行われる。続いて、読み出し動作（補正読み出し動作）が行われる。読み出し動作では、選択ワード線 WL_n に読み出し電圧AR、BR、CRが順に印加され、それ以外のワード線（ワード線 WL_{n+1} を含む）に読み出しパス電圧Vreadが印加される。ビット線BLの充電電圧は、下位ページ読み出しの場合と同じであり、また、読み出し電圧AR、BR、CRをそれぞれ用いた読み出し期間中、ビット線は同じ電圧に充電される。

30

【0112】

これにより、読み出し電圧AR、BR、CRを用いた読み出し動作のそれぞれにおいて、閾値電圧分布E、A、B、Cに対応する補正読み出しを同時に行うことができる。

【0113】

[4. 効果]

以上詳述したように第8実施形態では、選択ワード線 WL_n の読み出し動作において、選択ワード線 WL_n に隣接する隣接ワード線 WL_{n+1} に接続された隣接メモリセルのデータに応じて、ビット線の充電電圧を変えるようにしている。すなわち、ビット線の充電電圧は、セル間干渉による閾値電圧のシフト量が大きいメモリセルほど低く設定する。また、読み出し動作において、非選択ワード線（隣接ワード線 WL_{n+1} を含む）には、1種類の読み出しパス電圧Vreadのみが印加される。

40

【0114】

従って第8実施形態によれば、隣接メモリセルの複数種類の閾値電圧分布にそれぞれ対応した補正読み出しを同時に行うことができる。これにより、読み出し時間を短くすることができる。また、セル間干渉による閾値電圧の変動を補正して読み出し動作を行うこと

50

ができるため、読み出し動作をより正確に行うことができる。なお、通常の読み出し動作で ECC エラーが発生した時にのみ第 8 実施形態の補正読み出しを実施するようにしてもよい。

【 0 1 1 5 】

なお、上記説明では、隣接ワード線に接続された隣接メモリセルのデータに応じて補正読み出しを行っている。しかしこれに限定されるものではなく、偶数ビット線と奇数ビット線とを分けてプログラム動作及び読み出し動作を行う場合には、隣接ビット線に接続されたメモリセルのデータに応じてビット線の充電電圧を変えるようにしてもよい。

【 0 1 1 6 】

[第 9 実施形態]

第 8 実施形態では、補正読み出しの際に、閾値電圧分布 E、A、B、C に対応する 4 種類のビット線充電電圧を用いている。第 9 実施形態では、2 種類のビット線充電電圧を用いて補正読み出しを行うようにしている。

【 0 1 1 7 】

前述したように、下位ページがプログラムされているメモリセルに上位ページをプログラムすると、閾値電圧のシフト量は、閾値電圧分布 E、B、A、C の順に大きくなる。そこで、第 9 実施形態では、隣接メモリセルの閾値電圧のシフト量が比較的大きい閾値電圧分布 A、C においては、同じビット線充電電圧 V_{BL1} を用いて選択メモリセルの読み出し動作を行う。また、隣接メモリセルの閾値電圧のシフト量が比較的小さい閾値電圧分布 E、B においては、同じビット線充電電圧 V_{BL2} ($V_{BL1} < V_{BL2}$) を用いて選択メモリセルの読み出し動作を行う。以下に、第 9 実施形態の動作について、下位ページ読み出し、上位ページ読み出し、及びシーケンシャル読み出しを順に説明する。

【 0 1 1 8 】

[1 . 下位ページ読み出し]

図 30 は、第 9 実施形態に係る下位ページ読み出し動作を説明するタイミングチャートである。まず、第 8 実施形態と同様に、読み出し動作に先立って、事前読み出し動作が行われる。続いて、読み出し動作（補正読み出し動作）が行われる。図 30 には、ワード線 WL_{n+1} に接続された隣接メモリセルの閾値電圧が E、A、B、C である場合にそれぞれ対応するビット線の波形が記載されている。

【 0 1 1 9 】

読み出し動作では、選択ワード線 WL_n に下位ページを読み出すための読み出し電圧 B_R が印加され、それ以外のワード線（ワード線 WL_{n+1} を含む）に読み出しパス電圧 V_{read} が印加される。また、隣接メモリセルの閾値電圧が A、C である選択メモリセルにそれぞれ対応するビット線は V_{BL1} に充電され、隣接メモリセルの閾値電圧が E、B である選択メモリセルにそれぞれ対応するビット線は V_{BL2} に充電される。例えば $V_{BL2} = V_{BLC}$ である。図 30 の V_{BL1} の波形には、電圧レベルの比較のために、 V_{BL2} の波形を破線で重ねて示している。

【 0 1 2 0 】

これにより、セル間干渉により閾値電圧のシフト量が大きいメモリセルほど、センス時のビット線電圧が低くなるように補正できるため、補正読み出しが実現できる。さらに、閾値電圧分布 E、A、B、C に対応する補正読み出しを同時に行うことができる。

【 0 1 2 1 】

[2 . 上位ページ読み出し]

図 31 は、第 9 実施形態に係る上位ページ読み出し動作を説明するタイミングチャートである。上位ページデータは、読み出し電圧 A_R 、 C_R をそれぞれ用いたセンス結果によって判定される。

【 0 1 2 2 】

まず、第 8 実施形態と同様に、読み出し動作に先立って、事前読み出し動作が行われる。続いて、読み出し動作（補正読み出し動作）が行われる。読み出し動作では、選択ワード線 WL_n に上位ページを読み出すための読み出し電圧 A_R 、 C_R が順に印加され、それ

10

20

30

40

50

以外のワード線（ワード線 $WLn+1$ を含む）に読み出しパス電圧 V_{read} が印加される。ビット線 BL の充電電圧は、下位ページ読み出しの場合と同じであり、また、読み出し電圧 AR 、 CR をそれぞれ用いた読み出し期間中、ビット線は同じ電圧に充電される。

【0123】

これにより、読み出し電圧 AR 、 CR を用いた読み出し動作のそれぞれにおいて、閾値電圧分布 E 、 A 、 B 、 C に対応する補正読み出しを同時に行うことができる。

【0124】

[3. シーケンシャル読み出し]

図32は、第9実施形態に係るシーケンシャル読み出し動作を説明するタイミングチャートである。下位ページデータ及び上位ページデータは、読み出し電圧 AR 、 BR 、 CR をそれぞれ用いたセンス結果によって判定される。

10

【0125】

まず、第8実施形態と同様に、読み出し動作に先立って、事前読み出し動作が行われる。続いて、読み出し動作（補正読み出し動作）が行われる。読み出し動作では、選択ワード線 WLn に読み出し電圧 AR 、 BR 、 CR が順に印加され、それ以外のワード線（ワード線 $WLn+1$ を含む）に読み出しパス電圧 V_{read} が印加される。ビット線 BL の充電電圧は、下位ページ読み出しの場合と同じであり、また、読み出し電圧 AR 、 BR 、 CR をそれぞれ用いた読み出し期間中、ビット線は同じ電圧に充電される。

【0126】

これにより、読み出し電圧 AR 、 BR 、 CR を用いた読み出し動作のそれぞれにおいて、閾値電圧分布 E 、 A 、 B 、 C に対応する補正読み出しを同時に行うことができる。

20

【0127】

[4. 効果]

以上詳述したように第9実施形態によれば、2種類のビット線充電電圧 V_{BL1} 、 V_{BL2} を用いて補正読み出しを実現できる。これにより、第8実施形態に比べて、ビット線の制御が容易になる。その他の効果は、第8実施形態と同じである。

【0128】

なお、第2乃至第9実施形態は、 MLC を例に挙げて説明しているが、 SLC に適用することも可能である。

【0129】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【符号の説明】

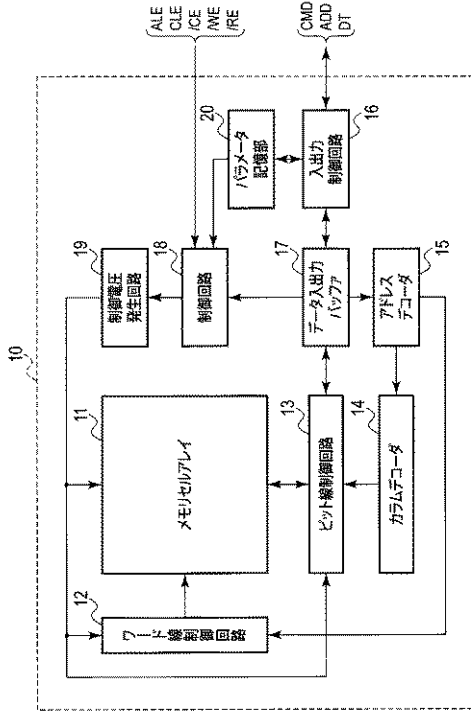
【0130】

10 NAND型フラッシュメモリ、11 メモリセルアレイ、12 ワード線制御回路、13 ビット線制御回路、14 カラムデコーダ、15 アドレスデコーダ、16 入出力制御回路、17 データ入出力バッファ、18 制御回路、19 制御電圧発生回路、20 パラメータ記憶部。

40

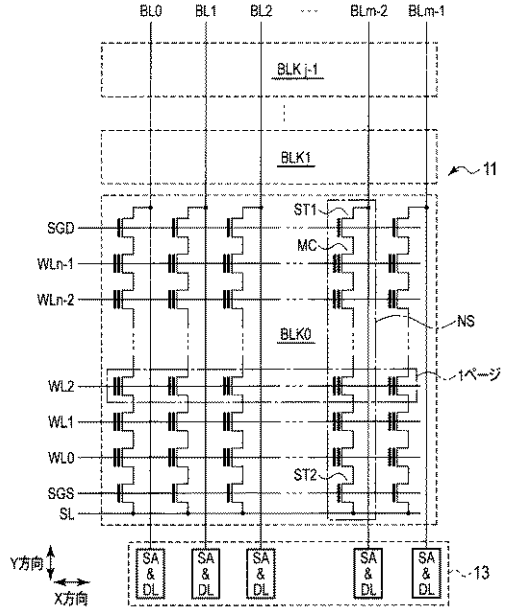
【図 1】

図 1



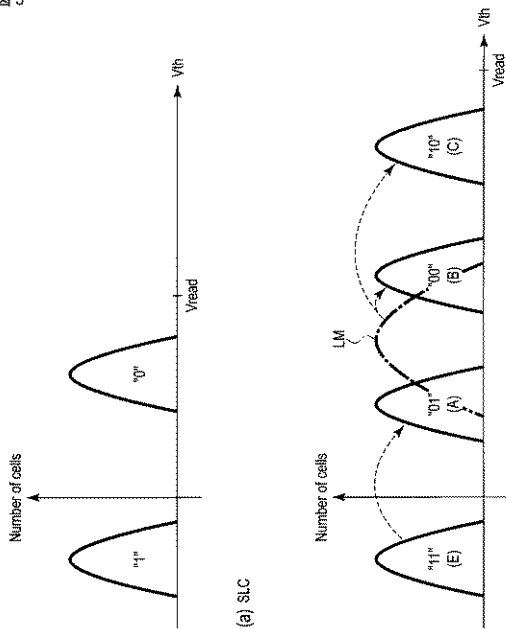
【図 2】

図 2



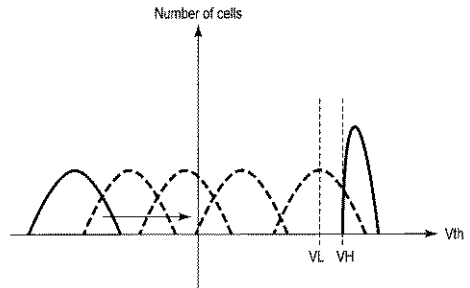
【図 3】

図 3



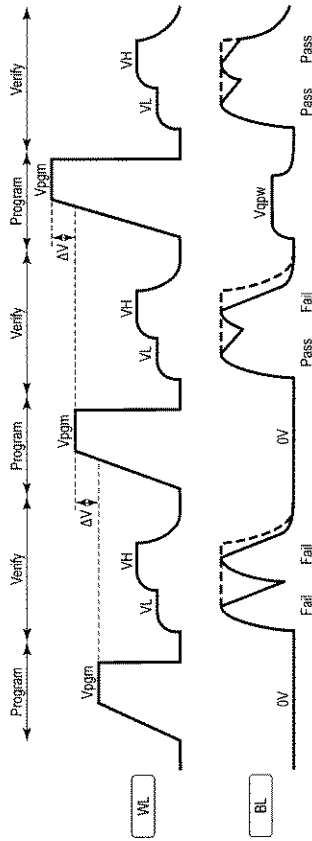
【図 4】

図 4



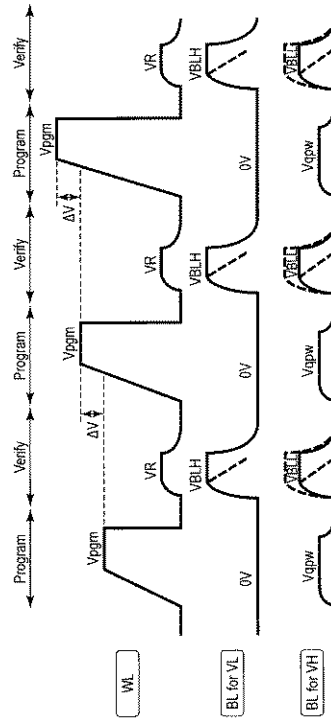
【 5 】

5



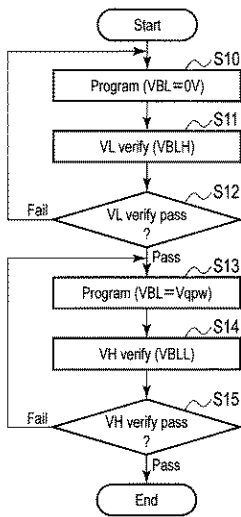
【 6 】

6



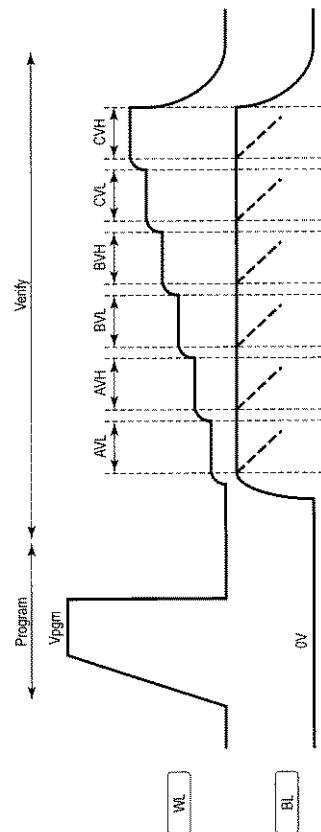
【 7 】

7



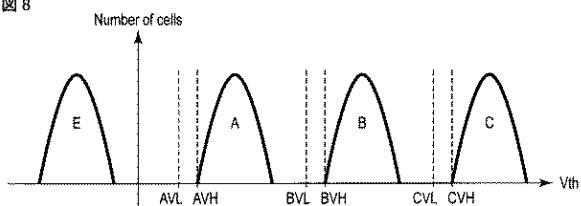
【 9 】

9

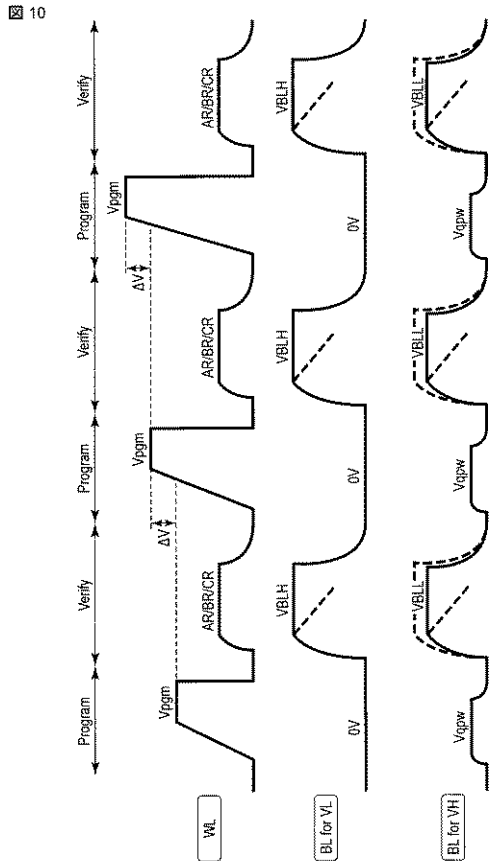


【 8 】

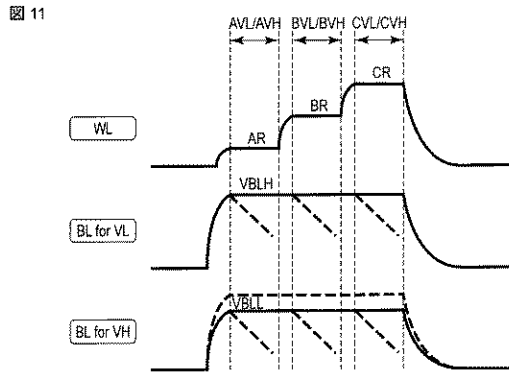
8



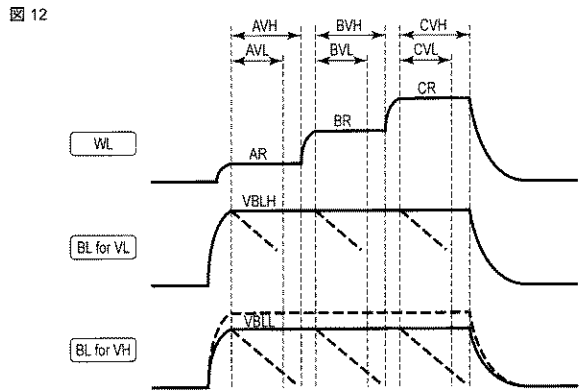
【図 10】



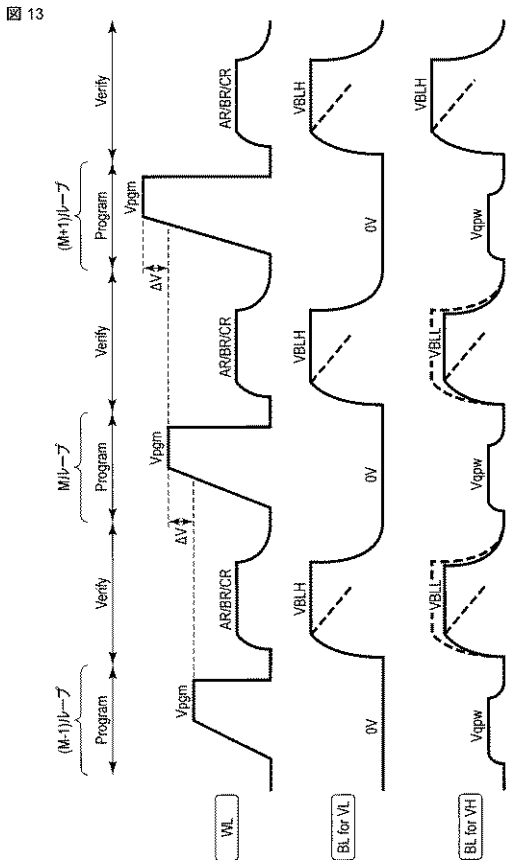
【図 11】



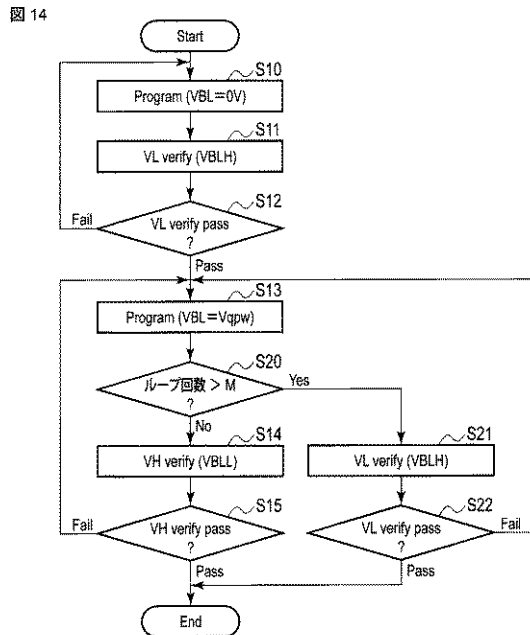
【図 12】



【図 13】

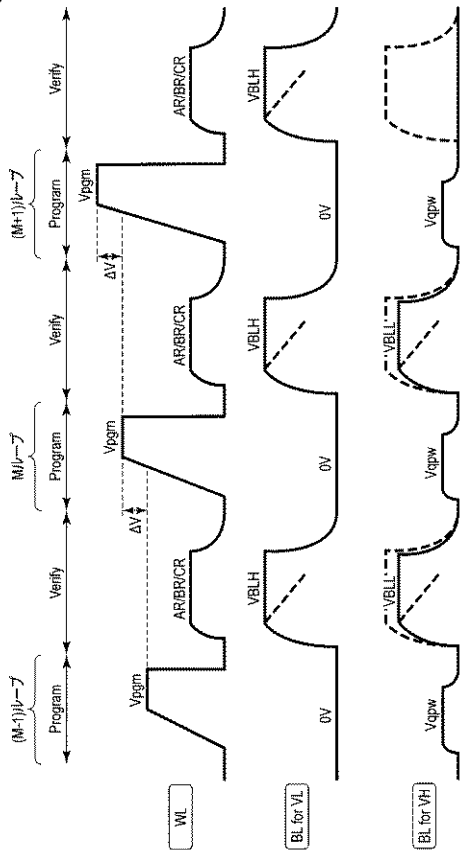


【図 14】



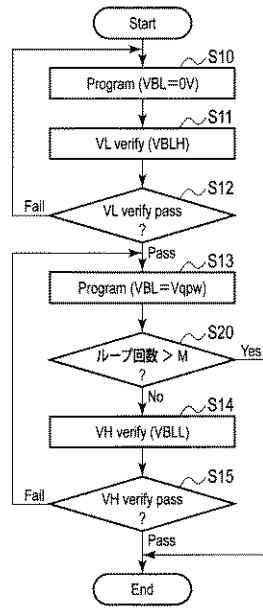
【図 15】

図 15



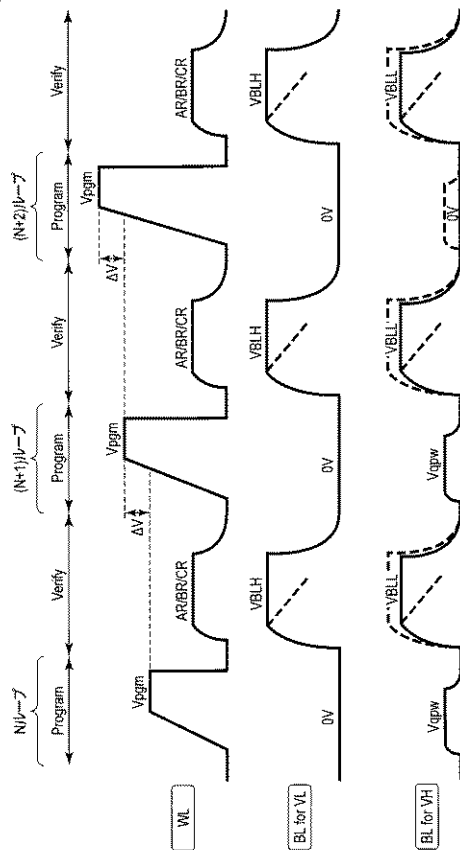
【図 16】

図 16



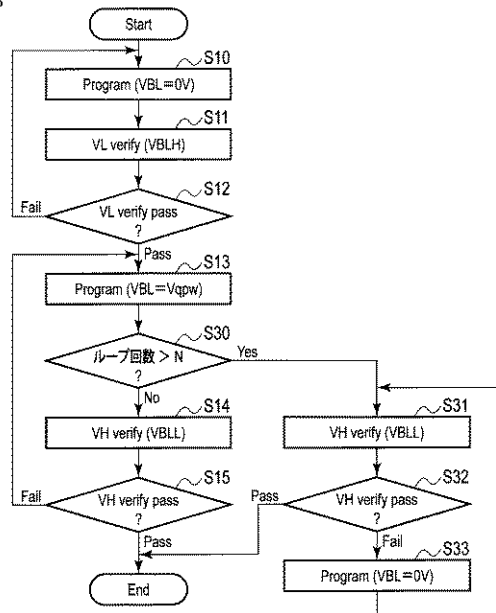
【図 17】

図 17



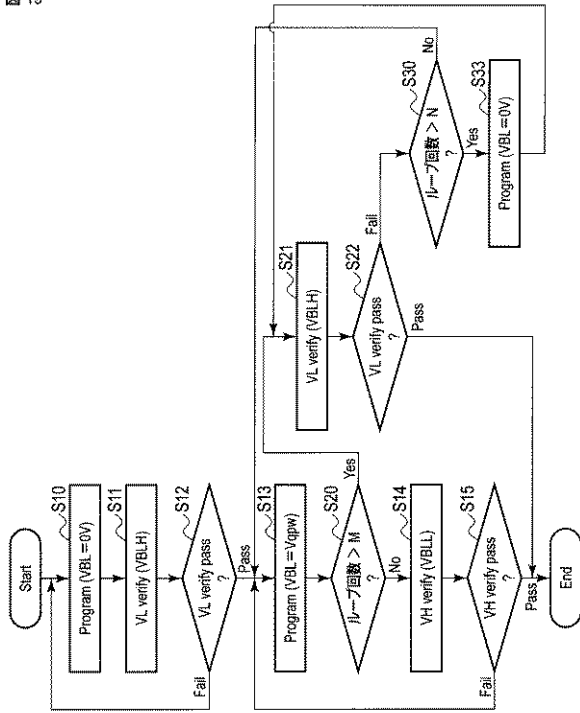
【図 18】

図 18



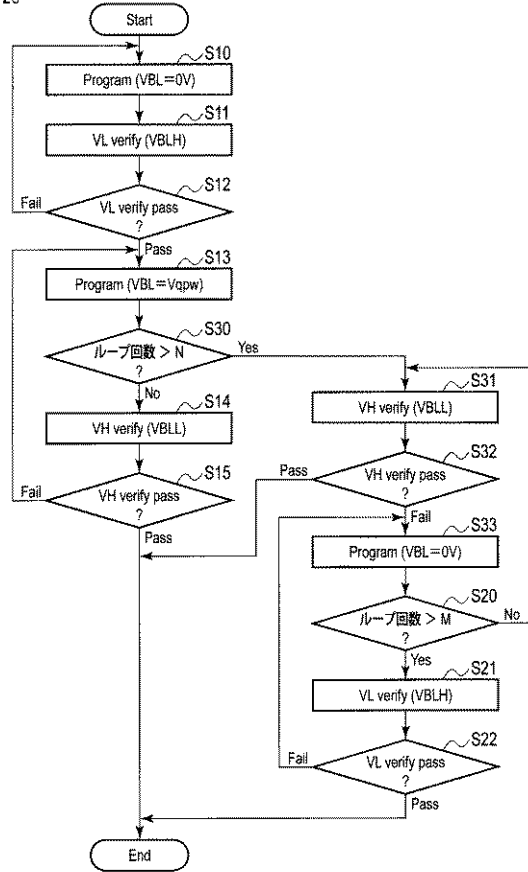
【 図 19 】

図 19



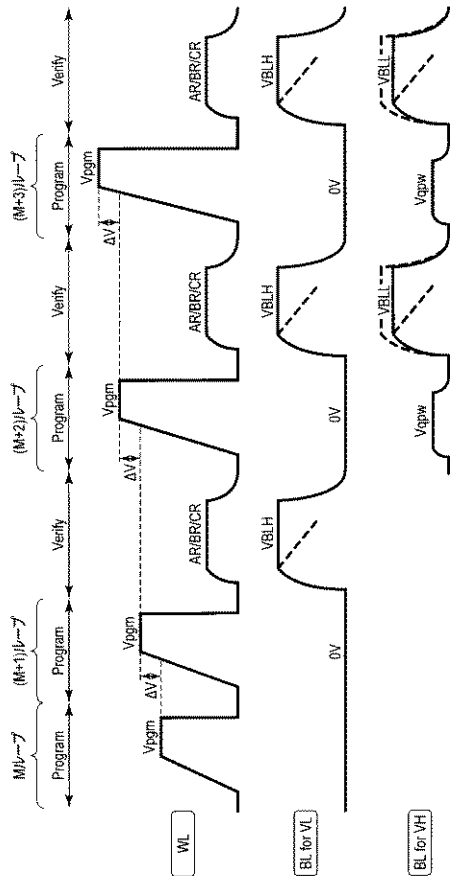
【 図 20 】

図 20



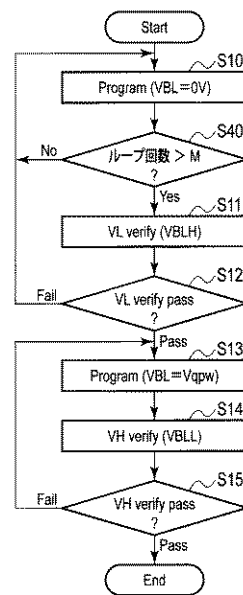
【 図 21 】

図 21



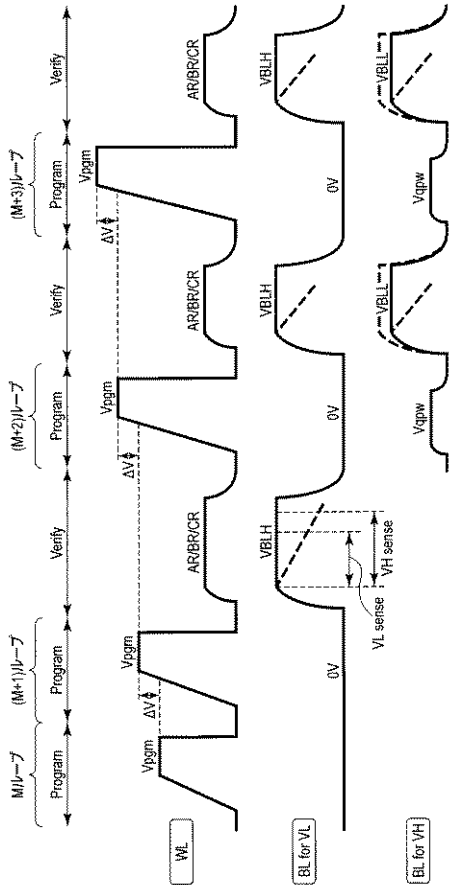
【 図 22 】

図 22



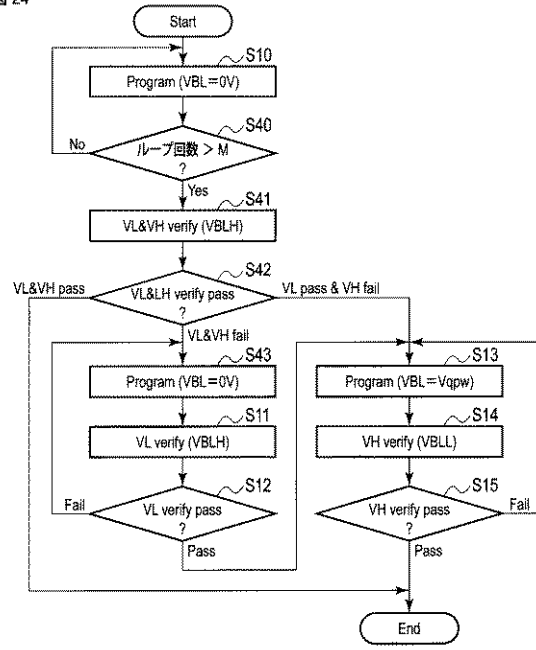
【 2 3 】

23



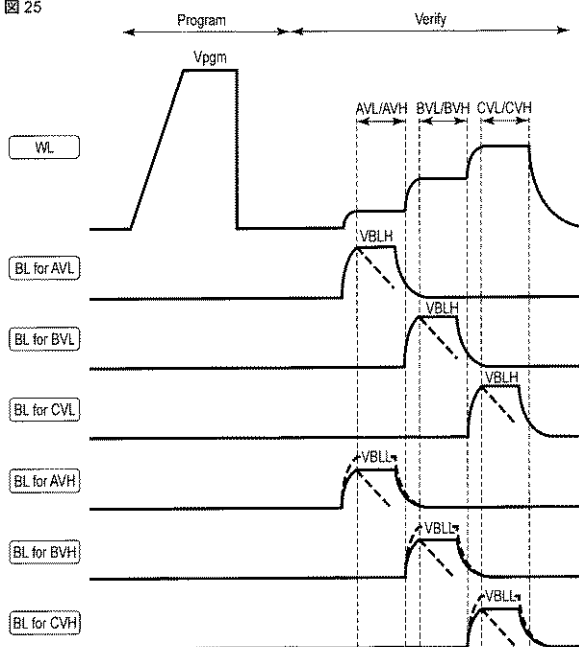
【 2 4 】

24



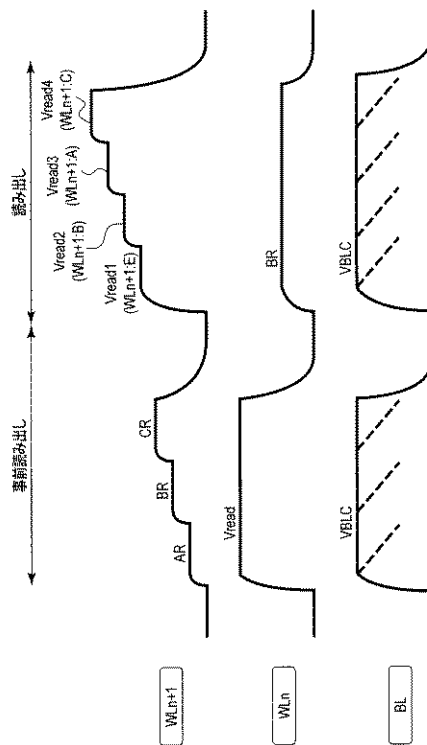
【 2 5 】

25

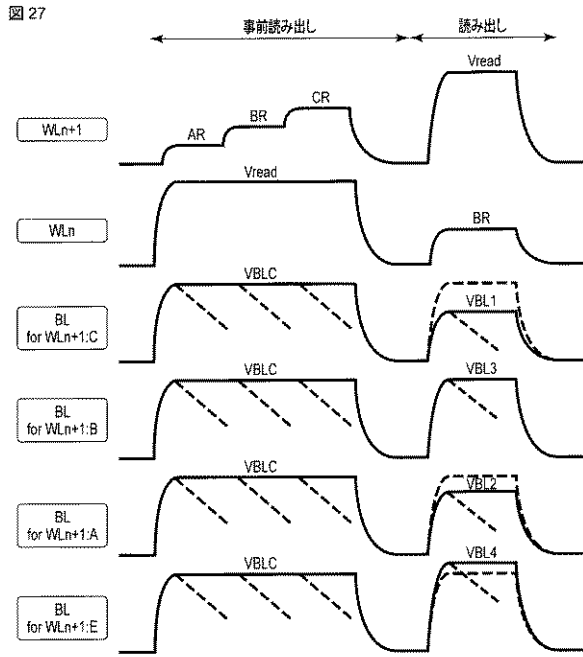


【 2 6 】

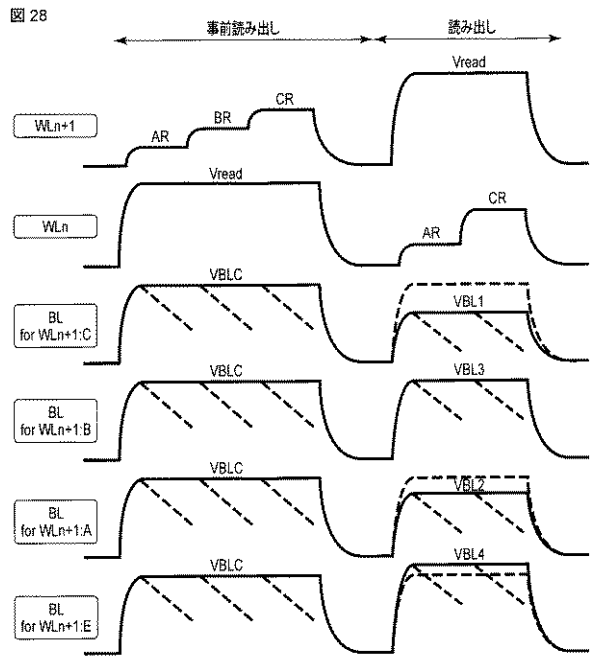
26



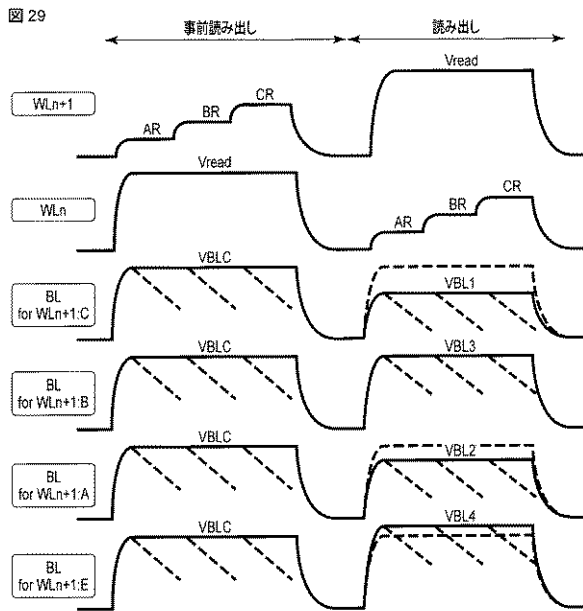
【 図 2 7 】



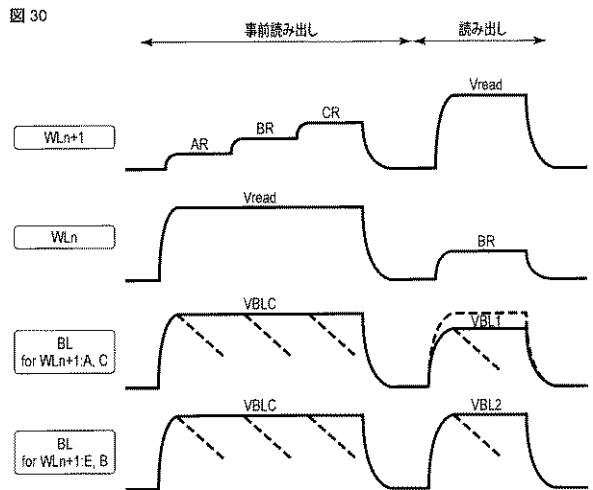
【 図 2 8 】



【 図 2 9 】

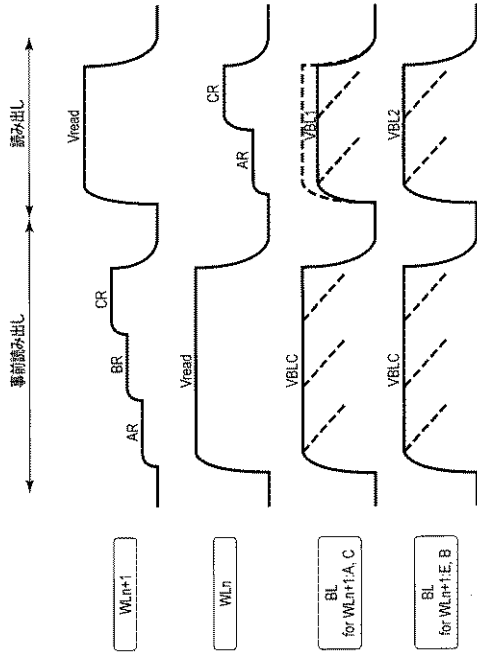


【 図 3 0 】



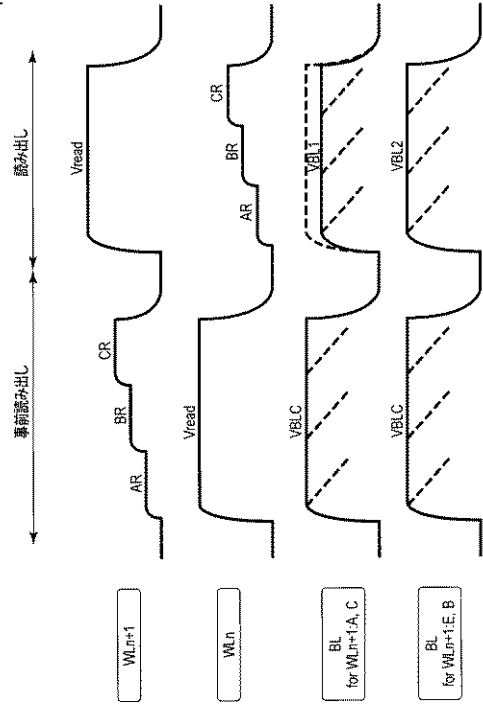
【 図 3 1 】

図 31



【 図 3 2 】

図 32



フロントページの続き

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100172580

弁理士 赤穂 隆雄

(74)代理人 100179062

弁理士 井上 正

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(72)発明者 椎野 泰洋

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 松浦 伸志

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 吉田 真司

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 高橋 栄悦

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 BA19 CA01 DA03 DA09 DB08 DB09 DB18 DB19 DD05

DD06 DD08 EA05 EA10 EB10 EC06 ED09 EG17 FA01 FA02

FA06