

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-146104
(P2019-146104A)

(43) 公開日 令和1年8月29日(2019.8.29)

(51) Int. Cl.	F I			テーマコード (参考)	
H03L 7/089 (2006.01)	H03L	7/089	130	5J106	
H03L 7/095 (2006.01)	H03L	7/095			
	H03L	7/089	160		

審査請求 未請求 請求項の数 19 O L (全 37 頁)

(21) 出願番号 特願2018-30840 (P2018-30840)
(22) 出願日 平成30年2月23日 (2018. 2. 23)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目2番24号
(74) 代理人 100103894
弁理士 家入 健
(72) 発明者 平工 泰之
東京都江東区豊洲三丁目2番24号 ルネ
サスエレクトロニクス株式会社内
Fターム(参考) 5J106 AA04 CC02 CC24 CC42 CC43
CC52 DD06 DD09 DD32 EE08
GG15 HH02 JJ01 JJ02 JJ04
JJ08 JJ09 KK03 LL04 QQ09
RR06 RR20 RR21 SS02

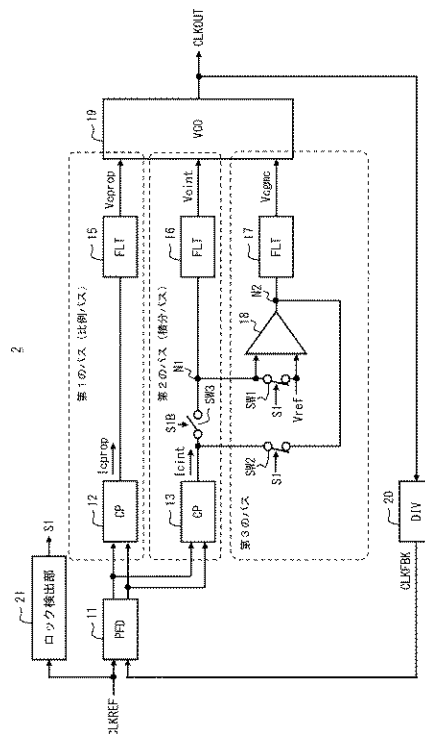
(54) 【発明の名称】 PLL回路、それを備えた半導体装置、及び、PLL回路の制御方法

(57) 【要約】 (修正有)

【課題】 速やかに位相をロックさせることが可能なPLL回路を提供する。

【解決手段】 PLL回路2は、位相比較器11と、チャージポンプ12、13と、チャージポンプ12の出力電流から第1制御電圧を生成するフィルタ15と、ノードN1の電圧と基準電圧Vrefとを比較するコンパレータ18と、高速ロックモードの場合、ノードN1に基準電圧Vrefを出力し、ノードN2にチャージポンプ13の出力電流を出力し、通常ロックモードの場合、ノードN1にチャージポンプ13の出力電流を出力し、ノードN2にコンパレータ18による比較結果を出力する、スイッチ部と、ノードN1の電流を積分して第2制御電圧を生成する第2フィルタ16と、ノードN2の電流を積分して第3制御電圧を生成する第3フィルタ17と、第1～第3制御電圧に応じた周波数の出力クロック信号を生成する電圧制御発振器19と、を備える。

【選択図】 図23



【特許請求の範囲】

【請求項 1】

基準クロック信号及び帰還クロック信号のそれぞれの位相を比較する位相比較器と、
前記位相比較器による比較結果に応じた第 1 電流を生成する第 1 チャージポンプと、
前記位相比較器による比較結果に応じた第 2 電流を生成する第 2 チャージポンプと、
前記第 1 電流に基づいて生成される電圧からリップルノイズが除去された第 1 制御電圧
を生成する第 1 フィルタと、

第 1 ノードの電圧と、基準電圧と、を比較するコンパレータと、

第 1 モードの場合、前記第 1 ノードに対して前記基準電圧を選択して出力し、かつ、第
2 ノードに対して前記第 2 電流を選択して出力し、第 2 モードの場合、前記第 1 ノード
に対して前記第 2 電流を選択して出力し、かつ、前記第 2 ノードに対して前記コンパレータ
による比較結果を選択して出力する、スイッチ部と、

前記第 1 ノードに流れる電流を積分することで第 2 制御電圧を生成する第 2 フィルタと

、
前記第 2 ノードに流れる電流を積分することで第 3 制御電圧を生成する第 3 フィルタと

、
前記第 1 ~ 前記第 3 制御電圧に応じた周波数の出力クロック信号を生成する電圧制御発
振器と、

前記出力クロック信号を分周して前記帰還クロック信号として出力する分周器と、
を備えた、PLL 回路。

【請求項 2】

前記第 1 モードの場合に駆動され、前記第 2 電流に比例する第 3 電流を生成する第 3 チ
ャージポンプをさらに備え、

前記スイッチ部は、

前記基準電圧が供給される基準電圧端子と、前記第 1 ノードと、の間に設けられ、前記
第 1 モードの場合にオンし、前記第 2 モードの場合にオフする第 1 スwitch素子を有し、

前記第 1 モードの場合、前記第 2 ノードには、前記第 3 チャージポンプから出力された
前記第 3 電流が供給される、

請求項 1 に記載の PLL 回路。

【請求項 3】

前記第 3 チャージポンプは、

電源電圧端子と前記第 3 チャージポンプの出力端子との間に設けられた第 1 定電流源と

、
前記電源電圧端子と前記出力端子との間において前記第 1 定電流源に直列に設けられ、
前記位相比較器の比較結果に応じてオンオフが制御される第 1 電流供給制御スイッチと、

接地電圧端子と前記出力端子との間に設けられた第 2 定電流源と、

前記接地電圧端子と前記出力端子との間において前記第 2 定電流源に直列に設けられ、
前記位相比較器の比較結果に応じてオンオフが制御される第 2 電流供給制御スイッチと、

前記電源電圧端子と前記出力端子との間において前記第 1 定電流源に直列に設けられ、
前記第 1 モードの場合にオンし、前記第 2 モードの場合にオフする第 3 電流供給制御スイ
ッチと、

前記接地電圧端子と前記出力端子との間において前記第 2 定電流源に直列に設けられ、
前記第 1 モードの場合にオンし、前記第 2 モードの場合にオフする第 4 電流供給制御スイ
ッチと、を有する、

請求項 2 に記載の PLL 回路。

【請求項 4】

前記第 3 チャージポンプは、

前記第 2 モードの場合、前記位相比較器の比較結果をマスクするマスク回路と、

電源電圧端子と前記第 3 チャージポンプの出力端子との間に設けられた第 1 定電流源と

、

10

20

30

40

50

前記電源電圧端子と前記出力端子との間において前記第 1 定電流源に直列に設けられ、前記マスク回路の出力に応じてオンオフが制御される第 1 電流供給制御スイッチと、
 接地電圧端子と前記出力端子との間に設けられた第 2 定電流源と、
 前記接地電圧端子と前記出力端子との間において前記第 2 定電流源に直列に設けられ、前記マスク回路の出力に応じてオンオフが制御される第 2 電流供給制御スイッチと、を有する、

請求項 2 に記載の P L L 回路。

【請求項 5】

前記第 2 チャージポンプは、前記第 2 モードの場合にのみ駆動されるように構成されている、

請求項 2 に記載の P L L 回路。

【請求項 6】

前記第 2 チャージポンプは、

電源電圧端子と前記第 2 チャージポンプの出力端子との間に設けられた第 1 定電流源と

、
 前記電源電圧端子と前記出力端子との間において前記第 1 定電流源に直列に設けられ、前記位相比較器の比較結果に応じてオンオフが制御される第 1 電流供給制御スイッチと、
 接地電圧端子と前記出力端子との間に設けられた第 2 定電流源と、

前記接地電圧端子と前記出力端子との間において前記第 2 定電流源に直列に設けられ、前記位相比較器の比較結果に応じてオンオフが制御される第 2 電流供給制御スイッチと、

前記電源電圧端子と前記出力端子との間において前記第 1 定電流源に直列に設けられ、前記第 1 モードの場合にオフし、前記第 2 モードの場合にオンする第 3 電流供給制御スイッチと、

前記接地電圧端子と前記出力端子との間において前記第 2 定電流源に直列に設けられ、前記第 1 モードの場合にオフし、前記第 2 モードの場合にオンする第 4 電流供給制御スイッチと、を有する、

請求項 5 に記載の P L L 回路。

【請求項 7】

前記第 2 チャージポンプは、

前記第 1 モードの場合、前記位相比較器の比較結果をマスクするマスク回路と、

電源電圧端子と前記第 2 チャージポンプの出力端子との間に設けられた第 1 定電流源と

、
 前記電源電圧端子と前記出力端子との間において前記第 1 定電流源に直列に設けられ、前記マスク回路の出力に応じてオンオフが制御される第 1 電流供給制御スイッチと、
 接地電圧端子と前記出力端子との間に設けられた第 2 定電流源と、

前記接地電圧端子と前記出力端子との間において前記第 2 定電流源に直列に設けられ、前記マスク回路の出力に応じてオンオフが制御される第 2 電流供給制御スイッチと、を有する、

請求項 5 に記載の P L L 回路。

【請求項 8】

前記第 2 電流に比例する第 3 電流を生成する第 3 チャージポンプをさらに備え、

前記スイッチ部は、

前記基準電圧が供給される基準電圧端子と、前記第 1 ノードと、の間に設けられ、前記第 1 モードの場合にオンし、前記第 2 モードの場合にオフする第 1 スイッチ素子と、

前記第 3 チャージポンプの出力と、前記第 2 ノードと、の間に設けられ、前記第 1 モードの場合にオンし、前記第 2 モードの場合にオフする第 2 スイッチ素子と、を有し、

前記第 1 モードの場合、前記第 2 ノードには、前記第 3 チャージポンプから出力された前記第 3 電流が供給される、

請求項 1 に記載の P L L 回路。

【請求項 9】

10

20

30

40

50

前記第 1 スイッチ素子のオン抵抗が前記第 2 スイッチ素子のオン抵抗よりも大きくなるように構成される、

請求項 8 に記載の PLL 回路。

【請求項 10】

前記スイッチ部は、

前記基準電圧が供給される基準電圧端子と、前記第 1 ノードと、の間に設けられ、前記第 1 モードの場合にオンし、前記第 2 モードの場合にオフする第 1 スイッチ素子と、

前記第 2 チャージポンプの出力と、前記第 2 ノードと、の間に設けられ、前記第 1 モードの場合にオンし、前記第 2 モードの場合にオフする第 2 スイッチ素子と、を有する、

前記第 2 チャージポンプの出力と、前記第 1 ノードと、の間に設けられ、前記第 1 モードの場合にオフし、前記第 2 モードの場合にオンする第 3 スイッチ素子と、

請求項 1 に記載の PLL 回路。

【請求項 11】

前記第 1 スイッチ素子のオン抵抗が前記第 2 及び前記第 3 スイッチ素子のそれぞれのオン抵抗よりも大きくなるように構成される、

請求項 10 に記載の PLL 回路。

【請求項 12】

前記第 1 モードは、前記 PLL 回路が起動してからの所定期間であって、

前記第 2 モードは、前記所定期間経過後の残りの期間である、

請求項 1 に記載の PLL 回路。

【請求項 13】

ロック検出部をさらに備え、

前記ロック検出部は、

前記基準クロック信号の立ち上がり回数をカウントするカウンタと、

前記カウンタのカウント値が所定値に達した場合に、前記第 1 モードから前記第 2 モードにモードを切り替えるモード切替回路と、を有する、

請求項 1 に記載の PLL 回路。

【請求項 14】

ロック検出部をさらに備え、

前記ロック検出部は、

前記基準クロック信号の立ち上がり回数をカウントする第 1 カウンタと、

前記帰還クロック信号の立ち上がり回数をカウントする第 2 カウンタと、

前記第 1 及び前記第 2 カウンタのそれぞれの周期的なカウント値が一致した場合に、前記第 1 モードから前記第 2 モードにモードを切り替えるモード切替回路と、を有する、

請求項 1 に記載の PLL 回路。

【請求項 15】

前記第 1 フィルタは、

前記第 1 チャージポンプの出力と接地電圧端子の間に設けられた第 1 抵抗素子と、

前記第 1 抵抗素子に並列に設けられた第 1 容量素子と、を有する、

請求項 1 に記載の PLL 回路。

【請求項 16】

前記第 2 フィルタは、

前記第 1 ノードと接地電圧端子との間に設けられた第 2 容量素子を有する、

請求項 1 に記載の PLL 回路。

【請求項 17】

前記第 3 フィルタは、

前記第 2 ノードと接地電圧端子との間に設けられた第 3 容量素子を有する、

請求項 1 に記載の PLL 回路。

【請求項 18】

前記基準クロック信号を生成する発振回路と、

10

20

30

40

50

前記発振回路により生成された前記基準クロック信号が供給され、前記出力クロック信号を生成する請求項 1 に記載の P L L 回路と、

前記 P L L 回路によって生成された前記出力クロック信号に同期して動作する内部回路と、

を備えた、半導体装置。

【請求項 19】

基準クロック信号及び帰還クロック信号のそれぞれの位相を比較して比較結果を出力し

、
前記比較結果に応じた第 1 電流を生成し、

前記比較結果に応じた第 2 電流を生成し、

前記第 1 電流に基づいて生成される電圧からリップルノイズが除去された第 1 制御電圧を生成し、

第 1 モードの場合、基準電圧を選択して第 1 ノードに対して出力するとともに前記第 2 電流を選択して第 2 ノードに対して出力し、第 2 モードの場合、前記第 2 電流を選択して前記第 1 ノードに対して出力するとともに、前記第 1 ノードの電圧と前記基準電圧との比較結果を選択して前記第 2 ノードに対して出力し、

前記第 1 ノードに流れる電流を積分することで第 2 制御電圧を生成し、

前記第 2 ノードに流れる電流を積分することで第 3 制御電圧を生成し、

前記第 1 ~ 前記第 3 制御電圧に応じた周波数の出力クロック信号を生成し、

前記出力クロック信号を分周して前記帰還クロック信号として出力する、

P L L 回路の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、P L L 回路、それを備えた半導体装置、及び、P L L 回路の制御方法に関し、例えば、速やかに位相をロックさせるのに適した P L L 回路、それを備えた半導体装置、及び、P L L 回路の制御方法に関する。

【背景技術】

【0002】

P L L 回路には、出力クロック信号のジッタをできるだけ小さくすることが求められている。このような要求に対する解決策が特許文献 1 に開示されている。

【0003】

特許文献 1 に開示された P L L 回路は、基準信号と発振信号のフィードバック信号とを比較する位相比較器と、位相比較器の比較結果に応じた電流をそれぞれ出力する第 1 及び第 2 チャージポンプと、第 1 チャージポンプの出力電流に基づき発生する信号をフィルタリングして第 1 電圧信号を生成する積分フィルタと、第 2 チャージポンプの出力電流に基づき発生する信号をフィルタリングして第 2 電圧信号を生成するリップルフィルタと、積分フィルタによって生成された第 1 電圧信号と基準電圧とを比較するコンパレータと、コンパレータの比較結果をフィルタリングして第 3 電圧信号を生成する第 2 の積分フィルタと、第 1 ~ 第 3 電圧信号に応じた発振周波数の発振信号を生成する電圧制御発振回路と、を備える。それにより、この P L L 回路は、第 3 電圧信号によって発振周波数のオフセット成分を調整することができるため、発振信号（出力クロック信号）のジッタの増大を抑制することができるものと考えられる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 5 4 4 8 8 7 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

ところで、関連技術のPLL回路の場合、第3電圧信号による発振周波数の制御の応答速度は、PLL回路の安定性を確保するため、第1及び第2電圧信号による発振周波数の制御の応答速度よりも十分に遅く設定される必要がある。そのため、関連技術のPLL回路の構成では、PLL回路を起動してから、第3電圧信号による発振周波数の制御が完了した後に、位相がロックされるため、速やかに位相をロックさせることができない、という問題があった。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0006】

一実施の形態によれば、PLL回路は、基準クロック信号及び帰還クロック信号のそれぞれの位相を比較する位相比較器と、前記位相比較器による比較結果に応じた第1電流を生成する第1チャージポンプと、前記位相比較器による比較結果に応じた第2電流を生成する第2チャージポンプと、前記第1電流に基づいて生成される電圧からリップルノイズが除去された第1制御電圧を生成する第1フィルタと、第1ノードの電圧と、基準電圧と、を比較するコンパレータと、第1モードの場合、前記第1ノードに対して前記基準電圧を選択して出力し、かつ、第2ノードに対して前記第2電流を選択して出力し、第2モードの場合、前記第1ノードに対して前記第2電流を選択して出力し、かつ、前記第2ノードに対して前記コンパレータによる比較結果を選択して出力する、スイッチ部と、前記第1ノードに流れる電流を積分することで第2制御電圧を生成する第2フィルタと、前記第2ノードに流れる電流を積分することで第3制御電圧を生成する第3フィルタと、前記第1～前記第3制御電圧に応じた周波数の出力クロック信号を生成する電圧制御発振器と、前記出力クロック信号を分周して前記帰還クロック信号として出力する分周器と、を備える。

【0007】

他の実施の形態によれば、PLL回路の制御方法は、基準クロック信号及び帰還クロック信号のそれぞれの位相を比較して比較結果を出力し、前記比較結果に応じた第1電流を生成し、前記比較結果に応じた第2電流を生成し、前記第1電流に基づいて生成される電圧からリップルノイズが除去された第1制御電圧を生成し、第1モードの場合、前記基準電圧を選択して第1ノードに対して出力するとともに前記第2電流を選択して第2ノードに対して出力し、第2モードの場合、前記第2電流を選択して前記第1ノードに対して出力するとともに、前記第1ノードの電圧と基準電圧との比較結果を選択して前記第2ノードに対して出力し、前記第1ノードに流れる電流を積分することで第2制御電圧を生成し、前記第2ノードに流れる電流を積分することで第3制御電圧を生成し、前記第1～前記第3制御電圧に応じた周波数の出力クロック信号を生成し、前記出力クロック信号を分周して前記帰還クロック信号として出力する。

【発明の効果】

【0008】

前記一実施の形態によれば、速やかに位相をロックさせることが可能なPLL回路、それを備えた半導体装置、及び、PLL回路の制御方法を提供することができる

【図面の簡単な説明】

【0009】

【図1】実施の形態1にかかるPLL回路の構成例を示す図である。

【図2】図1に示すPLL回路に設けられた位相比較器の構成例を示す図である。

【図3】図1に示すPLL回路に設けられた第1のチャージポンプの構成例を示す図である。

【図4】図1に示すPLL回路に設けられた第1のフィルタの構成例を示す図である。

【図5】図1に示すPLL回路に設けられた第2のチャージポンプの第1の構成例を示す図である。

【図6】図5に示す第2のチャージポンプの動作を示すタイミングチャートである。

【図7】図1に示すPLL回路に設けられた第2のチャージポンプの第2の構成例を示す

10

20

30

40

50

図である。

【図 8】図 7 に示す第 2 のチャージポンプの動作を示すタイミングチャートである。

【図 9】図 1 に示す PLL 回路に設けられた第 2 のチャージポンプの第 3 の構成例を示す図である。

【図 10】図 9 に示す第 2 のチャージポンプの動作を示すタイミングチャートである。

【図 11】図 1 に示す PLL 回路に設けられた第 2 のフィルタの構成例を示す図である。

【図 12】図 1 に示す PLL 回路に設けられた第 3 のチャージポンプの第 1 の構成例を示す図である。

【図 13】図 12 に示す第 3 のチャージポンプの動作を示すタイミングチャートである。

【図 14】図 1 に示す PLL 回路に設けられた第 3 のチャージポンプの第 2 の構成例を示す図である。

10

【図 15】図 14 に示す第 3 のチャージポンプの動作を示すタイミングチャートである。

【図 16】ノード N1 に流れるリーク電流及びそれに起因して発生する位相オフセットを説明するための図である。

【図 17】図 1 に示す PLL 回路に設けられた第 3 のフィルタの構成例を示す図である。

【図 18】図 1 に示す PLL 回路に設けられた電圧制御発振器の構成例を示す図である。

【図 19】高速ロックモードにおける図 1 に示す PLL 回路の等価回路である。

【図 20】通常ロックモードにおける図 1 に示す PLL 回路の等価回路である。

【図 21】図 1 に示す PLL 回路の効果の説明のためのタイミングチャートである。

【図 22】図 1 に示す PLL 回路が搭載された半導体装置の構成例を示すブロック図である。

20

【図 23】実施の形態 2 にかかる PLL 回路の構成例を示す図である。

【図 24】高速ロックモードにおける図 23 に示す PLL 回路の構成例を示す図である。

【図 25】通常ロックモードにおける図 23 に示す PLL 回路の構成例を示す図である。

【図 26】実施の形態 3 にかかる PLL 回路の構成例を示す図である。

【図 27】実施の形態に至る前の構想にかかる PLL 回路の第 1 の構成を示す図である。

【図 28】図 27 に示す PLL 回路に設けられた位相比較器の構成を示す図である。

【図 29】図 27 に示す PLL 回路に設けられたチャージポンプの構成を示す図である。

【図 30】図 27 に示す PLL 回路に設けられたフィルタの構成を示す図である。

【図 31】図 27 に示す PLL 回路に設けられた電圧制御発振器の構成を示す図である。

30

【図 32】実施の形態に至る前の構想にかかる PLL 回路の第 2 の構成を示す図である。

【図 33】図 32 に示す PLL 回路に設けられた第 1 及び第 2 のフィルタの構成を示す図である。

【図 34】図 32 に示す PLL 回路に設けられた電圧制御発振器の構成を示す図である。

【図 35】図 34 に示す電圧制御発振器の変形例を示す図である。

【図 36】図 35 に示す電圧制御発振器の変形例を示す図である。

【図 37】実施の形態に至る前の構想にかかる PLL 回路の第 3 の構成を示す図である。

【図 38】図 37 に示す PLL 回路に設けられた第 1 ~ 第 3 のフィルタの構成を示す図である。

【図 39】図 37 に示す PLL 回路に設けられた電圧制御発振器の構成を示す図である。

40

【図 40】図 39 に示す電圧制御発振器における、制御電圧 V_{cint} 、 V_{cgmc} と、発振周波数 f_{vco} と、の関係を示す図である。

【図 41】図 37 に示す PLL 回路の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0010】

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、様々な処理を行う機能ブロックとして図面に記載される各要素は、ハードウェア的には、CPU (Central Processing Unit)、メモリ、その他の回路で構成することができ、ソフトウェア的には、メモリにロードされたプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれら

50

の組合せによっていろいろな形で実現できることは当業者には理解されるところであり、いずれかに限定されるものではない。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

【0011】

また、上述したプログラムは、様々なタイプの非一時的なコンピュータ可読媒体を用いて格納され、コンピュータに供給することができる。非一時的なコンピュータ可読媒体は、様々なタイプの実体のある記録媒体を含む。非一時的なコンピュータ可読媒体の例は、磁気記録媒体（例えばフレキシブルディスク、磁気テープ、ハードディスクドライブ）、光磁気記録媒体（例えば光磁気ディスク）、CD-ROM(Read Only Memory)、CD-R、CD-R/W、半導体メモリ（例えば、マスクROM、PROM(Programmable ROM)、EPROM(Erasable PROM)、フラッシュROM、RAM(Random Access Memory)）を含む。また、プログラムは、様々なタイプの一時的なコンピュータ可読媒体によってコンピュータに供給されてもよい。一時的なコンピュータ可読媒体の例は、電気信号、光信号、及び電磁波を含む。一時的なコンピュータ可読媒体は、電線及び光ファイバ等の有線通信路、又は無線通信路を介して、プログラムをコンピュータに供給できる。

10

【0012】

<発明者による事前検討>

実施の形態1にかかるPLL回路の詳細について説明する前に、本発明者が事前検討した内容について説明する。

【0013】

(構想段階におけるPLL回路5の構成)

図27は、実施の形態に至る前の構想に係るPLL回路5の構成を示す図である。

図27に示すように、PLL回路5は、シングルパス構成のPLL回路であって、位相比較器(PFD)51と、チャージポンプ(CP)52と、フィルタ(FLT)54と、電圧制御発振器(VCO)59と、分周器(DIV)60と、を備える。

20

【0014】

位相比較器51は、基準クロック信号CLKREF及び帰還クロック信号CLKFBKのそれぞれの位相を比較して、比較結果UP, DNを出力する。比較結果UP, DNは何れもパルス信号である。

【0015】

図28は、位相比較器51の構成例を示す図である。

図28に示すように、位相比較器51は、フリップフロップ511, 512と、論理積回路(以下、AND回路と称す)513と、インバータ514, 515と、を有する。

30

【0016】

フリップフロップ511では、データ入力端子DにHレベルの固定信号が入力され、クロック入力端子CKに基準クロック信号CLKREFが入力され、リセット入力端子RSTにAND回路513の出力がインバータ514, 515を介して入力され、データ出力端子Qから比較結果UPが出力される。

【0017】

フリップフロップ512では、データ入力端子DにHレベルの固定信号が入力され、クロック入力端子CKに帰還クロック信号CLKFBKが入力され、リセット入力端子RSTにAND回路513の出力がインバータ514, 515を介して入力され、データ出力端子Qから比較結果DNが出力される。

40

【0018】

AND回路513は、比較結果UP, DNの論理積を生成し、インバータ514, 515を介して、フリップフロップ511, 512に対して出力する。

【0019】

フリップフロップ511は、基準クロック信号CLKREFの立ち上がり同期して比較結果UPを立ち上げる。フリップフロップ512は、帰還クロック信号CLKFBKの立ち上がり同期して比較結果DNを立ち上げる。比較結果UP, DNが何れも立ち上が

50

ると、AND回路513は出力を立ち上げる。それにより、フリップフロップ511, 512が初期化されるため、比較結果UP, DNは何れも立ち下がる。

【0020】

例えば、基準クロック信号CLKREF及び帰還クロック信号CLKFBK間に位相差が無い場合、位相比較器11は、同じパルス幅の比較結果UP, DNを出力する。他方、基準クロック信号CLKREF及び帰還クロック信号CLKFBK間に位相差が有る場合、位相比較器11は、異なるパルス幅の比較結果UP, DNを出力する。より具体的には、帰還クロック信号CLKFBKの位相が基準クロック信号CLKREFの位相より遅れている場合には、比較結果UPのパルス幅を比較結果DNのパルス幅より長くし、帰還クロック信号CLKFBKの位相が基準クロック信号CLKREFの位相より進んでいる場合には、比較結果DNのパルス幅を比較結果UPのパルス幅より長くする。

10

【0021】

チャージポンプ52は、位相比較器51の比較結果UP, DNに応じた電流Icを生成する。

【0022】

図29は、チャージポンプ52の構成例を示す図である。

図29に示すように、チャージポンプ52は、定電流源521, 522と、スイッチ素子(電流供給制御スイッチ)523, 524と、を有する。各スイッチ素子523, 524は、例えば、Nチャンネル型MOSトランジスタである。

【0023】

定電流源521及びスイッチ素子523は、電源電圧VDDが供給される電源電圧端子(以下、電源電圧端子VDDと称す)と、チャージポンプ52の出力端子(ノードN52)と、の間に設けられている。スイッチ素子523は、比較結果UPに基づいてオンオフ制御される。定電流源522及びスイッチ素子524は、接地電圧GNDが供給される接地電圧端子(以下、接地電圧端子GNDと称す)と、ノードN52と、の間に設けられている。スイッチ素子524は、比較結果DNに基づいてオンオフ制御される。

20

【0024】

例えば、比較結果UP, DNのパルス幅が同じである場合、スイッチ素子523, 524が同じ期間オンするため、チャージポンプ52によって生成される電流Icはゼロである。それに対し、比較結果UPのパルス幅が比較結果DNのパルス幅よりも長い場合、チャージポンプ52は、そのパルス幅の差(即ち、位相差)に相当する期間、正極性の電流Icを生成する。それにより、フィルタ54には電荷が蓄積される。また、比較結果DNのパルス幅が比較結果UPのパルス幅よりも長い場合、チャージポンプ52は、そのパルス幅の差(即ち、位相差)に相当する期間、負極性の電流Icを生成する。それにより、フィルタ54に蓄積された電荷が引き抜かれる。

30

【0025】

フィルタ54は、所謂2次のラグリードフィルタであって、チャージポンプ52の出力電流Icに基づいて生成された電圧の高周波成分を除去して制御電圧Vcを生成する。

【0026】

図30は、フィルタ54の構成例を示す図である。

40

図30に示すように、フィルタ54は、抵抗素子R51と、容量素子C51, C52と、を有する。容量素子C51は、接地電圧端子GNDとチャージポンプ52の出力端子との間に設けられている。容量素子C52及び抵抗素子R51は、接地電圧端子GNDとチャージポンプ52の出力端子との間に直列に設けられている。

【0027】

容量素子C52では、チャージポンプ52によって生成された電流Icの電荷が蓄積されたり、電流Icの電荷が引き抜かれたりする。そして、容量素子C52に蓄積されている電荷に応じた制御電圧Vcが生成される。抵抗素子R51は、フィードバックループの安定性を確保するために設けられ、零点を形成している。容量素子C51は、電流Icに起因して発生するリップル電圧を抑えるために設けられている。リップル電圧を抑制する

50

ことにより、後述する出力クロック信号CLKOUTのジッタの増大が抑制される。

【0028】

電圧制御発振器59は、制御電圧Vcに応じた位相及び周波数の発振信号を出力する。例えば、電圧制御発振器59は、制御電圧Vcが高くなるほど、発振信号の周波数を高くし、制御電圧Vcが低くなるほど、発振信号の周波数を低くする。この発振信号は、出力クロック信号CLKOUTとしてPLL回路5の外部に出力される。

【0029】

図31は、電圧制御発振器59の構成例を示す図である。

図31に示すように、電圧制御発振器59は、インバータINV51～INV53と、トランジスタMN50と、を有する。インバータINV51～INV53は、ループ状に設けられ、インバータINV53の出力を、電圧制御発振器59の発振信号として出力する。また、トランジスタMN50は、インバータINV51～INV53のそれぞれの低電位側電源端子と、接地電圧端子GNDと、の間に設けられ、制御電圧Vcに応じてオン電流が制御される。つまり、制御電圧VcによってインバータINV51～INV53の遅延量が制御される。

10

【0030】

分周器60は、電圧制御発振器59から出力された発振信号を分周して帰還クロック信号CLKFBKとして出力する。

【0031】

ここで、PLL回路5では、フィードバックループの安定性を確保するため、フィルタ54に設けられた容量素子C52の容量値はできるだけ大きいことが好ましい。しかしながら、容量素子C52の容量値を大きくすると、PLL回路5の回路規模が増大してしまう。

20

【0032】

このような問題を解決するため、発明者は次にPLL回路5aを検討した。

【0033】

(構想段階におけるPLL回路5aの構成)

図32は、実施の形態に至る前の構想に係るPLL回路5aの構成を示す図である。

図32に示すように、PLL回路5aは、デュアルパス構成のPLL回路であって、位相比較器51と、チャージポンプ52, 53と、フィルタ55, 56と、電圧制御発振器59aと、分周器60と、を備える。

30

【0034】

PLL回路5aでは、PLL回路5に設けられたフィルタ54が2つのフィルタ55, 56に分割されている。

【0035】

図33は、フィルタ55, 56の構成例を示す図である。図33に示すように、フィルタ55は、フィルタ54の構成要素のうち抵抗素子R51及び容量素子C51を有する。フィルタ56は、フィルタ54の構成要素のうち容量素子C51を有する。

【0036】

第1のパスにおいて、チャージポンプ52は、位相比較器51の比較結果UP, DNに応じた電流Icpropを生成する。フィルタ55は、電流Icpropに基づいて生成される電圧からリップノイズを除去した制御電圧Vcpropを生成する。

40

【0037】

第2のパスにおいて、チャージポンプ53は、チャージポンプ52と同様の回路構成を有し、位相比較器51の比較結果UP, DNに応じた電流Icintを生成する。フィルタ56は、電流Icintを積分することで制御電圧Vcintを生成する。

【0038】

電圧制御発振器59aは、主として、制御電圧Vcpropに応じた位相(及び周波数)、かつ、制御電圧Vcintに応じた周波数の発振信号を出力する。例えば、電圧制御発振器59aは、制御電圧Vcprop, Vcintが高くなるほど、発振信号の周波数

50

を高くし、制御電圧 V_{cprop} , V_{cint} が低くなるほど、発振信号の周波数を低くする。この発振信号は、出力クロック信号 $CLKOUT$ として PLL 回路 5 a の外部に出力される。

【0039】

図 3 4 は、電圧制御発振器 5 9 a の構成例を示す図である。

図 3 4 に示すように、電圧制御発振器 5 9 a は、電圧制御発振器 5 9 と比較して、トランジスタ MN 5 0 の代わりにトランジスタ MN 5 1 , MN 5 2 を有する。トランジスタ MN 5 1 は、インバータ INV 5 1 ~ INV 5 3 のそれぞれの低電位側電源端子と、接地電圧端子 GND と、の間に設けられ、制御電圧 V_{cprop} に応じてオン電流が制御される。トランジスタ MN 5 2 は、トランジスタ MN 5 1 に並列に設けられ、制御電圧 V_{cint} に応じてオン電流が制御される。つまり、制御電圧 V_{cprop} , V_{cint} によってインバータ INV 5 1 ~ INV 5 3 の遅延量が制御される。

10

【0040】

なお、トランジスタ MN 5 1 , MN 5 2 は、トランジスタ MN 5 1 , MN 5 2 のそれぞれに流れる電流の合計がトランジスタ MN 5 0 に流れる電流と同じになるように構成されることが好ましい。そのため、例えば、各トランジスタ MN 5 1 , MN 5 2 は、トランジスタ MN 5 0 のサイズの半分のサイズとなるように構成される。

【0041】

PLL 回路 5 a のその他の構成については、PLL 回路 5 の場合と同様であるため、その説明を省略する。

20

【0042】

ここで、位相比較器 5 1 からチャージポンプ 5 2、フィルタ 5 5 を経由して電圧制御発振器 5 9 a に至るまでのパス（第 1 のパス）では、フィルタ 5 5 が電荷保持機能を持たず、位相比較器 5 1 による比較のたびに位相差の微調整が行われる。以下、位相制御が行われるパスを比例パスとも称す。それに対し、位相比較器 5 1 からチャージポンプ 5 3、フィルタ 5 6 を経由して電圧制御発振器 5 9 a に至るまでのパス（第 2 のパス）では、フィルタ 5 6 が電荷保持機能を有しており周波数情報を保持する。以下、周波数制御が行われるパスを積分パスとも称す。

【0043】

本例では、チャージポンプ 5 3 から出力される電流 I_{cint} の電流値は、チャージポンプ 5 2 から出力される電流 I_{cprop} の電流値の 10 分の 1 となっている。また、フィルタ 5 5 に設けられた抵抗素子 R 5 1 の抵抗値及び容量素子 C 5 1 の容量値は、PLL 回路 5 の場合と変わらないが、フィルタ 5 6 に設けられた容量素子 C 5 2 の容量値は、PLL 回路 5 の場合と比較して 10 分の 1 となっている。そのため、PLL 回路 5 a の制御電圧 V_{cprop} , V_{cint} の合成電圧は、PLL 回路 5 における制御電圧 V_c と同等の伝達関数によって生成される。

30

【0044】

このように、PLL 回路 5 a は、PLL 回路 5 の場合と比較して、容量素子 C 5 2 のサイズを小さくすることができるため、回路規模の増大を抑制することができる。

【0045】

しかしながら、PLL 回路 5 a では、フィルタ 5 5 に設けられた抵抗素子 R 5 1 の熱雑音の影響で制御電圧 V_{cprop} にノイズが発生したり、基準クロック信号の入力ジッタが電圧制御発振回路 5 9 a にまで伝搬したりすることにより、出力クロック信号 $CLKOUT$ のジッタが増大してしまうという問題があった。

40

【0046】

このような問題を解決するため、発明者は次に PLL 回路 5 b を検討した。

【0047】

（構想段階における PLL 回路 5 b の構成）

図 3 5 は、PLL 回路 5 b に設けられた電圧制御発振器 5 9 b（電圧制御発振器 5 9 a に対応）の構成例を示す図である。

50

【 0 0 4 8 】

図 3 5 に示すように、電圧制御発振器 5 9 b は、電圧制御発振器 5 9 a と比較して、トランジスタ MN 5 1 , MN 5 2 に加えて、トランジスタ MN 5 3 をさらに備える。トランジスタ MN 5 3 は、トランジスタ MN 5 1 , MN 5 2 に並列に設けられ、ゲートにバイアス電圧 V_{bias} が供給されている。

【 0 0 4 9 】

なお、トランジスタ MN 5 1 ~ MN 5 3 は、トランジスタ MN 5 1 ~ MN 5 3 のそれぞれに流れる電流の合計がトランジスタ MN 5 0 に流れる電流と同じになるように構成されている。例えば、トランジスタ MN 5 1 , MN 5 2 は、それぞれトランジスタ MN 5 0 の 1 0 分の 1 のサイズとなるように構成され、トランジスタ MN 5 3 は、トランジスタ MN 5 0 の 1 0 分の 8 のサイズとなるように構成される。具体的には、トランジスタ MN 5 3 は、トランジスタ MN 5 1 , MN 5 2 と同じサイズの 8 個のトランジスタを並列接続することによって構成される。

10

【 0 0 5 0 】

PLL 回路 5 b のその他の構成については、PLL 回路 5 a の場合と同様であるため、その説明を省略する。

【 0 0 5 1 】

このように、PLL 回路 5 b は、PLL 回路 5 a の場合と比較して、トランジスタ MN 5 1 , MN 5 2 のそれぞれのサイズを小さくして、制御電圧 V_{cprop} , V_{cint} のそれぞれの電流変換のゲインを小さくすることにより、ノイズのゲインを抑制することができる。その結果、出力クロック信号 CLK OUT のジッタが抑制される。

20

【 0 0 5 2 】

しかしながら、PLL 回路 5 b では、制御電圧 V_{cprop} , V_{cint} の変化による電流可変範囲が制限されてしまうため、発振周波数の範囲も制限されてしまうという問題があった。また、バイアス電圧 V_{bias} によって生成されるオフセット電流は、一般的に、プロセス、電源電圧及び温度の変動によってバラつきやすいという問題があった。

【 0 0 5 3 】

このような問題を解決するため、発明者は次に PLL 回路 5 c を検討した。

【 0 0 5 4 】

(構想段階における PLL 回路 5 c の構成)

30

図 3 6 は、PLL 回路 5 c に設けられた電圧制御発振器 5 9 c (電圧制御発振器 5 9 b に対応) の構成例を示す図である。

【 0 0 5 5 】

図 3 6 に示すように、電圧制御発振器 5 9 c は、電圧制御発振器 5 9 b と比較して、トランジスタ MN 5 4 をさらに備える。トランジスタ MN 5 4 は、トランジスタ MN 5 3 に直列に設けられ、イネーブル信号 EN によってオン電流が制御される。イネーブル信号 EN は、例えば、2 5 6 ビットのデジタル信号である。また、トランジスタ MN 5 4 は、デジタル信号のビット幅に応じた 2 5 6 個のトランジスタを並列接続することによって構成される。

【 0 0 5 6 】

40

PLL 回路 5 c のその他の構成については、PLL 回路 5 b の場合と同様であるため、その説明を省略する。

【 0 0 5 7 】

PLL 回路 5 c は、例えば PLL 回路 5 c の起動時に、バイアス電圧 V_{bias} の変動によって生成される電圧制御発振器 5 9 d のオフセット電流を、デジタル的にキャリブレーションする。それにより、制御電圧 V_{cprop} , V_{cint} の変化による電流可変範囲が制限されていても、また、プロセス、電源電圧及び温度の変動によってオフセット電流が所定値からバラついていたとしても、ターゲットとなる発振周波数において位相をロックさせることができる。

【 0 0 5 8 】

50

しかしながら、PLL回路5cでは、通常動作中にバイアス電圧 V_{bias} が変動した場合に、リアルタイムにオフセット電流のキャリブレーションを行うことができないという問題があった。仮に、通常動作中にリアルタイムにオフセット電流のキャリブレーションが行われた場合、デジタル制御の影響でオフセット電流の変化量の最小単位が大きくなるため、発振周波数が大きく変動してしまい、その結果、出力クロック信号CLKOUTのジッタが増大してしまう。

【0059】

なお、トランジスタMN54が飽和領域で用いられることから、オフセット電流の変化量の最小単位は小さくとも数 μA 程度が限界である。また、分解能を高くするためにトランジスタMN54を構成するトランジスタの数を増やすと、回路規模及び信号配線数が増大してしまう。

10

【0060】

このような問題を解決するため、発明者は次にPLL回路5dを検討した。

【0061】

(構想段階におけるPLL回路5dの構成)

図37は、実施の形態に至る前の構想に係るPLL回路5dの構成を示す図である。

図37に示すように、PLL回路5dは、トリプルパス構成のPLL回路であって、PLL回路5aと比較して、コンパレータ58及びフィルタ57をさらに備えるとともに、電圧制御発振器59aの代わりに電圧制御発振器59dを備える。

【0062】

第3のパスにおいて、コンパレータ58は、チャージポンプ53の出力電流 I_{cint} をフィルタ56によって積分した結果である制御電圧 V_{cint} と、基準電圧 V_{ref} と、を比較して比較結果を出力する。換言すると、コンパレータ58は、制御電圧 V_{cint} が基準電圧 V_{ref} からずれているか否かを検出する。例えば、コンパレータ58は、制御電圧 V_{cint} が基準電圧 V_{ref} より大きい場合に正極性の電流を出力し、制御電圧 V_{cint} が基準電圧 V_{ref} 未満の場合に負極性の電流を出力し、制御電圧 V_{cint} が基準電圧 V_{ref} を示す場合に電流を出力しない。

20

【0063】

フィルタ57は、例えばフィルタ56と同様の回路構成を有し、コンパレータ58の比較結果(出力電流)を積分することで制御電圧 V_{cgmc} を生成する。

30

【0064】

図38は、フィルタ55~57の構成例を示す図である。図38に示すように、フィルタ57は、フィルタ56と同様に、一つの容量素子C53を有する。

【0065】

電圧制御発振器59dは、主として、制御電圧 V_{cprop} に応じた位相(及び周波数)、かつ、制御電圧 V_{cint} 、 V_{cgmc} に応じた周波数の発振信号を出力する。例えば、電圧制御発振器59dは、制御電圧 V_{cprop} 、 V_{cint} 、 V_{cgmc} が高くなるほど、発振信号の周波数を高くし、制御電圧 V_{cprop} 、 V_{cint} 、 V_{cgmc} が低くなるほど、発振信号の周波数を低くする。この発振信号は、出力クロック信号CLKOUTとしてPLL回路5dの外部に出力される。

40

【0066】

図39は、電圧制御発振器59dの構成例を示す図である。

図39に示すように、電圧制御発振器59dは、電圧制御発振器59aと比較して、トランジスタMN51、MN52に加えて、トランジスタMN53をさらに備える。トランジスタMN53は、トランジスタMN51、MN52に並列に設けられ、制御電圧 V_{cgmc} に応じてオン電流が制御される。つまり、制御電圧 V_{cprop} 、 V_{cint} 、 V_{cgmc} によってインバータINV51~INV53の遅延量が制御される。

【0067】

なお、トランジスタMN51~MN53は、トランジスタMN51~MN53のそれぞれに流れる電流の合計がトランジスタMN50に流れる電流と同じになるように構成され

50

ている。例えば、トランジスタMN51, MN52は、それぞれトランジスタMN50の10分の1のサイズとなるように構成され、トランジスタMN53は、トランジスタMN50の10分の8のサイズとなるように構成される。具体的には、トランジスタMN53は、トランジスタMN51, MN52と同じサイズの8個のトランジスタを並列接続することによって構成される。

【0068】

PLL回路5dのその他の構成については、PLL回路5aの場合と同様であるため、その説明を省略する。

【0069】

図40は、電圧制御発振器59dにおける制御電圧 V_{cint} , V_{cgmc} と発振周波数 f_{vco} との関係を示す図である。なお、図40には、比較のため、電圧制御発振器59aにおける制御電圧 V_{cint} と発振周波数 f_{vco} との関係も示されている。

10

【0070】

図40に示すように、PLL回路5aに設けられた電圧制御発振器59aでは、制御電圧 V_{cint} の変化に応じて発振周波数 f_{vco} が変化している。それに対し、PLL回路5dに設けられた電圧制御発振器59dでは、制御電圧 V_{cint} の変化に応じて発振周波数 f_{vco} が変化しているだけでなく、制御電圧 V_{cgmc} の変化に応じて発振周波数 f_{vco} のオフセット成分が変化している。例えば、制御電圧 V_{cint} が基準電圧 V_{ref} 以上の場合、制御電圧 V_{cgmc} が上昇するため、電圧制御発振器59dの発振周波数 f_{vco} のオフセット成分はターゲット周波数に向かって緩やかに上昇する。他方、制御電圧 V_{cint} が基準電圧 V_{ref} 未満の場合、制御電圧 V_{cgmc} が下降するため、電圧制御発振器59dの発振周波数 f_{vco} のオフセット成分はターゲット周波数に向かって緩やかに下降する。

20

【0071】

このように、PLL回路5dは、第3のパスにおいて生成された制御電圧 V_{cgmc} を用いて、電圧制御発振器59dの発振周波数のオフセット成分(電圧制御発振器59dに流れるオフセット電流)をアナログ的にキャリブレーションする。それにより、PLL回路5dは、起動時のみならず、通常動作中においても、リアルタイムにオフセット電流のキャリブレーションを行うことができる。

【0072】

ここで、制御電圧 V_{cgmc} によるバックグランド制御の応答速度は、PLL回路5dの安定性を確保するため、制御電圧 V_{cprop} , V_{cint} によるループ制御の応答速度よりも十分に遅く設定される必要がある。例えば、制御電圧 V_{cgmc} によるバックグランド制御の応答速度は、制御電圧 V_{cint} によるループ制御の応答速度の10分の1程度に遅く設定される。

30

【0073】

図41は、PLL回路5dの動作を示すタイミングチャートである。

図41に示すように、制御電圧 V_{cgmc} を用いないPLL回路5aの構成では、起動してから位相がロックするまでの時間は、例えばT1秒である。それに対し、PLL回路5dでは、起動してから、制御電圧 V_{cgmc} が所望の電圧レベルで安定して(即ち、バックグランド制御が完了して)、位相がロックするまでの時間は、例えばT1秒の10倍のT2秒である。つまり、PLL回路5dでは、起動後に速やかに位相をロックさせることができない、という問題があった。

40

【0074】

そこで、速やかに位相をロックさせることが可能な、実施の形態1にかかるPLL回路、それを備えた半導体装置、及び、PLL回路の制御方法が見出された。

【0075】

<実施の形態1>

図1は、実施の形態1にかかるPLL回路1を示すブロック図である。本実施の形態にかかるPLL回路1は、トリプルパス構成のPLL回路であって、起動時には、応答速度

50

の遅い発振周波数のオフセット成分の制御を行わないで速やかに位相をロックさせ、位相ロック後に、応答速度の遅い発振周波数のオフセット成分の制御を行う。それにより、本実施の形態にかかるPLL回路1は、速やかに位相をロックさせることができる。以下、具体的に説明する。

【0076】

図1に示すように、PLL回路1は、トリプルパス構成のPLL回路であって、位相比較器(PFD)11と、チャージポンプ(CP)12~14と、フィルタ(FLT)15~17と、コンパレータ18と、スイッチ素子SW1と、電圧制御発振器19と、分周器20と、ロック検出部21と、を備える。

【0077】

位相比較器11は、基準クロック信号CLKREF及び帰還クロック信号CLKFBKのそれぞれの位相を比較して、比較結果UP, DNを出力する。比較結果UP, DNは何れもパルス信号である。

【0078】

図2は、位相比較器11の構成例を示す図である。

図2に示すように、位相比較器11は、フリップフロップ111, 112と、論理積回路(以下、AND回路と称す)113と、インバータ114, 115と、を有する。

【0079】

フリップフロップ111では、データ入力端子DにHレベルの固定信号が入力され、クロック入力端子CKに基準クロック信号CLKREFが入力され、リセット入力端子RSTにAND回路113の出力がインバータ114, 115を介して入力され、データ出力端子Qから比較結果UPが出力される。

【0080】

フリップフロップ112では、データ入力端子DにHレベルの固定信号が入力され、クロック入力端子CKに帰還クロック信号CLKFBKが入力され、リセット入力端子RSTにAND回路113の出力がインバータ114, 115を介して入力され、データ出力端子Qから比較結果DNが出力される。

【0081】

AND回路113は、比較結果UP, DNの論理積を生成し、インバータ114, 115を介して、フリップフロップ111, 112に対して出力する。

【0082】

フリップフロップ111は、基準クロック信号CLKREFの立ち上がり同期して比較結果UPを立ち上げる。フリップフロップ112は、帰還クロック信号CLKFBKの立ち上がり同期して比較結果DNを立ち上げる。比較結果UP, DNが何れも立ち上がると、AND回路113は出力を立ち上げる。それにより、フリップフロップ111, 112が初期化されるため、比較結果UP, DNは何れも立ち下がる。

【0083】

例えば、基準クロック信号CLKREF及び帰還クロック信号CLKFBK間に位相差が無い場合、位相比較器11は、同じパルス幅の比較結果UP, DNを出力する。他方、基準クロック信号CLKREF及び帰還クロック信号CLKFBK間に位相差が有る場合、位相比較器11は、異なるパルス幅の比較結果UP, DNを出力する。より具体的には、帰還クロック信号CLKFBKの位相が基準クロック信号CLKREFの位相より遅れている場合には、比較結果UPのパルス幅を比較結果DNのパルス幅より長くし、帰還クロック信号CLKFBKの位相が基準クロック信号CLKREFの位相より進んでいる場合には、比較結果DNのパルス幅を比較結果UPのパルス幅より長くする。

【0084】

(第1のパスの詳細)

まず、位相比較器11からチャージポンプ12、フィルタ15を経由して電圧制御発振器19に至るまでのパス(第1のパス)について説明する。第1のパスでは、フィルタ15が電荷保持機能を持たず、位相比較器11による比較のたびに位相差の微調整が行われ

10

20

30

40

50

る。以下、位相制御が行われるパスを比例パスとも称す。

【0085】

チャージポンプ12は、位相比較器11の比較結果UP, DNに応じた電流I_{cprop}を生成する。

【0086】

図3は、チャージポンプ12の構成例を示す図である。図3に示すように、チャージポンプ12は、定電流源121, 122と、スイッチ素子(電流供給制御スイッチ)123, 124と、を有する。各スイッチ素子123, 124は、例えば、Nチャンネル型MOSトランジスタである。

【0087】

定電流源121及びスイッチ素子123は、電源電圧VDDが供給される電源電圧端子(以下、電源電圧端子VDDと称す)と、チャージポンプ12の出力端子(ノードN12)と、の間に設けられている。スイッチ素子123は、比較結果UPに基づいてオンオフ制御される。定電流源122及びスイッチ素子124は、接地電圧GNDが供給される接地電圧端子(以下、接地電圧端子GNDと称す)と、ノードN12と、の間に設けられている。スイッチ素子124は、比較結果DNに基づいてオンオフ制御される。

【0088】

例えば、比較結果UP, DNのパルス幅が同じである場合、スイッチ素子123, 124が同じ期間オンするため、チャージポンプ12によって生成される電流I_{cprop}はゼロである。それに対し、比較結果UPのパルス幅が比較結果DNのパルス幅よりも長い場合、チャージポンプ12は、そのパルス幅の差(即ち、位相差)に相当する期間、正極性の電流I_{cprop}を生成する。それにより、フィルタ15には電荷が蓄積される。また、比較結果DNのパルス幅が比較結果UPのパルス幅よりも長い場合、チャージポンプ12は、そのパルス幅の差(即ち、位相差)に相当する期間、負極性の電流I_{cprop}を生成する。それにより、フィルタ15に蓄積された電荷が引き抜かれる。なお、チャージポンプ12は、動作モードに応じて電流I_{cprop}の最大値を切り替える構成であってもよい。

【0089】

フィルタ15は、チャージポンプ12の出力電流I_{cprop}に基づいて生成される電圧からリップルノイズを除去した制御電圧V_{cprop}を生成する。

【0090】

図4は、フィルタ15の構成例を示す図である。図4に示すように、フィルタ15は、抵抗素子R1と、容量素子C1と、を有する。抵抗素子R1は、接地電圧端子GNDとチャージポンプ12の出力端子との間に設けられている。容量素子C1は、抵抗素子R1に並列に設けられている。

【0091】

(第2のパスの詳細)

続いて、位相比較器11からチャージポンプ13、フィルタ16を経由して電圧制御発振器19に至るまでのパス(第2のパス)について説明する。第2のパスでは、フィルタ16が電荷保持機能を有しており周波数情報を保持する。以下、周波数制御が行われるパスを積分パスとも称す。

【0092】

チャージポンプ13は、チャージポンプ12と同様の回路構成を有し、位相比較器11の比較結果UP, DNに応じた電流I_{ciint}を生成する。

【0093】

(チャージポンプ13の第1の構成例)

図5は、チャージポンプ13の第1の構成例を示す図である。チャージポンプ13は、定電流源131, 132及びスイッチ素子133, 134を有する。チャージポンプ13の定電流源131, 132及びスイッチ素子133, 134は、それぞれチャージポンプ12の定電流源121, 122及びスイッチ素子123, 124に対応する。チャージポ

10

20

30

40

50

ンプ 13 のその他の構成及び動作については、チャージポンプ 12 の場合と同様であるため、その説明を省略する。

【0094】

図 6 は、チャージポンプ 13 の動作を示すタイミングチャートである。

図 6 の例では、帰還クロック信号 CLKFBK の位相が基準クロック信号 CLKREF の位相よりも遅れているため、その位相差分だけ比較結果 UP のパルス幅（時刻 t_{11} ~ t_{13} ）が比較結果 DN のパルス幅（時刻 t_{12} ~ t_{13} ）よりも長くなっている。このとき、チャージポンプ 13 は、それらのパルス幅の差に相当する期間（時刻 t_{11} ~ t_{12} ）、正極性の電流 I_{cint} を出力する。

【0095】

その後、発振信号（出力クロック信号 CLKOUT）の周波数制御が行われることによって、帰還クロック信号 CLKFBK 及び基準クロック信号 CLKREF の位相差が小さくなると、その位相差の縮小に伴って、比較結果 UP のパルス幅（時刻 t_{14} ~ t_{16} ）及び比較結果 DN のパルス幅（時刻 t_{15} ~ t_{16} ）の差分も小さくなる。それにより、正極性の電流 I_{cint} の出力期間も短くなる（時刻 t_{14} ~ t_{15} ）。

【0096】

そして、帰還クロック信号 CLKFBK 及び基準クロック信号 CLKREF の位相差がゼロになると、比較結果 UP のパルス幅及び比較結果 DN のパルス幅の差分もゼロになる（時刻 t_{17} ~ t_{18} ）。それにより、チャージポンプ 13 の出力電流 I_{cint} は理想的にはゼロになる。

【0097】

（チャージポンプ 13 の第 2 の構成例）

図 7 は、チャージポンプ 13 の第 2 の構成例をチャージポンプ 13a として示す図である。チャージポンプ 13a は、チャージポンプ 13 と比較して、スイッチ素子 135, 136 をさらに備える。スイッチ素子 135 は、スイッチ素子 133 に直列に設けられ、モード切替信号 S1 の反転信号 S1B に基づいてオンオフ制御される。スイッチ素子 136 は、スイッチ素子 134 に直列に設けられ、モード切替信号 S1 の反転信号 S1B に基づいてオンオフ制御される。

【0098】

例えば、モード切替信号 S1 が L レベル（反転信号 S1B が H レベル）の場合、スイッチ素子 135, 136 は何れもオンする。そのため、チャージポンプ 13a は、チャージポンプ 13 と同様の動作を行う。それに対し、モード切替信号 S1 が H レベル（反転信号 S1B が L レベル）の場合、スイッチ素子 135, 136 は何れもオフする。そのため、チャージポンプ 13a は、電流 I_{cint} を出力しない。

【0099】

図 8 は、チャージポンプ 13a の動作を示すタイミングチャートである。

図 8 の例では、モード切替信号 S1 の反転信号 S1B が H レベルに固定されているため、チャージポンプ 13a は、図 6 に示すチャージポンプ 13 と同様の動作を行っている。ただし、スイッチ素子 135, 136 間にオン抵抗のばらつきがある場合、帰還クロック信号 CLKFBK 及び基準クロック信号 CLKREF の位相差がゼロになることによって、比較結果 UP のパルス幅及び比較結果 DN のパルス幅の差分もゼロになった場合でも、チャージポンプ 13a の出力電流 I_{cint} がゼロにならない可能性がある（時刻 t_{17} ~ t_{18} ）。その場合、帰還クロック信号 CLKFBK 及び基準クロック信号 CLKREF 間には定常的な位相差（位相オフセット）が生じる可能性がある。

【0100】

このように、チャージポンプ 13 には、通常ロックモードの場合（モード切替信号 S1 の反転信号 S1B が H レベルの場合）にのみ駆動されるチャージポンプ 13a の構成が採用されてもよい。それにより、消費電力の増大が抑制される。また、高速ロックモードにおけるノード N1 の電圧の変動が抑制される。但し、その場合、帰還クロック信号 CLKFBK 及び基準クロック信号 CLKREF 間には定常的な位相差（位相オフセット）が生

10

20

30

40

50

じる可能性があることに留意する必要がある。

【0101】

(チャージポンプ13の第3の構成例)

図9は、チャージポンプ13の第3の構成例をチャージポンプ13bとして示す図である。チャージポンプ13bは、チャージポンプ13と比較して、論理積回路(AND回路)137, 138をさらに備える。AND回路137は、比較結果UPとモード切替信号S1の反転信号S1Bとの論理積を出力する。AND回路138は、比較結果DNとモード切替信号S1の反転信号S1Bとの論理積を出力する。スイッチ素子133は、AND回路137の出力に基づいてオンオフ制御される。スイッチ素子134は、AND回路138の出力に基づいてオンオフ制御される。

10

【0102】

例えば、モード切替信号S1がLレベル(反転信号S1BがHレベル)の場合、AND回路137, 138はそれぞれ比較結果UP, DNをそのまま出力する。そのため、チャージポンプ13bは、チャージポンプ13と同様の動作を行う。それに対し、モード切替信号S1がHレベル(反転信号S1BがLレベル)の場合、AND回路137, 138はそれぞれ比較結果UP, DNをマスクしてLレベルの信号を出力する。そのため、チャージポンプ13bは、電流Icintを出力しない。

【0103】

図10は、チャージポンプ13bの動作を示すタイミングチャートである。

図10の例では、モード切替信号S1の反転信号S1BがHレベルに固定されているため、チャージポンプ13bは、図6に示すチャージポンプ13と同様の動作を行っている。ただし、AND回路137, 138間に製造ばらつきがある場合、帰還クロック信号CLKFBK及び基準クロック信号CLKREFの位相差がゼロになった場合でも、比較結果UPのパルス幅及び比較結果DNのパルス幅の差分がゼロにならず、その結果、チャージポンプ13bの出力電流Icintがゼロにならない可能性がある(時刻t17~t18)。その場合、帰還クロック信号CLKFBK及び基準クロック信号CLKREF間には定常的な位相差(位相オフセット)が生じる可能性がある。

20

【0104】

このように、チャージポンプ13には、通常ロックモードの場合(モード切替信号S1の反転信号S1BがHレベルの場合)にのみ駆動されるチャージポンプ13bの構成が採用されてもよい。それにより、消費電力の増大が抑制される。また、高速ロックモードにおけるノードN1の電圧の変動が抑制される。但し、その場合、帰還クロック信号CLKFBK及び基準クロック信号CLKREF間には定常的な位相差(位相オフセット)が生じる可能性があることに留意する必要がある。

30

【0105】

フィルタ16は、チャージポンプ13及びフィルタ16の間を接続するノードN1に流れる電流を積分することで制御電圧Vcintを生成する。詳しくは後述するが、フィルタ16は、高速ロックモードにおいてノードN1に基準電圧Vrefが印加されている場合には、チャージポンプ13の出力電流Icintに関わらず、基準電圧Vrefを示す制御電圧Vcintを生成し、通常ロックモードの場合、チャージポンプ13の出力電流Icintを積分することで制御電圧Vcintを生成する。

40

【0106】

図11は、フィルタ16の構成例を示す図である。図11に示すように、フィルタ16は、容量素子C2を有する。容量素子C2は、接地電圧端子GNDとノードN1(チャージポンプ13の出力端子)との間に設けられている。

【0107】

(第3のパスの詳細)

続いて、位相比較器11から、チャージポンプ14又はコンパレータ18、及び、フィルタ17を経由して電圧制御発振器19に至るまでのパス(第3のパス)について説明する。

50

【 0 1 0 8 】

チャージポンプ 1 4 は、高速ロックモードの場合（即ち、モード切替信号 S 1 が H レベルの場合）に駆動され、位相比較器 1 1 の比較結果 U P , D N に応じた電流 I c g m c を生成する。

【 0 1 0 9 】

（チャージポンプ 1 4 の第 1 の構成例）

図 1 2 は、チャージポンプ 1 4 の第 1 の構成例を示す図である。チャージポンプ 1 4 は、定電流源 1 4 1 , 1 4 2 及びスイッチ素子 1 4 3 ~ 1 4 6 を有する。チャージポンプ 1 4 の定電流源 1 4 1 , 1 4 2 及びスイッチ素子 1 4 3 , 1 4 4 は、それぞれチャージポンプ 1 3 の定電流源 1 3 1 , 1 3 2 及びスイッチ素子 1 3 3 , 1 3 4 に対応する。スイッチ素子 1 4 5 は、スイッチ素子 1 4 3 に直列に設けられ、モード切替信号 S 1 に基づいてオンオフ制御される。スイッチ素子 1 4 6 は、スイッチ素子 1 4 4 に直列に設けられ、モード切替信号 S 1 に基づいてオンオフ制御される。

10

【 0 1 1 0 】

例えば、モード切替信号 S 1 が H レベルの場合、スイッチ素子 1 4 5 , 1 4 6 は何れもオンする。そのため、チャージポンプ 1 4 は、チャージポンプ 1 3 と同様の動作を行う。それに対し、モード切替信号 S 1 が L レベルの場合、スイッチ素子 1 4 5 , 1 4 6 は何れもオフする。そのため、チャージポンプ 1 4 は、電流 I c g m c を出力しない。

【 0 1 1 1 】

図 1 3 は、チャージポンプ 1 4 の動作を示すタイミングチャートである。

20

図 1 3 の例では、モード切替信号 S 1 が H レベルに固定されているため、チャージポンプ 1 4 は、チャージポンプ 1 3 と同様の動作を行っている。ただし、スイッチ素子 1 4 5 , 1 4 6 間にオン抵抗のばらつきがある場合、帰還クロック信号 C L K F B K 及び基準クロック信号 C L K R E F の位相差がゼロになることによって、比較結果 U P のパルス幅及び比較結果 D N のパルス幅の差分もゼロになった場合でも、チャージポンプ 1 4 の出力電流 I c g m c がゼロにならない可能性がある（時刻 t 2 7 ~ t 2 8 ）。その場合、帰還クロック信号 C L K F B K 及び基準クロック信号 C L K R E F 間には定常的な位相差（位相オフセット）が生じる可能性がある。

【 0 1 1 2 】

このように、チャージポンプ 1 4 には、高速ロックモードの場合（モード切替信号 S 1 が H レベルの場合）にのみ駆動される構成が採用される。但し、その場合、帰還クロック信号 C L K F B K 及び基準クロック信号 C L K R E F 間には定常的な位相差（位相オフセット）が生じる可能性があることに留意する必要がある。

30

【 0 1 1 3 】

（チャージポンプ 1 4 の第 2 の構成例）

図 1 4 は、チャージポンプ 1 4 の第 2 の構成例をチャージポンプ 1 4 a として示す図である。チャージポンプ 1 4 a は、定電流源 1 4 1 , 1 4 2 と、スイッチ素子 1 4 3 , 1 4 4 と、論理積回路（AND 回路）1 4 7 , 1 4 8 と、を有する。チャージポンプ 1 4 a の定電流源 1 4 1 , 1 4 2 及びスイッチ素子 1 4 3 , 1 4 4 は、それぞれチャージポンプ 1 3 の定電流源 1 3 1 , 1 3 2 及びスイッチ素子 1 3 3 , 1 3 4 に対応する。AND 回路 1 4 7 は、比較結果 U P とモード切替信号 S 1 との論理積を出力する。AND 回路 1 4 8 は、比較結果 D N とモード切替信号 S 1 との論理積を出力する。スイッチ素子 1 4 3 は、AND 回路 1 4 7 の出力に基づいてオンオフ制御される。スイッチ素子 1 4 4 は、AND 回路 1 4 8 の出力に基づいてオンオフ制御される。

40

【 0 1 1 4 】

例えば、モード切替信号 S 1 が H レベルの場合、AND 回路 1 4 7 , 1 4 8 はそれぞれ比較結果 U P , D N をそのまま出力する。そのため、チャージポンプ 1 4 a は、チャージポンプ 1 3 と同様の動作を行う。それに対し、モード切替信号 S 1 が L レベルの場合、AND 回路（マスク回路）1 4 7 , 1 4 8 はそれぞれ比較結果 U P , D N をマスクして L レベルの信号を出力する。そのため、チャージポンプ 1 4 a は、電流 I c g m c を出力しな

50

い。

【 0 1 1 5 】

図 1 5 は、チャージポンプ 1 4 a の動作を示すタイミングチャートである。

図 1 5 の例では、モード切替信号 S 1 が H レベルに固定されているため、チャージポンプ 1 4 a は、チャージポンプ 1 3 と同様の動作を行っている。ただし、AND 回路 1 4 7 , 1 4 8 間に製造ばらつきがある場合、帰還クロック信号 C L K F B K 及び基準クロック信号 C L K R E F の位相差がゼロになった場合でも、比較結果 U P のパルス幅及び比較結果 D N のパルス幅の差分がゼロにならず、その結果、チャージポンプ 1 4 a の出力電流 I c g m c がゼロにならない可能性がある（時刻 t 2 7 ~ t 2 8 ）。その場合、帰還クロック信号 C L K F B K 及び基準クロック信号 C L K R E F 間には定常的な位相差（位相オフセット）が生じる可能性がある。

10

【 0 1 1 6 】

このように、チャージポンプ 1 4 には、高速ロックモードの場合（モード切替信号 S 1 が H レベルの場合）にのみ駆動されるチャージポンプ 1 4 a の構成が採用されてもよい。但し、その場合、帰還クロック信号 C L K F B K 及び基準クロック信号 C L K R E F 間には定常的な位相差（位相オフセット）が生じる可能性があることに留意する必要がある。

【 0 1 1 7 】

なお、チャージポンプ 1 4 は、上述の構成に限られず、モード切替信号 S 1 に関わらず常に動作する図 5 に示すチャージポンプ 1 3 と同様の構成であってもよい。この場合、チャージポンプ 1 4 とノード N 2 との間には、高速ロックモードの場合にオンし、通常ロックモードの場合にオフするスイッチ素子 S W 2 が設けられる必要がある。

20

【 0 1 1 8 】

図 1 に戻り説明を続ける。

スイッチ素子 S W 1（スイッチ部）は、基準電圧 V r e f が供給される基準電圧端子（以下、基準電圧端子 V r e f と称す）と、ノード N 1 と、の間に設けられ、高速ロックモード（即ち、モード切替信号 S 1 が H レベル）の場合にオンし、通常ロックモード（即ち、モード切替信号 S 1 が L レベル）の場合にオフする。

【 0 1 1 9 】

なお、スイッチ素子 S W 1 には、できるだけオン抵抗の大きなものが用いられることが好ましい。例えば、スイッチ素子 S W 1 は、少なくともスイッチ素子 S W 2 のオン抵抗よりも大きなオン抵抗であることが好ましい。それにより、ノード N 1 からオフ状態のスイッチ素子 S W 1 を介して基準電圧端子 V r e f に流れるリーク電流を抑制することができるため、位相オフセットが抑制される（図 1 6 参照）。ここで、ノード N 1 と基準電圧端子 V r e f との間には電流を流すためのバスではないため、スイッチ素子 S W 1 のオン抵抗が大きくても、コンパレータ 1 8 の 2 つの入力端子間には電位差は生じない。

30

【 0 1 2 0 】

コンパレータ 1 8 は、ノード N 1 の電圧（制御電圧 V c i n t）と、基準電圧 V r e f と、を比較して比較結果を出力する。例えば、コンパレータ 1 8 は、制御電圧 V c i n t が基準電圧 V r e f より大きい場合に正極性の電流を出力し、制御電圧 V c i n t が基準電圧 V r e f 未満の場合に負極性の電流を出力し、制御電圧 V c i n t が基準電圧 V r e f を示す場合に電流を出力しない。

40

【 0 1 2 1 】

なお、コンパレータ 1 8 は、アンプ及び位相補償容量を有しているため、起動するのに時間を要する。そのため、コンパレータ 1 8 は、動作モードによらず動作させていることが好ましい。本実施の形態においても、コンパレータ 1 8 は、動作モードによらず常に動作させている。

【 0 1 2 2 】

フィルタ 1 7 は、フィルタ 1 6 と同様の回路構成を有し、チャージポンプ 1 4 の出力端子及びコンパレータ 1 8 の出力端子の間を接続するノード N 2 に流れる電流を積分することで制御電圧 V c g m c を生成する。詳しくは後述するが、フィルタ 1 7 は、高速ロック

50

モードにおいてコンパレータ 18 から電流が出力されない場合、チャージポンプ 14 の出力電流 $I_{cgm c}$ を積分することで制御電圧 $V_{cgm c}$ を生成し、通常ロックモードにおいてチャージポンプ 14 の動作が停止している場合、コンパレータ 18 の比較結果を積分することで制御電圧 $V_{cgm c}$ を生成する。

【0123】

図 17 は、フィルタ 17 の構成例を示す図である。図 17 に示すように、フィルタ 17 は、容量素子 C3 を有する。容量素子 C3 は、接地電圧端子 GND とノード N2 との間に設けられている。

【0124】

電圧制御発振器 19 は、主として、制御電圧 V_{cprop} に応じた位相（及び周波数）、かつ、制御電圧 V_{cint} 、 $V_{cgm c}$ に応じた周波数の発振信号を出力する。例えば、電圧制御発振器 19 は、制御電圧 V_{cprop} 、 V_{cint} 、 $V_{cgm c}$ が高くなるほど、発振信号の周波数を高くし、制御電圧 V_{cprop} 、 V_{cint} 、 $V_{cgm c}$ が低くなるほど、発振信号の周波数を低くする。この発振信号は、出力クロック信号 CLKOUT として PLL 回路 1 の外部に出力される。

10

【0125】

図 18 は、電圧制御発振器 19 の構成例を示す図である。

図 18 に示すように、電圧制御発振器 19 は、インバータ INV1 ~ INV3 と、トランジスタ MN1 ~ MN3 と、を有する。インバータ INV1 ~ INV3 は、ループ状に設けられ、インバータ INV3 の出力を、電圧制御発振器 19 の発振信号として出力する。また、トランジスタ MN1 ~ MN3 は、インバータ INV1 ~ INV3 のそれぞれの低電位側電源端子と、接地電圧端子 GND と、の間に並列に設けられ、それぞれ、制御電圧 V_{cprop} 、 V_{cint} 、 $V_{cgm c}$ によってオン電流が制御される。つまり、制御電圧 V_{cprop} 、 V_{cint} 、 $V_{cgm c}$ によってインバータ INV1 ~ INV3 の遅延量が制御される。

20

【0126】

例えば、トランジスタ MN1 ~ MN3 は、これらのサイズ比（即ち、ゲート電圧を同じにした場合のドレイン電流の比）が 1 : 1 : 8 となるように構成されている。具体的には、トランジスタ MN3 は、トランジスタ MN1、MN2 と同じサイズの 8 個のトランジスタを並列接続することにより構成される。

30

【0127】

分周器 20 は、電圧制御発振器 19 から出力された発振信号を分周して帰還クロック信号 CLKFBK として出力する。

【0128】

ロック検出部 21 は、発振信号の位相がロックしたことを検出して、モード切替信号 S1 を例えば H レベルから L レベルに切り替える。それにより、PLL 回路 1 の動作モードは、高速クロックモードから通常ロックモードに切り替わる。

【0129】

本例では、ロック検出部 21 は、PLL 回路 1 が起動してから、発振信号の位相がロックするのに要する所定期間の経過後、モード切替信号 S1 を例えば H レベルから L レベルに切り替える。ここで、ロック検出部 21 は、基準クロック信号 CLKREF の立ち上がり回数をカウントするカウンタと、当該カウンタのカウント値と所定値とを比較する比較回路（モード切替回路）と、を備える。そして、ロック検出部 21 は、カウンタのカウント値が所定値に達した場合に、発振信号の位相がロックするのに要する所定期間が経過したと判断して、モード切替信号 S1 を例えば H レベルから L レベルに切り替える。

40

【0130】

（PLL 回路 1 の動作）

続いて、PLL 回路 1 の動作について説明する。

【0131】

（高速ロックモードにおける PLL 回路 1 の動作）

50

まず、高速ロックモードにおけるPLL回路1の動作について説明する。高速ロックモードは、PLL回路1が起動してから、発振信号の位相がロックするまで、の期間を含む動作モードである。なお、高速ロックモードでは、ロック検出部21からHレベルのモード切替信号S1が出力されている。

【0132】

図19は、高速ロックモードにおけるPLL回路1の等価回路をPLL回路1aとして示す図である。ここで、高速ロックモードでは、スイッチ素子SW1がオンに制御されるため、ノードN1の電圧は、基準電圧Vrefを示す。また、コンパレータ18は、2つの入力端子に基準電圧Vrefが供給されるため、電流を出力しない。したがって、チャージポンプ13及びコンパレータ18は何れも動作していないものとみなすことができる。

10

【0133】

このとき、フィルタ16は、基準電圧Vrefに固定された制御電圧Vcintを生成している。

【0134】

また、このとき、チャージポンプ14は、位相比較器11の比較結果UP, DNに応じた電流Icgmを生成する。フィルタ17は、チャージポンプ14から出力された電流Icgmを積分することで制御電圧Vcgmを生成する。

【0135】

つまり、位相比較器11から、チャージポンプ13、及び、フィルタ16を經由して電圧制御発振器19に至るまでの第2のパスは、発振信号の周波数制御を行うための積分パスとしては用いられない。それに対し、位相比較器11から、チャージポンプ14、及び、フィルタ17を經由して電圧制御発振器19に至るまでの第3のパスは、発振信号の周波数制御を行うための積分パスとして用いられる。

20

【0136】

電圧制御発振器19は、主として、制御電圧Vcpropに応じた位相（及び周波数）、かつ、制御電圧Vcgmに応じた周波数の発振信号を出力する。例えば、電圧制御発振器19は、制御電圧Vcprop, Vcgmが高くなるほど、発振信号の周波数を高くし、制御電圧Vcprop, Vcgmが低くなるほど、発振信号の周波数を低くする。なお、高速ロックモードでは、コンパレータ18が機能していないため、発振周波数のオフセット成分の制御は行われぬ。それにより、電圧制御発振器19は、発振周波数のオフセット成分の緩やかな制御に律速されることなく、速やかに位相をロックさせることができる。

30

【0137】

(通常ロックモードにおけるPLL回路1の動作)

次に、通常ロックモードにおけるPLL回路1の動作について説明する。通常ロックモードは、発振信号の位相がロックした後の期間の動作モードである。なお、通常ロックモードでは、ロック検出部21からLレベルのモード切替信号S1が出力されている。

【0138】

図20は、通常ロックモードにおけるPLL回路1の等価回路をPLL回路1bとして示す図である。ここで、通常ロックモードでは、チャージポンプ14が動作しない。また、通常ロックモードでは、スイッチ素子SW1がオフに制御されるため、ノードN1には、チャージポンプ13の電流Icintが流れる。

40

【0139】

このとき、フィルタ16は、チャージポンプ13の出力電流Icintを積分することで制御電圧Vcintを生成する。そのため、ノードN1の電圧は、フィルタ16を用いて電流Icintを積分することによって生成された制御電圧Vcintを示す。

【0140】

また、このとき、コンパレータ18は、フィルタ16を用いて電流Icintを積分することにより生成された制御電圧Vcint（ノードN1の電圧）と、基準電圧Vref

50

と、を比較して比較結果を出力する。例えば、コンパレータ18は、制御電圧 V_{cint} が基準電圧 V_{ref} より大きい場合に正極性の電流を出力し、制御電圧 V_{cint} が基準電圧 V_{ref} 未満の場合に負極性の電流を出力し、制御電圧 V_{cint} が基準電圧 V_{ref} を示す場合に電流を出力しない。そして、フィルタ17は、コンパレータ18の比較結果(ノードN2に流れる電流)を積分することで制御電圧 $V_{cgm c}$ を生成する。

【0141】

つまり、位相比較器11から、チャージポンプ13、及び、フィルタ16を経由して電圧制御発振器19に至るまでの第2のパスは、発振信号の周波数制御を行うための積分パスとして用いられる。他方、位相比較器11から、チャージポンプ13、コンパレータ18、及び、フィルタ17を経由して電圧制御発振器19に至るまでの第3のパスは、発振周波数のオフセット成分の制御を行うための第2の積分パスとして用いられる。

10

【0142】

電圧制御発振器19は、主として、制御電圧 V_{cprop} に応じた位相(及び周波数)、かつ、制御電圧 V_{cint} 、 $V_{cgm c}$ に応じた周波数の発振信号を出力する。なお、通常ロックモードでは、上述したように発振周波数のオフセット成分が行われる。つまり、電圧制御発振器19は、位相がロックした後の安定した状態では、発振周波数のオフセット成分の緩やかな制御も含めて発振信号を制御することにより、ノイズの抑制された精度の高い発振周波数の発振信号を生成することができる。

【0143】

図21は、PLL回路1の動作を示すタイミングチャートである。図21に示すように、PLL回路1は、起動時には、動作モードを高速ロックモードに設定する。それにより、PLL回路1は、発振周波数のオフセット成分の緩やかな制御に律速されることなく、速やかに発振信号の位相をロックさせることができる。図21の例では、PLL回路1が起動してからT1秒後に位相がロックしており、図41の例と比較して10分の1程度に短縮されている。そして、位相ロック後、PLL回路1は、動作モードを高速ロックモードから通常ロックモードに移行させる。それにより、PLL回路1は、位相がロックした後の安定した状態では、発振周波数のオフセット成分の緩やかな制御も含めて発振信号を制御するため、精度の高い発振周波数の発振信号を生成することができる。

20

【0144】

このように、実施の形態1にかかるPLL回路1は、起動時には、応答速度の遅い発振周波数のオフセット成分の制御を行わないで速やかに位相をロックさせ、位相ロック後に、応答速度の遅い発振周波数のオフセット成分の制御を行う。それにより、実施の形態1にかかるPLL回路1は、速やかに位相をロックさせることができる。

30

【0145】

(PLL回路1の適用事例)

図22は、PLL回路1が適用された半導体装置100の構成例を示すブロック図である。図22に示すように、半導体装置100は、PLL回路1と、発振器101と、内部回路の一部として、デジタル回路102と、CPU103と、メモリ104と、インターフェース回路105と、を備える。

【0146】

発振器101は、例えば水晶発振器であって、基準クロック信号 $CLKREF$ を生成する。PLL回路1は、発振器101からの基準クロック信号 $CLKREF$ に基づいて、出力クロック信号 $CLKOUT$ を生成する。デジタル回路102、CPU103、メモリ104、インターフェース回路105は、何れも出力クロック信号 $CLKOUT$ に同期して動作する。

40

【0147】

<実施の形態2>

図23は、実施の形態2にかかるPLL回路2を示すブロック図である。PLL回路2は、PLL回路1と比較して、チャージポンプ14を備えず、スイッチ素子 $SW2$ 、 $SW3$ をさらに備える。なお、スイッチ素子 $SW1 \sim SW3$ によってスイッチ部が構成される

50

。

【 0 1 4 8 】

スイッチ素子 $SW2$ は、チャージポンプ 13 の出力端子と、コンパレータ 18 の出力端子 (ノード $N2$) と、の間に設けられ、モード切替信号 $S1$ に基づいてオンオフ制御される。スイッチ素子 $SW3$ は、チャージポンプ 13 の出力端子と、フィルタ 16 の入力端子 (ノード $N1$) と、の間に設けられ、モード切替信号 $S1$ の反転信号 $S1B$ に基づいてオンオフ制御される。例えば、高速ロックモードの場合、スイッチ素子 $SW1$, $SW2$ がオンし、スイッチ素子 $SW3$ がオフする。他方、通常ロックモードの場合、スイッチ素子 $SW1$, $SW2$ がオフし、スイッチ素子 $SW3$ がオンする。PLL回路 2 のその他の構成については、PLL回路 1 の場合と同様であるため、その説明を省略する。

10

【 0 1 4 9 】

なお、スイッチ素子 $SW1$ には、できるだけオン抵抗の大きなものが用いられることが好ましい。例えば、スイッチ素子 $SW1$ は、少なくともスイッチ素子 $SW2$, $SW3$ のオン抵抗よりも大きなオン抵抗であることが好ましい。それにより、ノード $N1$ からオフ状態のスイッチ素子 $SW1$ を介して基準電圧端子 $Vref$ に流れるリーク電流を抑制することができるため、位相オフセットが抑制される。

【 0 1 5 0 】

(PLL回路 2 の動作)

続いて、PLL回路 2 の動作について説明する。

【 0 1 5 1 】

(高速ロックモードにおける PLL回路 2 の動作)

まず、高速ロックモードにおける PLL回路 2 の動作について説明する。高速ロックモードは、PLL回路 2 が起動してから、発振信号の位相がロックするまで、の期間を含む動作モードである。なお、高速ロックモードでは、ロック検出部 21 から Hレベルのモード切替信号 $S1$ が出力されている。

20

【 0 1 5 2 】

図 24 は、高速ロックモードにおける PLL回路 2 の等価回路を PLL回路 2a として示す図である。ここで、高速ロックモードでは、スイッチ素子 $SW1$, $SW2$ がオンに制御され、かつ、スイッチ素子 $SW3$ がオフに制御されるため、ノード $N1$ の電圧は、基準電圧 $Vref$ を示す。また、コンパレータ 18 は、2つの入力端子に基準電圧 $Vref$ が供給されるため、電流を出力しない。したがって、コンパレータ 18 は動作していないものとみなすことができる。

30

【 0 1 5 3 】

このとき、フィルタ 16 は、基準電圧 $Vref$ に固定された制御電圧 $Vcint$ を示す。

【 0 1 5 4 】

また、このとき、チャージポンプ 13 の出力電流 $Icint$ は、スイッチ素子 $SW2$ を介して、ノード $N2$ に供給される。そのため、フィルタ 17 は、チャージポンプ 13 から出力された電流 $Icint$ を積分することで制御電圧 $Vcgmc$ を生成する。

【 0 1 5 5 】

つまり、位相比較器 11 から、チャージポンプ 13、及び、フィルタ 16 を経由して電圧制御発振器 19 に至るまでの第 2 のパスは、発振信号の周波数制御を行うための積分パスとしては用いられない。それに対し、位相比較器 11 から、チャージポンプ 13、及び、フィルタ 17 を経由して電圧制御発振器 19 に至るまでの第 3 のパスは、発振信号の周波数制御を行うための積分パスとして用いられる。

40

【 0 1 5 6 】

電圧制御発振器 19 は、主として、制御電圧 $Vcprop$ に応じた位相 (及び周波数)、かつ、制御電圧 $Vcgmc$ に応じた周波数の発振信号を出力する。例えば、電圧制御発振器 19 は、制御電圧 $Vcprop$, $Vcgmc$ が高くなるほど、発振信号の周波数を高くし、制御電圧 $Vcprop$, $Vcgmc$ が低くなるほど、発振信号の周波数を低くする

50

。なお、高速ロックモードでは、コンパレータ 18 が機能していないため、発振周波数のオフセット成分の制御は行われない。それにより、電圧制御発振器 19 は、発振周波数のオフセット成分の緩やかな制御に律速されることなく、速やかに位相をロックさせることができる。

【0157】

(通常ロックモードにおける PLL 回路 2 の動作)

次に、通常ロックモードにおける PLL 回路 2 の動作について説明する。通常ロックモードは、発振信号の位相がロックした後の期間の動作モードである。なお、通常ロックモードでは、ロック検出部 21 から L レベルのモード切替信号 S1 が出力されている。

【0158】

図 25 は、通常ロックモードにおける PLL 回路 2 の等価回路を PLL 回路 2b として示す図である。ここで、通常ロックモードでは、スイッチ素子 SW1, SW2 がオフに制御され、かつ、スイッチ素子 SW3 がオンに制御されるため、ノード N1 には、チャージポンプ 13 の電流 I_{cint} が流れる。

【0159】

このとき、フィルタ 16 は、チャージポンプ 13 の出力電流 I_{cint} を積分することで制御電圧 V_{cint} を生成する。そのため、ノード N1 の電圧は、フィルタ 16 を用いて電流 I_{cint} を積分することによって生成された制御電圧 V_{cint} を示す。

【0160】

また、このとき、コンパレータ 18 は、フィルタ 16 を用いて電流 I_{cint} を積分することにより生成された制御電圧 V_{cint} (ノード N1 の電圧) と、基準電圧 V_{ref} と、を比較して比較結果を出力する。例えば、コンパレータ 18 は、制御電圧 V_{cint} が基準電圧 V_{ref} より大きい場合に正極性の電流を出力し、制御電圧 V_{cint} が基準電圧 V_{ref} 未満の場合に負極性の電流を出力し、制御電圧 V_{cint} が基準電圧 V_{ref} を示す場合に電流を出力しない。そして、フィルタ 17 は、コンパレータ 18 の比較結果 (ノード N2 に流れる電流) を積分することで制御電圧 V_{cgm} を生成する。

【0161】

つまり、位相比較器 11 から、チャージポンプ 13、及び、フィルタ 16 を経由して電圧制御発振器 19 に至るまでの第 2 のパスは、発振信号の周波数制御を行うための積分パスとして用いられる。他方、位相比較器 11 から、チャージポンプ 13、コンパレータ 18、及び、フィルタ 17 を経由して電圧制御発振器 19 に至るまでの第 3 のパスは、発振周波数のオフセット成分の制御を行うための第 2 の積分パスとして用いられる。

【0162】

電圧制御発振器 19 は、主として、制御電圧 V_{cprop} に応じた位相 (及び周波数)、かつ、制御電圧 V_{cint} , V_{cgm} に応じた周波数の発振信号を出力する。なお、通常ロックモードでは、上述したように発振周波数のオフセット成分が行われる。つまり、電圧制御発振器 19 は、位相がロックした後の安定した状態では、発振周波数のオフセット成分の緩やかな制御も含めて発振信号を制御することにより、精度の高い発振周波数の発振信号を生成することができる。

【0163】

このように、実施の形態 2 にかかる PLL 回路 2 は、PLL 回路 1 と同等程度の効果を奏することができる。即ち、実施の形態 2 にかかる PLL 回路 2 は、起動時には、応答速度の遅い発振周波数のオフセット成分の制御を行わないで速やかに位相をロックさせ、位相ロック後に、応答速度の遅い発振周波数のオフセット成分の制御を行う。それにより、実施の形態 1 にかかる PLL 回路 1 は、速やかに位相をロックさせることができる。

【0164】

さらに、実施の形態 2 にかかる PLL 回路 2 は、実施の形態 1 にかかる PLL 回路 1 と比較して、チャージポンプ 14 を備える必要が無いいため、回路規模をさらに抑制することができる。それに対し、実施の形態 1 にかかる PLL 回路 1 は、スイッチ素子 SW1, SW2 を備える必要が無いいため、ノード N1 のリーク電流の増大を抑制することができ、そ

10

20

30

40

50

の結果、位相オフセットを抑制することができる。

【0165】

なお、チャージポンプ12, 13は、動作モードに応じて電流 I_{cprop} , I_{cint} の最大値を切り替える構成であってもよい。

【0166】

<実施の形態3>

図26は、実施の形態3にかかるPLL回路3を示すブロック図である。PLL回路3は、PLL回路1と比較して、ロック検出部21に代えてロック検出部22を備える。

【0167】

ロック検出部22は、基準クロック信号CLKREF及び帰還クロック信号CLKFBKに基づいて、PLL回路3の発振信号(出力クロック信号CLKOUT)の位相がロックしたか否かを検出する。

【0168】

例えば、ロック検出部22は、基準クロック信号CLKREFの立ち上がり回数をカウントする第1のカウントと、帰還クロック信号CLKFBKの立ち上がり回数をカウントする第2のカウントと、第1及び第2のカウントのそれぞれのカウント数を周期的に比較する比較回路(モード切替回路)と、を備える。そして、ロック検出部22は、一周期当たりの第1及び第2のカウントのそれぞれのカウント数が一致した場合に、発振信号の位相がロックしたと判断して、モード切替信号S1を例えばHレベルからLレベルに切り替える。

【0169】

PLL回路3のその他の構成については、PLL回路1の場合と同様であるため、その説明を省略する。

【0170】

このように、実施の形態3にかかるPLL回路3は、実施の形態1, 2にかかるPLL回路1, 2と同等程度の効果を奏することができる。さらに、実施の形態3にかかるPLL回路3は、ロック検出部22を用いることにより、より正確に位相がロックしたことを検出することができる。

【0171】

なお、ロック検出部22は、PLL回路1に適用される場合に限られず、PLL回路2に適用されてもよい。

【0172】

以上のように、上記実施の形態1~3にかかるPLL回路1~3は、起動時には、応答速度の遅い発振周波数のオフセット成分の制御を行わないで速やかに位相をロックさせ、位相ロック後に、応答速度の遅い発振周波数のオフセット成分の制御を行う。それにより、実施の形態1にかかるPLL回路1は、速やかに位相をロックさせることができる。

【0173】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【0174】

例えば、上記の実施の形態に係る半導体装置では、半導体基板、半導体層、拡散層(拡散領域)などの導電型(p型もしくはn型)を反転させた構成としてもよい。そのため、n型、及びp型の一方の導電型を第1の導電型とし、他方の導電型を第2の導電型とした場合、第1の導電型をp型、第2の導電型をn型とすることもできるし、反対に第1の導電型をn型、第2の導電型をp型とすることもできる。

【符号の説明】

【0175】

1, 1a, 1b PLL回路

2, 2a, 2b PLL回路

10

20

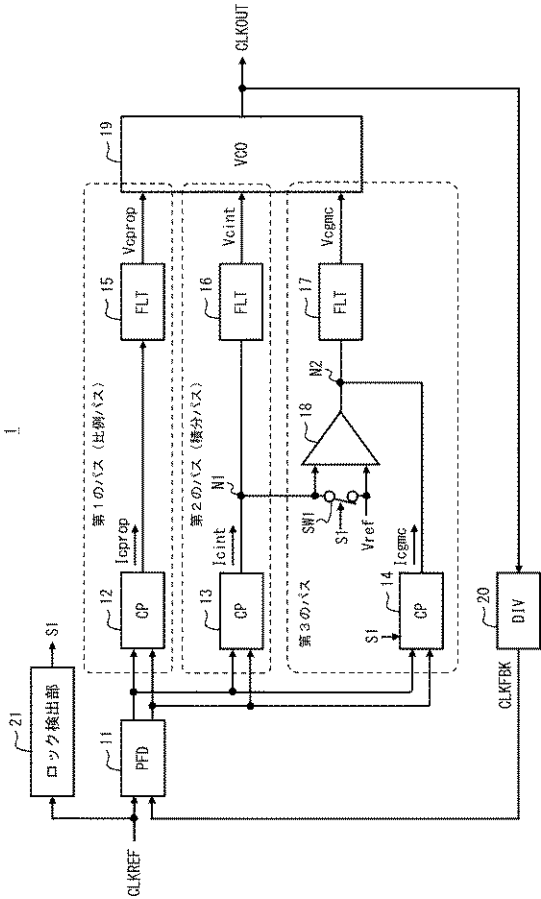
30

40

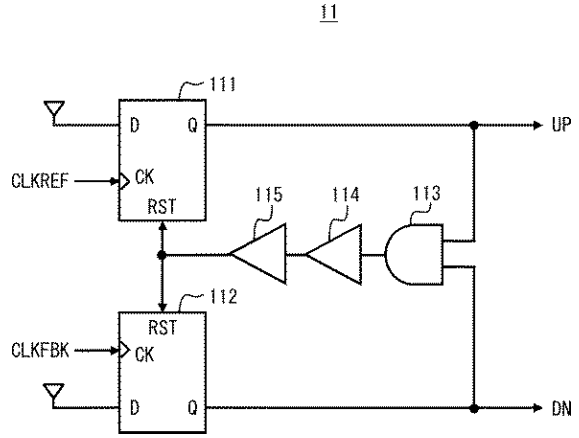
50

3	PLL回路	
1 1	位相比較器	
1 2	チャージポンプ	
1 3 , 1 3 a , 1 3 b	チャージポンプ	
1 4 , 1 4 a	チャージポンプ	
1 5 ~ 1 7	フィルタ	
1 8	コンパレータ	
1 9	電圧制御発振器	
2 0	分周器	
2 1	ロック検出部	10
2 2	ロック検出部	
1 0 0	半導体装置	
1 0 1	発振器	
1 0 2	デジタル回路	
1 0 3	CPU	
1 0 4	メモリ	
1 0 5	インターフェース回路	
1 1 1 , 1 1 2	フリップフロップ	
1 1 3	論理積回路	
1 1 4 , 1 1 5	インバータ	20
1 2 1 , 1 2 2	定電流源	
1 2 3 , 1 2 4	スイッチ素子	
1 3 1 , 1 3 2	定電流源	
1 3 3 , 1 3 4	スイッチ素子	
1 3 5 , 1 3 6	スイッチ素子	
1 3 7 , 1 3 8	論理積回路	
1 4 1 , 1 4 2	定電流源	
1 4 3 ~ 1 4 6	スイッチ素子	
1 4 7 , 1 4 8	論理積回路	
R 1	抵抗素子	30
C 1 ~ C 3	容量素子	
INV 1 ~ INV 3	インバータ	
SW 1 ~ SW 3	スイッチ素子	
MN 1 ~ MN 3	トランジスタ	

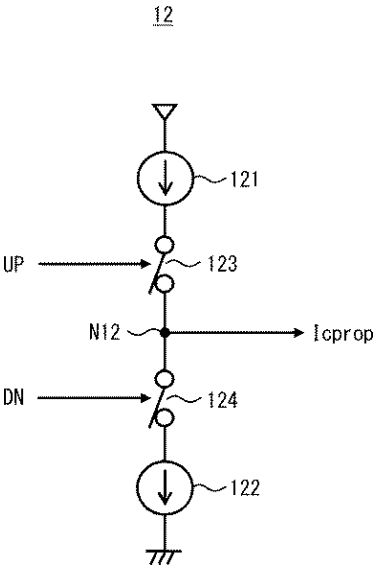
【図1】



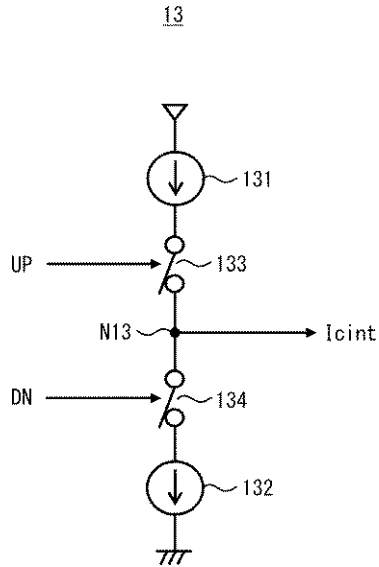
【図2】



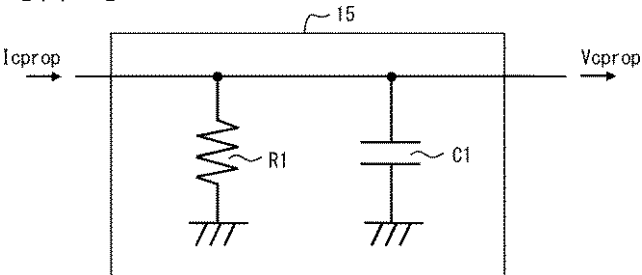
【図3】



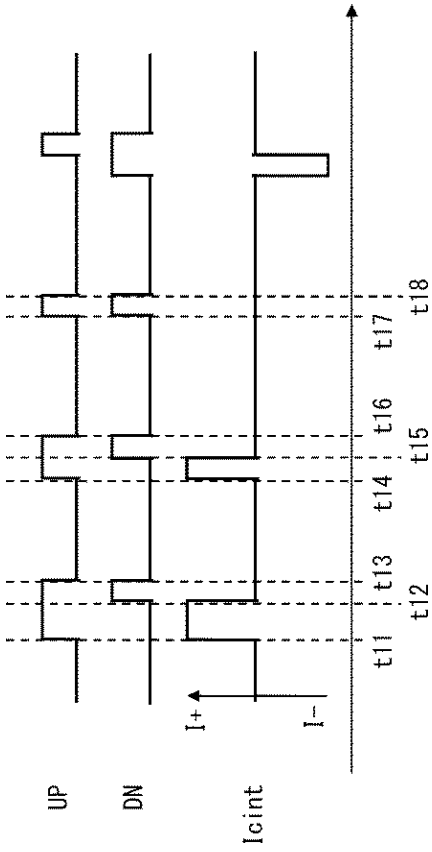
【図5】



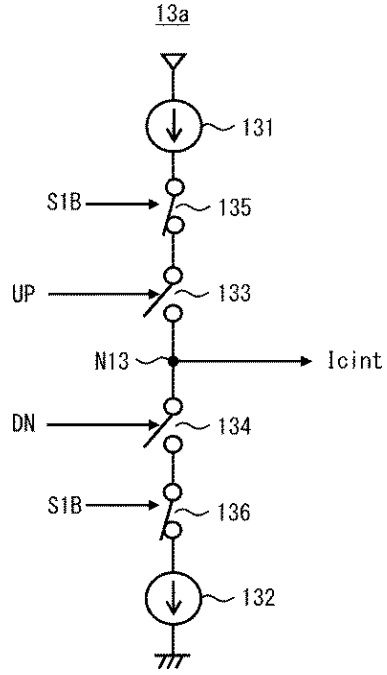
【図4】



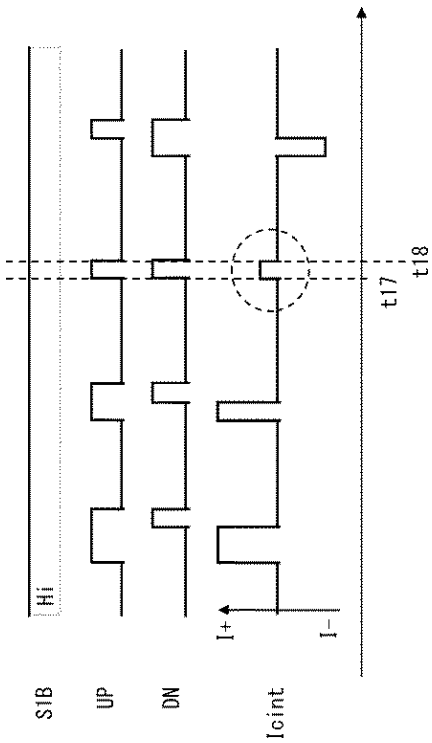
【 図 6 】



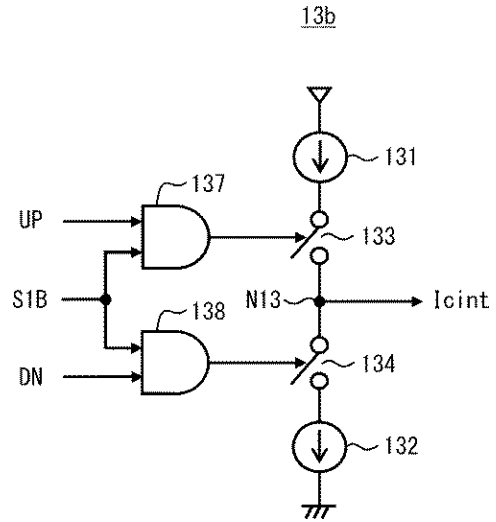
【 図 7 】



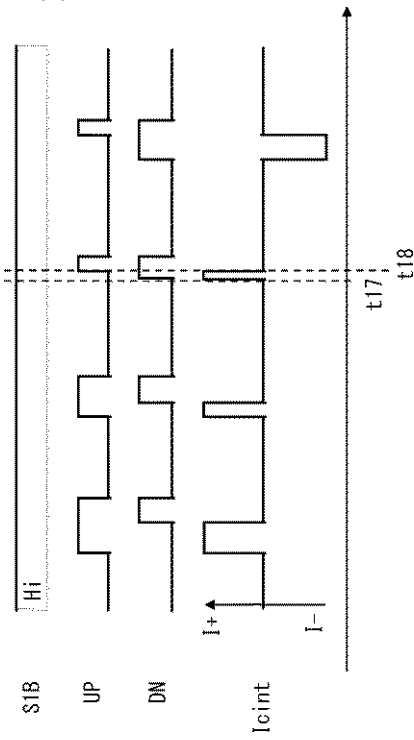
【 図 8 】



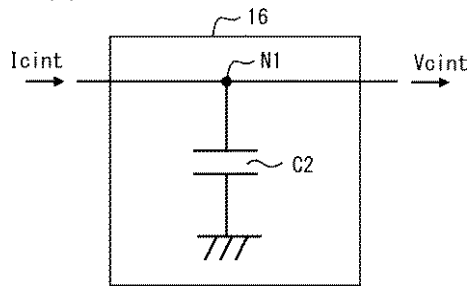
【 図 9 】



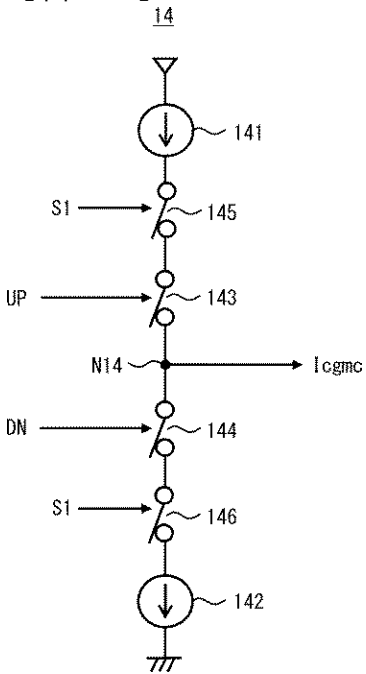
【図 10】



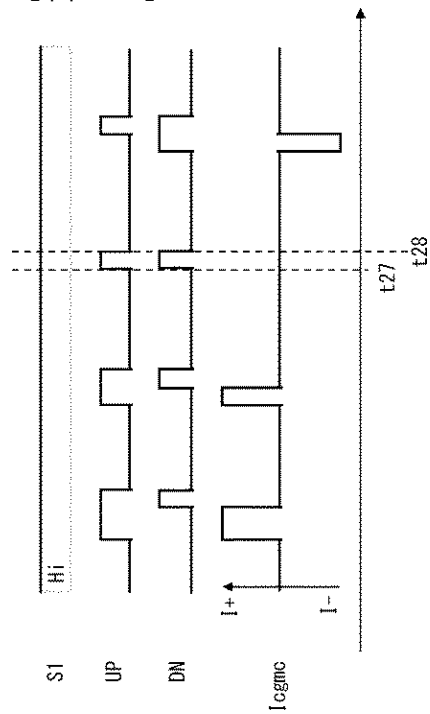
【図 11】



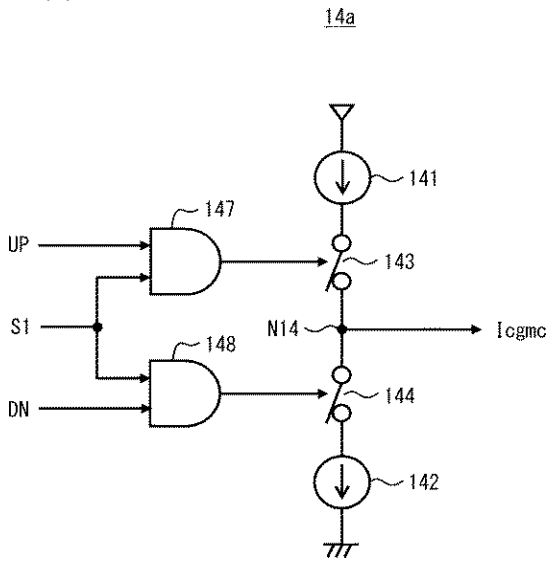
【図 12】



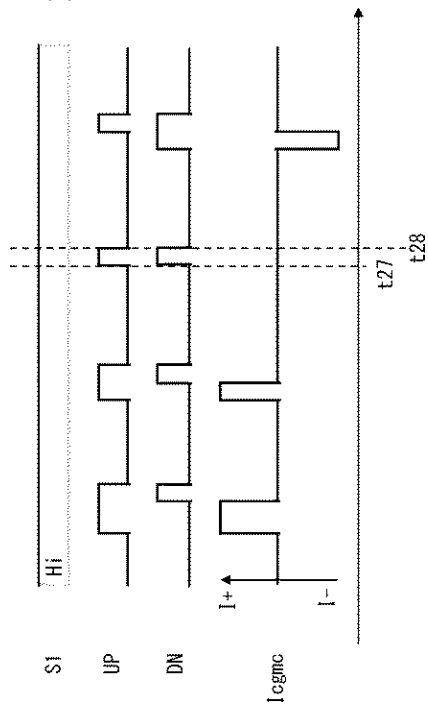
【図 13】



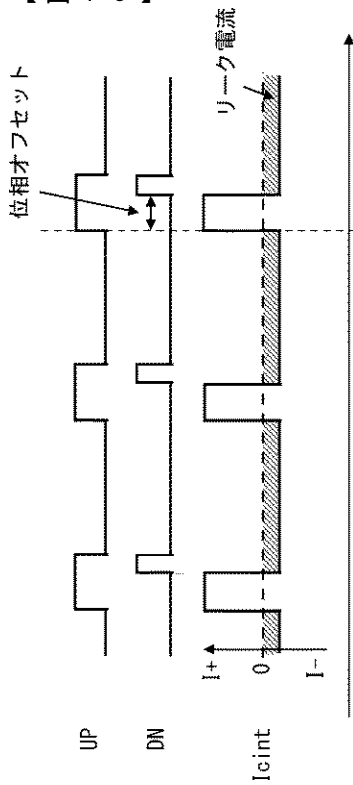
【図14】



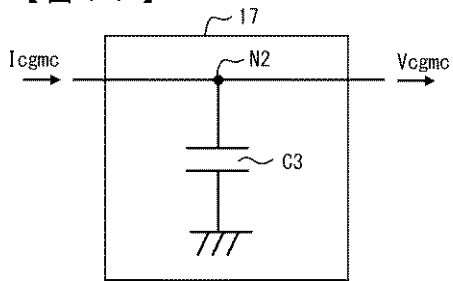
【図15】



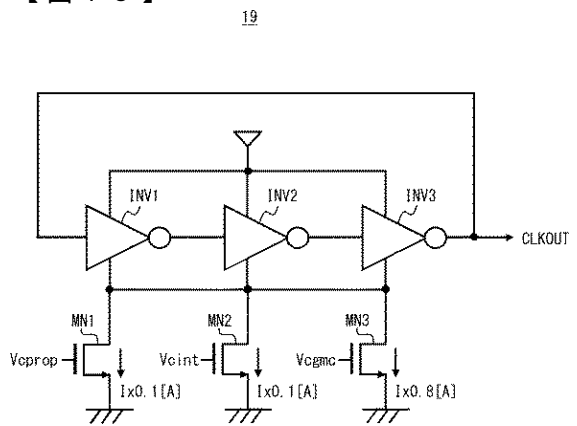
【図16】



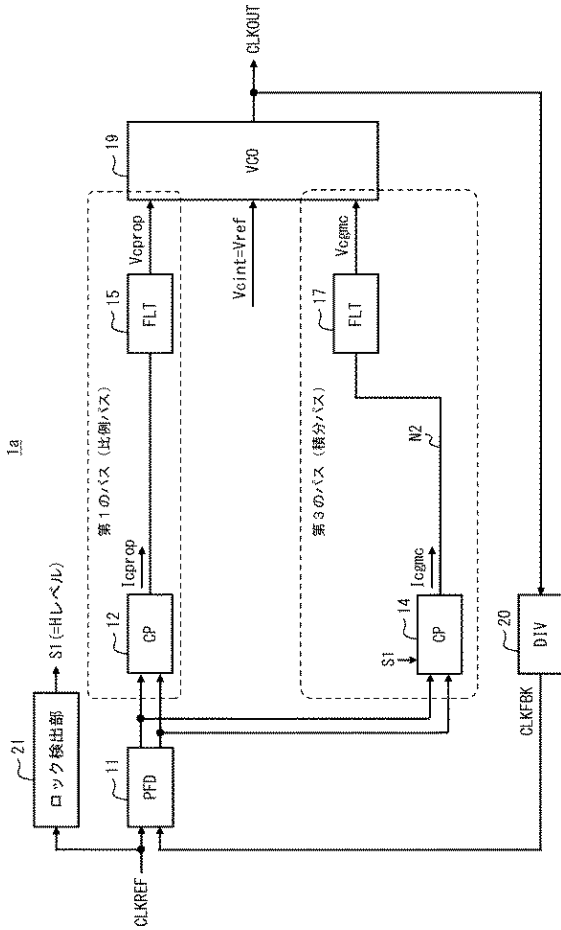
【図17】



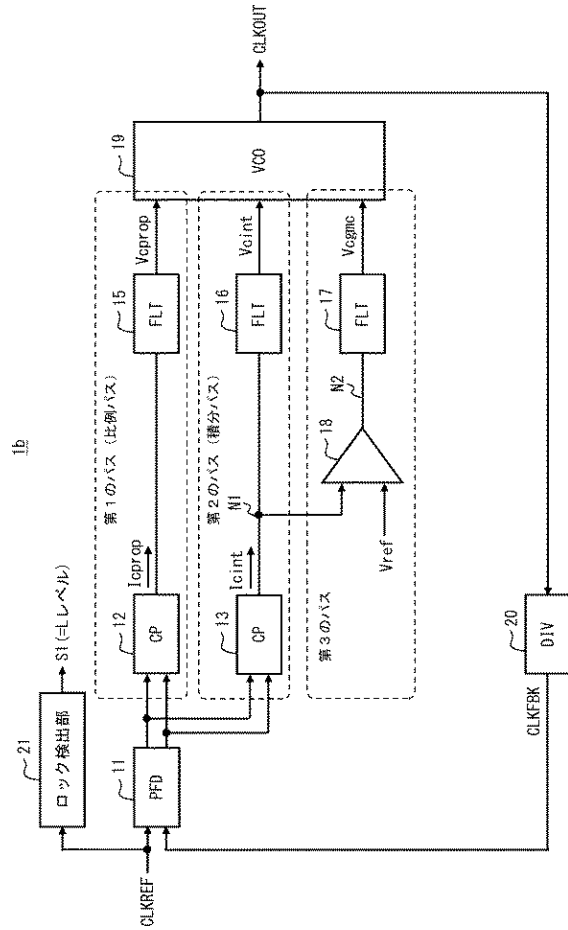
【図18】



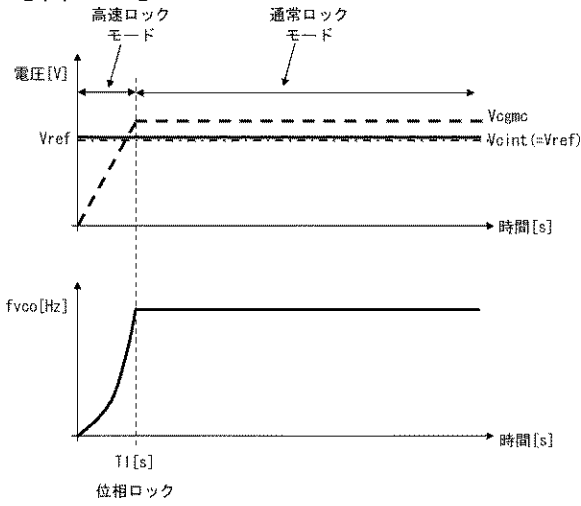
【図19】



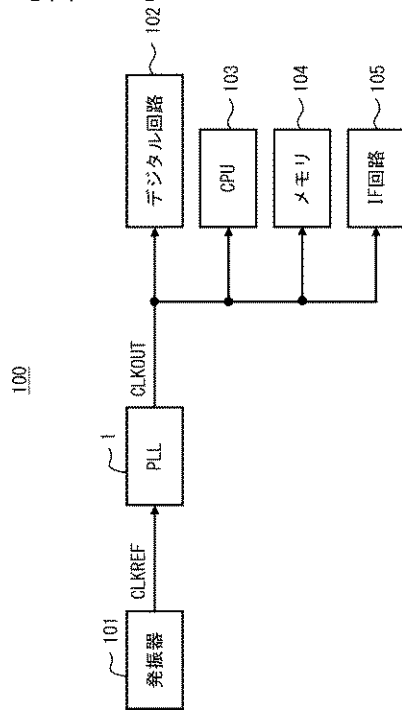
【図20】



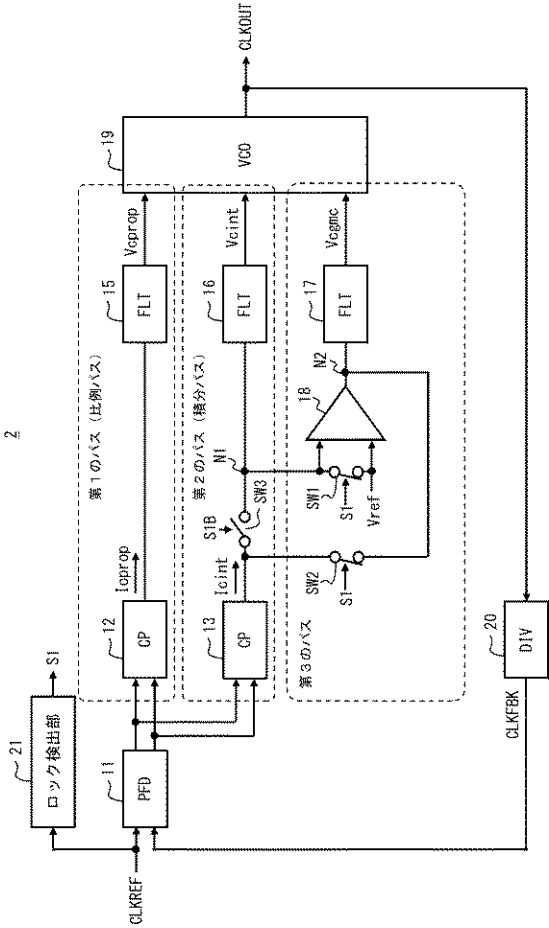
【図21】



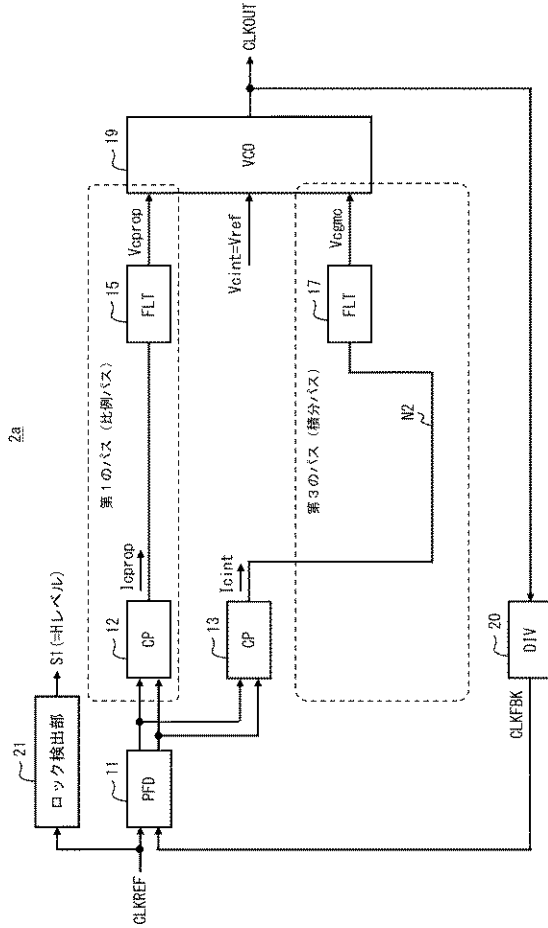
【図22】



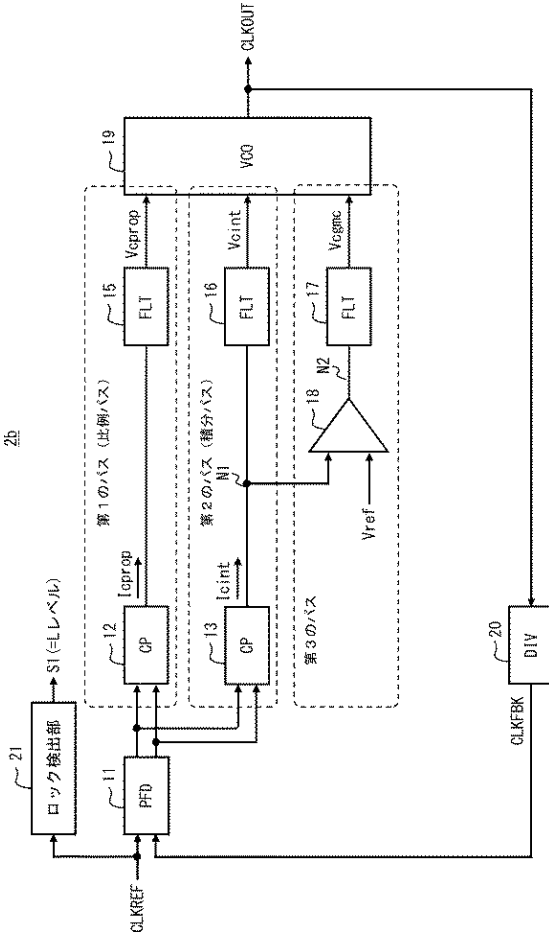
【図 2 3】



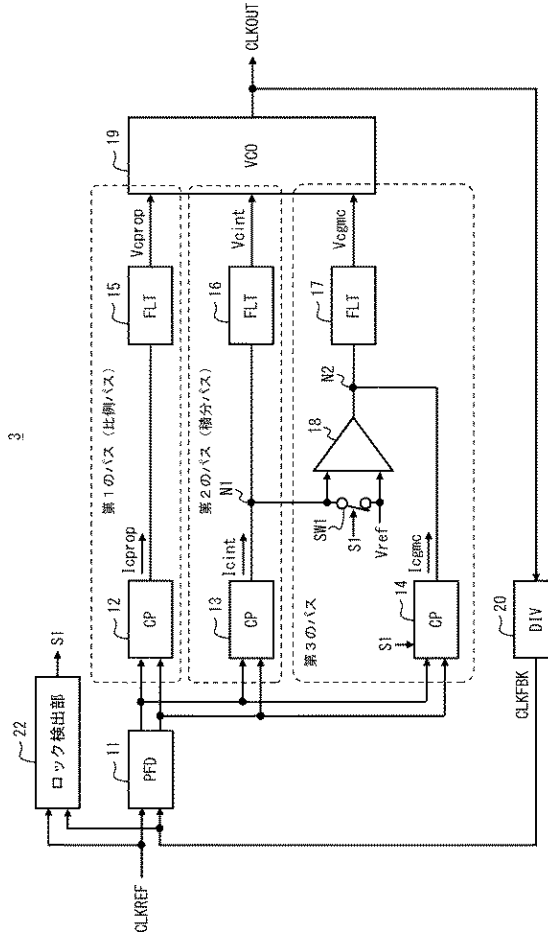
【図 2 4】



【図 2 5】



【図 2 6】



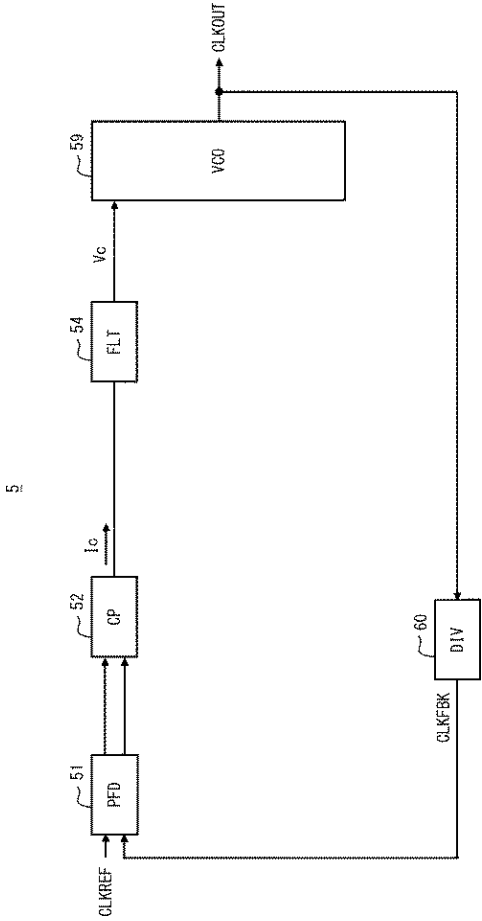
2

2a

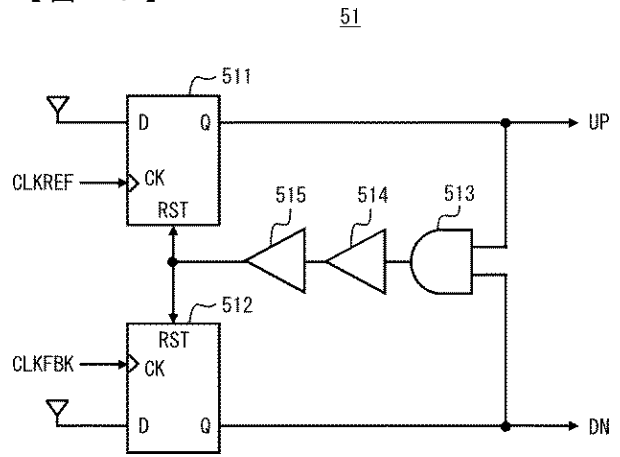
2b

3

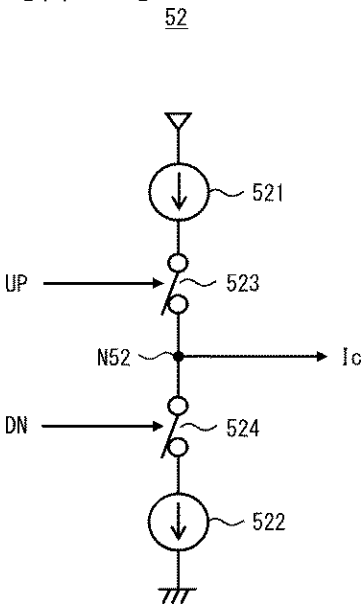
【 図 2 7 】



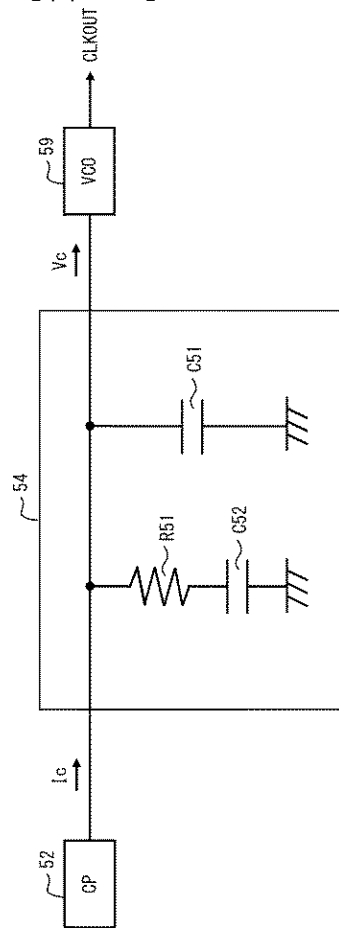
【 図 2 8 】



【 図 2 9 】

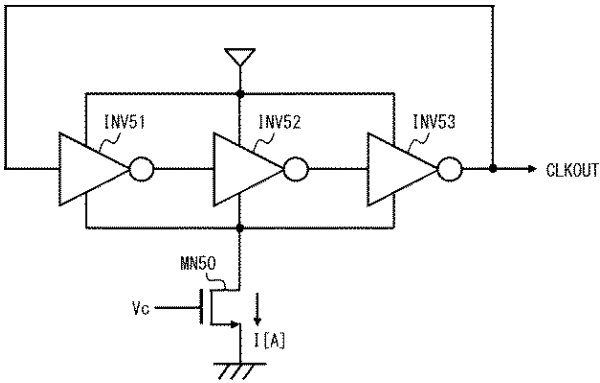


【 図 3 0 】

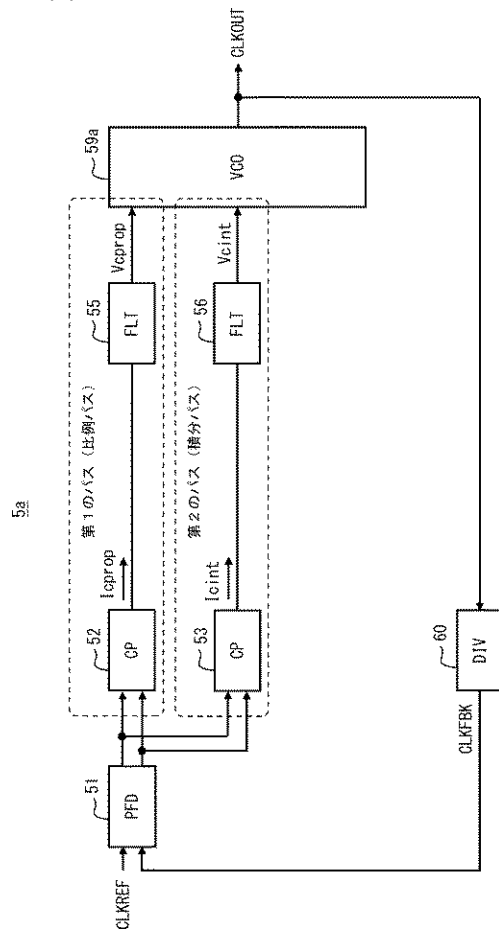


【図 3 1】

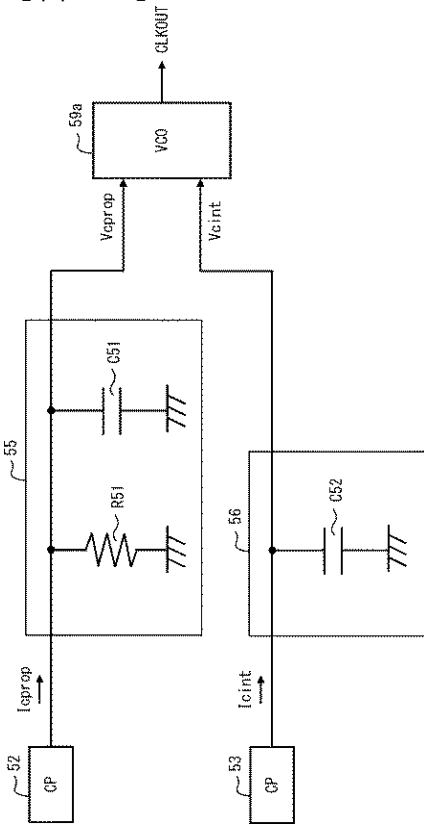
59



【図 3 2】

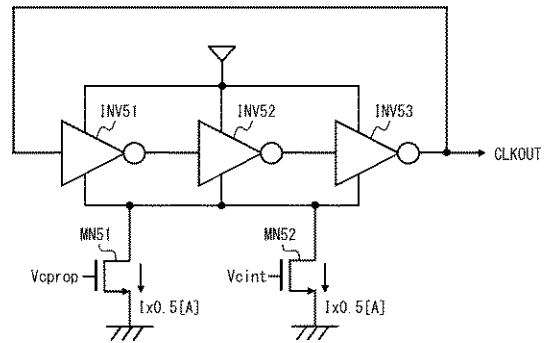


【図 3 3】



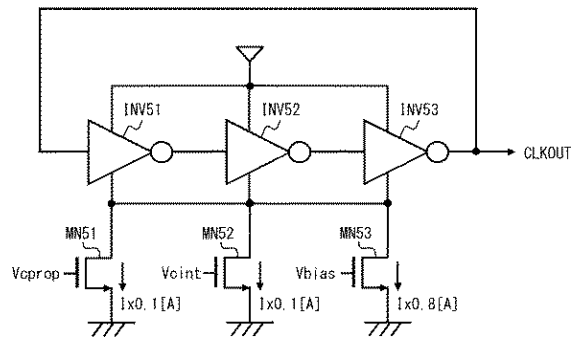
【図 3 4】

59a

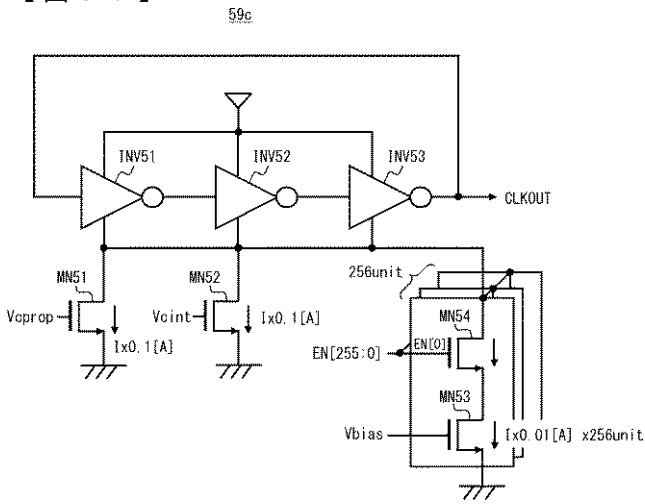


【図 3 5】

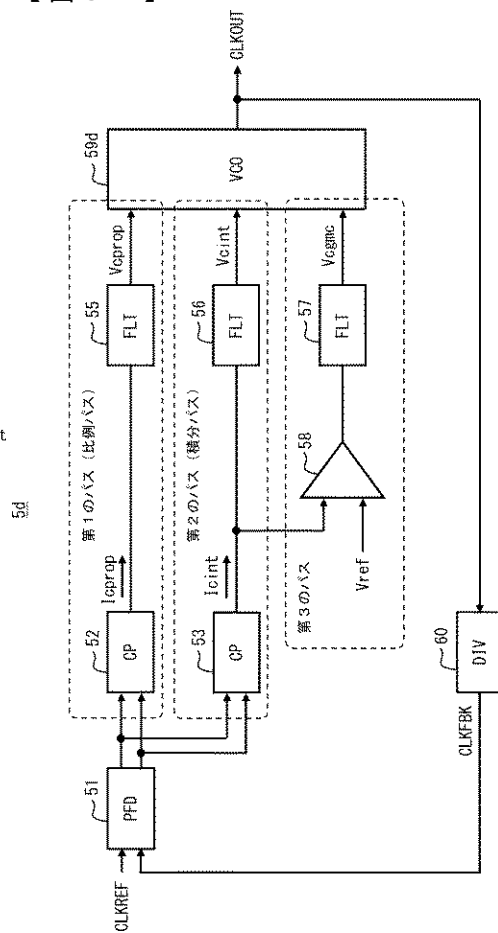
59b



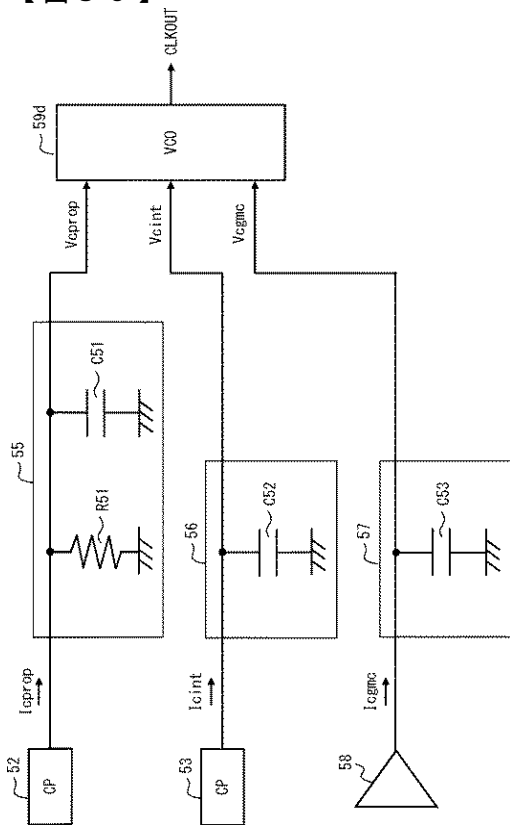
【 図 3 6 】



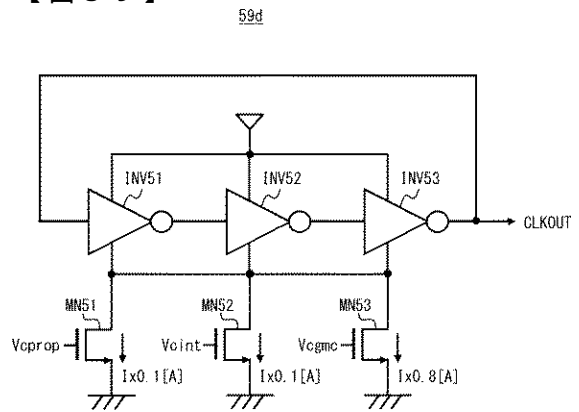
【 図 3 7 】



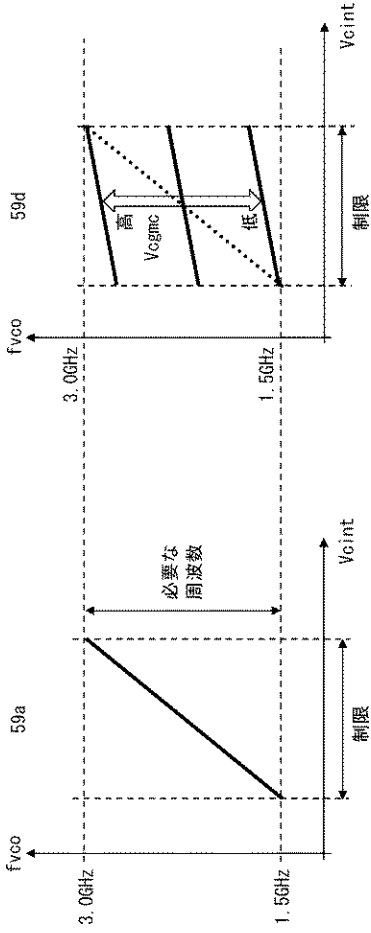
【 図 3 8 】



【 図 3 9 】



【図40】



【図41】

