

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-215941  
(P2019-215941A)

(43) 公開日 令和1年12月19日(2019. 12. 19)

(51) Int. Cl. F I テーマコード (参考)  
G 1 1 C 14/00 (2006.01) G 1 1 C 14/00 2 2 0

審査請求 未請求 請求項の数 10 O L (全 19 頁)

<p>(21) 出願番号 特願2018-111061 (P2018-111061) (22) 出願日 平成30年6月11日 (2018. 6. 11)</p> <p>(出願人による申告) 平成28年度、国立研究開発法人新エネルギー・産業技術総合開発機構、「IoT推進のための横断技術開発プロジェクト/超低消費電力データ収集システムの研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(71) 出願人 801000049 一般財団法人生産技術研究奨励会 東京都目黒区駒場四丁目6番1号</p> <p>(74) 代理人 100116207 弁理士 青木 俊明</p> <p>(74) 代理人 100089635 弁理士 清水 守</p> <p>(74) 代理人 100096426 弁理士 川合 誠</p> <p>(72) 発明者 竹内 潔 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内</p> <p>(72) 発明者 小林 正治 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内</p> <p style="text-align: right;">最終頁に続く</p>
---	---

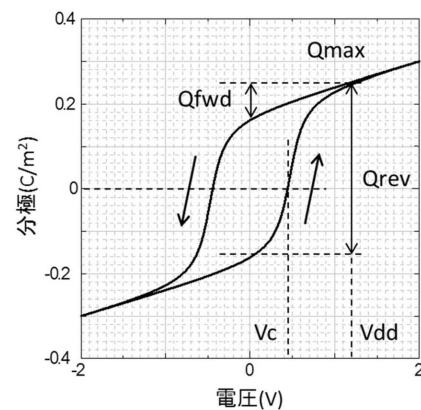
(54) 【発明の名称】 強誘電体キャパシタを備える不揮発性SRAM

(57) 【要約】

【課題】 所望の動作安定性を確保しつつキャパシタの静電容量を最小限に抑えて、消費電力を抑制することができるようにする。

【解決手段】 一对のCMOSインバータから成るラッチであって、一对の記憶ノードを含むラッチと、各記憶ノードに2つずつ接続された強誘電体キャパシタと、各記憶ノードに接続された強誘電体キャパシタの一方に接続された第1のプレート線と、各記憶ノードに接続された強誘電体キャパシタの他方に接続された第2のプレート線と、を備え、前記第1のプレート線に接続された強誘電体キャパシタの面積は、前記第1のプレート線に接続された強誘電体キャパシタ及び前記第2のプレート線に接続された強誘電体キャパシタの面積の合計値の0.5倍未満である。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

一対の C M O S インバータから成るラッチであって、一対の記憶ノードを含むラッチと、  
各記憶ノードに 2 つずつ接続された強誘電体キャパシタと、  
各記憶ノードに接続された強誘電体キャパシタの一方に接続された第 1 のプレート線と

各記憶ノードに接続された強誘電体キャパシタの他方に接続された第 2 のプレート線と  
を備え、

前記第 1 のプレート線に接続された強誘電体キャパシタの面積は、前記第 1 のプレート線に接続された強誘電体キャパシタ及び前記第 2 のプレート線に接続された強誘電体キャパシタの面積の合計値の 0 . 5 倍未満であることを特徴とする不揮発性 S R A M。 10

## 【請求項 2】

前記第 1 のプレート線に接続された強誘電体キャパシタの面積は、前記合計値の 0 . 1 ~ 0 . 3 である請求項 1 に記載の不揮発性 S R A M。

## 【請求項 3】

前記合計値は  $0 . 0 0 3 [ \mu m^2 ]$  以上である請求項 1 又は 2 に記載の不揮発性 S R A M。

## 【請求項 4】

前記第 2 のプレート線の電位は一定電位に固定されている請求項 1 ~ 3 のいずれか 1 項に記載の不揮発性 S R A M。 20

## 【請求項 5】

前記第 2 のプレート線の電位は、前記強誘電体キャパシタに定着された分極の向きを前記ラッチの記憶として再生させる復帰動作から、前記ラッチの記憶を前記強誘電体キャパシタに定着させる退避動作に至るまで、高電位に維持される請求項 1 ~ 3 のいずれか 1 項に記載の不揮発性 S R A M。

## 【請求項 6】

前記第 1 のプレート線の電位は、前記強誘電体キャパシタに定着された分極の向きを前記ラッチの記憶として再生させた後の前記ラッチの通常動作中、高電位に維持される請求項 1 ~ 5 のいずれか 1 項に記載の不揮発性 S R A M。 30

## 【請求項 7】

前記第 1 のプレート線に接続された強誘電体キャパシタの静電容量と前記第 2 のプレート線に接続された強誘電体キャパシタの静電容量とは相違する請求項 1 ~ 6 のいずれか 1 項に記載の不揮発性 S R A M。

## 【請求項 8】

前記第 1 のプレート線に接続された強誘電体キャパシタの静電容量は、前記第 2 のプレート線に接続された強誘電体キャパシタの静電容量よりも小さい請求項 7 に記載の不揮発性 S R A M。

## 【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の不揮発性 S R A M を用いる情報処理装置であって、  
演算装置と、電源制御回路と、入出力装置と、記憶装置とを備え、該記憶装置として前記不揮発性 S R A M を用いることを特徴とする情報処理装置。 40

## 【請求項 10】

前記演算装置と、電源制御回路と、入出力装置と、記憶装置とが単一の半導体チップ上に形成されている請求項 9 に記載の情報処理装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本開示は、強誘電体キャパシタを備える不揮発性 S R A M に関するものである。 50

## 【背景技術】

## 【0002】

従来、半導体集積回路を用いるシステムの多くは、高速で揮発性のSRAM (Static Random Access Memory) と、Flashメモリ等の低速で不揮発性の不揮発メモリとを組み合わせられて実現されている。このようなシステムでは、稼働中は主としてSRAMにデータを格納し、電源が切断される際には、再利用が必要なデータを不揮発メモリに退避させるようになっている。このため、電源のオン/オフの際には、データ転送によるエネルギー消費が大きく、かつ、データ転送に時間がかかってしまう、という問題がある。一方、モバイル機器やIoT (Internet of Things) 機器では、低消費電力化が重要であり、必要に応じてシステムの電源を切断して電力を節約したいという要求がある。しかし、前記問題のため、あまり頻繁に電源を切断することは有効でなく、電源オフによる電力量の節約には限界がある。

10

## 【0003】

このような問題を解決するために、不揮発性SRAM (NV-SRAM) が提案されている (例えば、特許文献1~4参照。 )。

## 【0004】

図1は従来の不揮発性SRAMの第1の例を示す回路図、図2は従来の不揮発性SRAMの第2の例を示す回路図である。

## 【0005】

図1は、CMOSを採用した6個のトランジスタを有するSRAMセルに2個の強誘電体キャパシタを付加した不揮発性SRAMセルから成る6T2C型NV-SRAMの回路図であり、図2は、CMOSを採用した6個のトランジスタを有するSRAMセルに4個の強誘電体キャパシタを付加した不揮発性SRAMセルから成る6T4C型NV-SRAMの回路図である。なお、図1及び2において、点線で囲まれた箇所は、ラッチLT及びメモリセルMCを示している。各メモリセルは1ビットの情報 (0又は1) を記憶する。SRAM及びNV-SRAMのような記憶装置は、縦横にアレー状に配置された多数のメモリセルを有するのが通常であるが、ここでは、単一のメモリセルのみが図示されている。図1及び2に示される不揮発性SRAMは、稼働時には通常のSRAMとして機能するが、電源がオフにされる際には、第1のプレート線Vp1又は第2のプレート線Vp2に適切な波形の電圧信号を印加することによって、SRAMの記憶を強誘電体キャパシタの自発分極の向きとして定着させる退避動作を行う (なお、図1に示される6T2C型NV-SRAMは、第2のプレート線Vp2を有していない。 )。前記強誘電体キャパシタの自発分極には正負2つの安定状態があり、電源が切断されても、安定状態が保持される。そして、電源がオンにされる際には、第1のプレート線Vp1又は第2のプレート線Vp2と電源線Vccとに適切な波形の電圧信号を印加することによって、強誘電体キャパシタに定着された自発分極の向きをSRAMの記憶として再生させる復帰動作を行う。このように、不揮発性SRAMは、SRAMと不揮発メモリとが融合した構造を有するので、電源のオン/オフの際に、データ転送を高速かつ低消費エネルギーで実現することができる。

20

30

## 【0006】

図3は従来の6T2C型NV-SRAMの電圧信号波形の第1の例を示す波形図、図4は従来の6T2C型NV-SRAMの電圧信号波形の第2の例を示す波形図、図5は従来の6T4C型NV-SRAMの電圧信号波形を示す波形図である。

40

## 【0007】

図1に示されるような6T2C型NV-SRAMの第1のプレート線Vp1及び電源線Vccに印可される電圧信号として、図3に示されるような波形の電圧信号を印加するという方法、すなわち、単純に電源線Vccの電圧を上昇させることによって情報 (記憶) をSRAMに復帰させる方法は、トランジスタの特性のばらつきに弱い、という問題がある。

## 【0008】

50

そこで、図 1 に示されるような 6 T 2 C 型 NV - S R A M の第 1 のプレート線 V p 1 及び電源線 V c c に印可される電圧信号として、図 4 に示されるような波形の電圧信号を印加するという方法、すなわち、電源線 V c c に印可される電圧を上昇させる前に第 1 のプレート線 V p 1 に印可される電圧を上昇させることによって情報（記憶）を S R A M に復帰させる方法が提案されている。また、図 2 に示されるような 6 T 4 C 型 NV - S R A M の第 1 のプレート線 V p 1 及び電源線 V c c に印可される電圧信号として、図 5 に示されるような波形の電圧信号を印加するという方法、すなわち、電源線 V c c に印可される電圧を上昇させる前に第 1 のプレート線 V p 1 に印可される電圧を上昇させることによって情報（記憶）を S R A M に復帰させる方法が提案されている。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2000 - 293989 号公報

【特許文献 2】米国特許第 6285575 号明細書

【特許文献 3】特開 2005 - 092922 号公報

【特許文献 4】米国特許第 6924999 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、前記従来の技術では、通常の S R A M セルに 2 ~ 4 個の強誘電体キャパシタが付加されているので、これらを充放電するための電力が余分に必要となり、かつ、動作が遅くなってしまう。これを防ぐには、キャパシタの静電容量を小さくすればよいのであるが、キャパシタの静電容量を小さくすると、回路動作がばらつきに弱くなり、不安定になってしまう。すなわち、前記従来の NV - S R A M の技術では、動作安定性を損なうことなく電力及び遅延の増加を抑制することが十分にできなかった。

【0011】

ここでは、前記従来の技術の問題点を解決して、所望の動作安定性を確保しつつキャパシタの静電容量を最小限に抑えて、消費電力を抑制することができる強誘電体キャパシタを備える不揮発性 S R A M を提供することを目的とする。

【課題を解決するための手段】

【0012】

そのために、不揮発性 S R A M においては、一对の C M O S インバータから成るラッチであって、一对の記憶ノードを含むラッチと、各記憶ノードに 2 つずつ接続された強誘電体キャパシタと、各記憶ノードに接続された強誘電体キャパシタの一方に接続された第 1 のプレート線と、各記憶ノードに接続された強誘電体キャパシタの他方に接続された第 2 のプレート線と、を備え、前記第 1 のプレート線に接続された強誘電体キャパシタの面積は、前記第 1 のプレート線に接続された強誘電体キャパシタ及び前記第 2 のプレート線に接続された強誘電体キャパシタの面積の合計値の 0 . 5 倍未満である。

【0013】

他の不揮発性 S R A M においては、さらに、前記第 1 のプレート線に接続された強誘電体キャパシタの面積は、前記合計値の 0 . 1 ~ 0 . 3 である。

【0014】

更に他の不揮発性 S R A M においては、さらに、前記合計値は  $0 . 003 [\mu m^2]$  以上である。

【0015】

更に他の不揮発性 S R A M においては、さらに、前記第 2 のプレート線の電位は一定電位に固定されている。

【0016】

更に他の不揮発性 S R A M においては、さらに、前記第 2 のプレート線の電位は、前記強誘電体キャパシタに定着された分極の向きを前記ラッチの記憶として再生させる復帰動

10

20

30

40

50

作から、前記ラッチの記憶を前記強誘電体キャパシタに定着させる退避動作に至るまで、高電位に維持される。

【0017】

更に他の不揮発性SRAMにおいては、さらに、前記第1のプレート線の電位は、前記強誘電体キャパシタに定着された分極の向きを前記ラッチの記憶として再生させた後の前記ラッチの通常動作中、高電位に維持される。

【0018】

更に他の不揮発性SRAMにおいては、さらに、前記第1のプレート線に接続された強誘電体キャパシタの静電容量と前記第2のプレート線に接続された強誘電体キャパシタの静電容量とは相違する。

【0019】

更に他の不揮発性SRAMにおいては、さらに、前記第1のプレート線に接続された強誘電体キャパシタの静電容量は、前記第2のプレート線に接続された強誘電体キャパシタの静電容量よりも小さい。

【0020】

情報処理装置においては、演算装置と、電源制御回路と、入出力装置と、記憶装置とを備え、該記憶装置として前記不揮発性SRAMを用いる。

【0021】

他の情報処理装置においては、さらに、前記演算装置と、電源制御回路と、入出力装置と、記憶装置とが単一の半導体チップ上に形成されている。

【発明の効果】

【0022】

本開示によれば、所望の動作安定性を確保しつつキャパシタの静電容量を最小限に抑えて、消費電力を抑制することができる。

【図面の簡単な説明】

【0023】

【図1】従来の不揮発性SRAMの第1の例を示す回路図である。

【図2】従来の不揮発性SRAMの第2の例を示す回路図である。

【図3】従来の6T2C型NV-SRAMの電圧信号波形の第1の例を示す波形図である。

。

【図4】従来の6T2C型NV-SRAMの電圧信号波形の第2の例を示す波形図である。

。

【図5】従来の6T4C型NV-SRAMの電圧信号波形を示す波形図である。

【図6】第1の実施の形態における不揮発性SRAMが備える強誘電体キャパシタの特性の例を示す図である。

【図7】第1の実施の形態における不揮発性SRAMが備える強誘電体キャパシタの分極の向きを説明する回路図である。

【図8】第1の実施の形態における不揮発性SRAMが有する動作余裕と強誘電体キャパシタの面積比との関係を示すグラフである。

【図9】第1の実施の形態における不揮発性SRAMが有する動作余裕と強誘電体キャパシタの面積比との関係を示す表である。

【図10】第2の実施の形態における不揮発性SRAMの電圧信号波形を示す波形図である。

【図11】第3の実施の形態における不揮発性SRAMの電圧信号波形を示す波形図である。

【図12】第5の実施の形態における不揮発性SRAMを用いた情報処理装置の構成を示す図である。

【図13】比較例の情報処理装置の構成を示す図である。

【図14】第5の実施の形態における不揮発性SRAMの典型的な構成例を示す図である。

。

10

20

30

40

50

## 【発明を実施するための形態】

## 【0024】

以下、実施の形態について図面を参照しながら詳細に説明する。

## 【0025】

図6は第1の実施の形態における不揮発性SRAMが備える強誘電体キャパシタの特性の例を示す図、図7は第1の実施の形態における不揮発性SRAMが備える強誘電体キャパシタの分極の向きを説明する回路図である。

## 【0026】

本実施の形態における不揮発性SRAMは、CMOSを採用した6T4C型NV-SRAMであって、図2に示される不揮発性SRAMと同様の回路構成を有し、各メモリセルが2つのCMOSインバータから成るラッチLTを備えるものであるが、同一の記憶ノード(V1又はV2)に接続される2個の強誘電体キャパシタの面積が互いに相違する。具体的には、電源線Vccに先行して電圧が印加される第1のプレート線Vp1に接続される強誘電体キャパシタC11及びC21の面積を、第2のプレート線Vp2に接続される強誘電体キャパシタC12及びC22の面積よりも、それぞれ、小さくする。

## 【0027】

また、本実施の形態における不揮発性SRAMには、図5に示されるような波形の電圧信号が印加されるものとして、説明する。

## 【0028】

さらに、本実施の形態における不揮発性SRAMが備える強誘電体キャパシタC11、C12、C21及びC22は、図6に示されるような特性を有するものとする。通常のキャパシタでは、分極が印可電圧に比例する。これに対し、強誘電体キャパシタC11、C12、C21及びC22は、履歴依存性(ヒステリシス)を示し、印可電圧がゼロのときに正負2つの安定な分極値(図6に示される例では、 $+0.16 [C/m^2]$ 及び $-0.16 [C/m^2]$ )を取ることで、不揮発性の記憶を実現することができる。そして、分極が負のときに抗電圧Vcを超えると十分に大きい正の電圧を印加すると、分極が正に反転し、大きな電荷移動 $Q_{rev}$ が生じる。一方、分極が正の場合に同様の正の電圧を印加したときの電荷移動は $Q_{fw}$ である。このように、強誘電体キャパシタC11、C12、C21及びC22は、分極反転が生じるときには静電容量が大きく、そうでないときには静電容量が小さく見える。

## 【0029】

ここで、前回の退避時(前回の電源オフでSRAMの情報(記憶)を強誘電体キャパシタC11、C12、C21及びC22に退避させた時)には、メモリセルの左側の記憶ノードV1が高電位Hi(通常は、電源線Vccの電圧)であり、右側の記憶ノードV2が低電位Lo(通常は、基準電位ゼロ)であったと仮定する。なお、逆に、左側の記憶ノードV1が低電位Loであり、右側の記憶ノードV2が高電位Hiであった場合には、以下の説明を左右対称に反転すればよいので、この仮定によって一般性が失われることはない。

## 【0030】

この仮定の場合、図7に示されるように、強誘電体キャパシタC11及びC22は下向きに分極し、強誘電体キャパシタC12及びC21は上向きに分極した状態となっている。なお、該状態を実現する方法は、退避動作の説明において後述される。

## 【0031】

そして、強誘電体キャパシタC11、C12、C21及びC22に定着された自発分極の向きをSRAMセルの記憶として再生させる復帰動作においては、まず、第1のプレート線Vp1の電位を低電位Lo(通常は、GND(接地電位))から高電位Hi(通常は、電源線Vccの電圧)に上昇させる。これにより、左側の記憶ノードV1には、概ね強誘電体キャパシタC11と強誘電体キャパシタC12との比によって決まる電圧が発生する。同様に、右側の記憶ノードV2には、概ね強誘電体キャパシタC21と強誘電体キャパシタC22との比によって決まる電圧が発生する。このとき、強誘電体キャパシタC1

10

20

30

40

50

1には分極と逆向きの電圧がかかり、強誘電体キャパシタC12には分極と同じ向きの電圧がかかるので、強誘電体キャパシタC11の静電容量は、強誘電体キャパシタC12の静電容量より大きい。これにより、左側の記憶ノードV1は、右側の記憶ノードV2よりも強く、第1のプレート線Vp1と結合し、左側の記憶ノードV1の電位は、右側の記憶ノードV2の電位よりも高くなる。次に、電源線Vccの電位を低電位Loから高電位Hiに上昇させると、その過程でラッチLTは、双安定性の電圧増幅器として働き、左側の記憶ノードV1の電位を高電位Hiにラッチし、右側の記憶ノードV2の電位を低電位Loにラッチする。これにより、前回の退避時に強誘電体キャパシタC11、C12、C21及びC22に退避させた情報がSRAMセルに復帰する。なお、これらの過程において、ワード線Vw1の電位をゼロとして、トランジスタa1及びa2をビット線Vb1及びVb2から遮断しておくことが望ましい。

10

#### 【0032】

このようにして情報がSRAMセルに復帰した後は、第1のプレート線Vp1の電位を低電位Loに戻して、通常動作に移行する。通常動作中、第1のプレート線Vp1及び第2のプレート線Vp2の電位は低電位Loに固定され、電源線Vccの電位は高電位Hiに固定され、メモリセルMCは、通常のSRAMセルとして機能する。

#### 【0033】

ここで、退避時の直前にメモリセルの左側の記憶ノードV1が高電位Hiであり、右側の記憶ノードV2が低電位Loであったと仮定する。ワード線Vw1の電位はゼロであり、トランジスタa1及びa2はビット線Vb1及びVb2から遮断されているものとする。また、第1のプレート線Vp1及び第2のプレート線Vp2の電位もゼロであるものとする。この状態では、トランジスタp1及びd2が導通し、トランジスタp2及びd1が遮断され、左側の記憶ノードV1の電位は、トランジスタp1を通して、高電位Hiに固定され、右側の記憶ノードV2の電位は、トランジスタd2を通して、低電位Loに固定されている。このとき、強誘電体キャパシタC11には下向きに電圧Vddが印加され、強誘電体キャパシタC12には上向きに電圧Vddが印加されているから、強誘電体キャパシタC11は下向きに分極され、強誘電体キャパシタC12は上向きに分極されている。一方、強誘電体キャパシタC21及びC22に印可される電圧はゼロであり、強誘電体キャパシタC21及びC22の分極の向きは、過去の履歴に依存し、不定である。

20

#### 【0034】

退避動作では、このような状態において、まず、第1のプレート線Vp1及び第2のプレート線Vp2の電位をゼロから高電位Hiに上昇させる。これにより、分極の向きが不定であった強誘電体キャパシタC21が上向きに分極され、同じく分極の向きが不定であった強誘電体キャパシタC22が下向きに分極される。このとき、強誘電体キャパシタC11及びC12に印加される電圧はゼロとなるので、強誘電体キャパシタC11及びC12の分極の向きは変化しない。次に、第1のプレート線Vp1及び第2のプレート線Vp2の電位を低電位Loに下降させ、続いて、電源線Vccの電位を低電位Loに下降させる、すなわち、電源を遮断する。このとき、強誘電体キャパシタC11、C12、C21及びC22のいずれにも、分極と逆向きの電圧が印加されることがなく、分極の反転は生じない。これにより、強誘電体キャパシタC11及びC22は下向きに分極し、強誘電体キャパシタC12及びC21は上向きに分極して、退避動作が完了する。なお、この状態は、図7に示されるような復帰動作直前の状態に他ならない。

30

40

#### 【0035】

前述のように、本実施の形態においては、強誘電体キャパシタC11及びC21の面積が、強誘電体キャパシタC12及びC22の面積よりも、それぞれ、小さくなっているので、4個の強誘電体キャパシタC11、C12、C21及びC22の総面積（又は、総静電容量）を一定としつつ、動作マージン（動作余裕）を拡大することができる。または、所望の動作マージンを確保しつつ、4個の強誘電体キャパシタC11、C12、C21及びC22の総面積（又は、総静電容量）を最小化することができる。なお、SRAMセルは左右対称であることが望ましいので、強誘電体キャパシタC11の面積と強誘電体キャ

50

パシタC 2 1の面積は等しく( = A 1 )、強誘電体キャパシタC 1 2の面積と強誘電体キャパシタC 2 2の面積は等しく( = A 2 )になっているものとする。

【 0 0 3 6 】

C M O S集積回路で用いられる微細なトランジスタの特性は、ミクロなランダム性(半導体中の不純物原子の配置のランダム性等)によって大きくばらつき、かつ、そのばらつき方は、近接する他のトランジスタとの相関をほとんど有していない。本実施の形態における不揮発性S R A Mは、このようなばらつき(ランダムばらつき)があっても、誤動作しないように、適切に設計されることが望ましい。ばらつきによる誤動作は、主として、通常動作及び復帰動作において発生し得る。通常動作における誤動作を防止する設計方法は、従来のS R A Mと同様であって、既に知られているが、不揮発性S R A Mの復帰動作における誤動作を防止する設計方法に関する知見は限られている。そこで、詳細に検討すると、図2に示されるような回路構成を有する不揮発性S R A Mセルの場合、トランジスタp 1、p 2、a 1、a 2、d 1及びd 2の閾値電圧は、ランダムばらつきによって、それぞれ全く独立して正規分布でばらつくことと想定される。ただし、その標準偏差は、トランジスタp 1及びp 2と、a 1及びa 2と、d 1及びd 2とで異なるので、それぞれ、p、a及びdであるものとする。ここで、トランジスタp 1、p 2、a 1、a 2、d 1及びd 2の閾値電圧の設計値からのずれ(正規分布する確率変数)を、それぞれ、p 1、p 2、a 1、a 2、d 1及びd 2であるとすると、次の式(1)で表されるdは、S R A Mセル全体のランダムな特性ずれを示す指標となる。

10

【 0 0 3 7 】

【 数 1 】

$$d \equiv \sqrt{\left(\frac{\Delta_{p1}}{\sigma_p}\right)^2 + \left(\frac{\Delta_{p2}}{\sigma_p}\right)^2 + \left(\frac{\Delta_{a1}}{\sigma_a}\right)^2 + \left(\frac{\Delta_{a2}}{\sigma_a}\right)^2 + \left(\frac{\Delta_{d1}}{\sigma_d}\right)^2 + \left(\frac{\Delta_{d2}}{\sigma_d}\right)^2} \quad \dots \text{式 (1)}$$

20

【 0 0 3 8 】

この指標、すなわち、dが、例えば、6に達しても回路が正常に動作するのであれば、その回路は6シグマの動作余裕を有すると言う。一般に、高集積メモリ回路においては、6シグマ以上の動作余裕が確保されることが望ましく、強誘電体キャパシタの製造ばらつき等の他のばらつき要因が更に加算される可能性がある場合には、より大きな動作余裕(例えば、8シグマ)が確保されることがより望ましい。

30

【 0 0 3 9 】

図8は第1の実施の形態における不揮発性S R A Mセルが有する動作余裕と強誘電体キャパシタの面積比との関係を示すグラフ、図9は第1の実施の形態における不揮発性S R A Mセルが有する動作余裕と強誘電体キャパシタの面積比との関係を示す表である。

【 0 0 4 0 】

図8及び9には、トランジスタp 1、p 2、a 1、a 2、d 1及びd 2の特性ずれを導入した多数回の回路シミュレーションによって算出された本実施の形態における不揮発性S R A Mセルの動作余裕の挙動が示されている。前述のように、S R A Mセルは左右対称であることが望ましく、強誘電体キャパシタC 1 1の面積と強誘電体キャパシタC 2 1の面積は等しく( = A 1 )、強誘電体キャパシタC 1 2の面積と強誘電体キャパシタC 2 2の面積は等しく( = A 2 )になっているので、ここでは、左右いずれか一方、すなわち、片側における強誘電体キャパシタの総面積A 1 + A 2に対する第1のプレート線V p 1側の強誘電体キャパシタの面積A 1の比、すなわち、A 1 / ( A 1 + A 2 )を変化させて動作余裕を算出した。また、総面積A 1 + A 2の値は、5通りのものを使用した。なお、A 1 / ( A 1 + A 2 ) = 0又はA 1 / ( A 1 + A 2 ) = 1の場合は、第1のプレート線V p 1側の強誘電体キャパシタ又は第2のプレート線V p 2側の強誘電体キャパシタが存在しない6 T 2 C型N V - S R A Mに相当する、と言える。

40

【 0 0 4 1 】

図8及び9から分かるように、十分な動作余裕を得るためには、強誘電体キャパシタの

50



総面積  $A_1 + A_2$  の値がある程度大きいことが必要であり、6シグマの動作余裕を得るためには、総面積  $A_1 + A_2$  の値は  $0.003 [\mu\text{m}^2]$  以上である必要がある。また、この場合、 $A_1 / (A_1 + A_2)$  の値が  $0.5$  未満であるときに、動作余裕が最大化することが分かる。さらに、図8における点Aに着目すると、4個の強誘電体キャパシタ  $C_{11}$ 、 $C_{12}$ 、 $C_{21}$  及び  $C_{22}$  の面積を同一にした場合、8シグマの動作余裕を得るためには、片側分の強誘電体キャパシタの総面積  $A_1 + A_2$  を  $0.1 [\mu\text{m}^2]$  にする必要があることが分かる。これに対して、図8における点Bに着目すると、第1のプレート線  $V_{p1}$  側の強誘電体キャパシタの面積  $A_1$  と第2のプレート線  $V_{p2}$  側の強誘電体キャパシタの面積  $A_2$  との比を  $1:4$  ( $A_1 = (A_1 + A_2) \times 0.2$ ) にした場合には、8シグマの動作余裕を得るためには、片側分の強誘電体キャパシタの総面積  $A_1 + A_2$  を  $0.01 [\mu\text{m}^2]$  にすればよいことが分かる。つまり、図8における点A及びBから、強誘電体キャパシタの総面積  $A_1 + A_2$  の値を、ほぼ  $1/10$  とすることができると分かる。強誘電体キャパシタの面積の縮小は、不揮発性SRAMの高密度化、高速化及び低電力化に直結する。

#### 【0042】

回路シミュレーションの結果の詳細な分析によれば、不揮発性SRAMにおける適切な強誘電体キャパシタの比率、すなわち、第1のプレート線  $V_{p1}$  側の強誘電体キャパシタの面積  $A_1$  と第2のプレート線  $V_{p2}$  側の強誘電体キャパシタの面積  $A_2$  との適切な比は、図6に示されるような強誘電体キャパシタの分極特性と関連し、概ね  $Q_{\text{ind}} : Q_{\text{rev}}$  であることが望ましい。この場合、左側の記憶ノード  $V_1$  又は右側の記憶ノード  $V_2$  のうち、復帰時に高電位  $H_i$  になる側の電位が第1のプレート線  $V_{p1}$  の電位の上昇によって適度なレベルに上昇し、最も安定した情報（記憶）の復帰が実現される。

#### 【0043】

なお、高電位  $H_i$  になる側の記憶ノードの電位が過度に高まることは望ましくない。なぜなら、トランジスタを介したリーク電流が増大し、誘起された電荷が無駄に失われ、却って動作余裕が減少するからである。第1のプレート線  $V_{p1}$  側の強誘電体キャパシタ  $C_{11}$  及び  $C_{21}$  の面積を小さめにすることによって、このような状況が防止される。

#### 【0044】

図6に示される強誘電体キャパシタの分極特性は、強誘電体の材料として酸化ハフニウム及び酸化ジルコニウムの固溶体  $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$  を用いた場合の例である。図8及び9に示される不揮発性SRAMが有する動作余裕と強誘電体キャパシタの面積比との関係は、図6に示される強誘電体キャパシタの分極特性に基づいて算出されたものであり、強誘電体キャパシタの総面積  $A_1 + A_2$  に対する第1のプレート線  $V_{p1}$  側の強誘電体キャパシタの面積  $A_1$  の比、すなわち、 $A_1 / (A_1 + A_2)$  の値が  $0.1 \sim 0.3$  で動作余裕が最適となっている。この比は、使用される強誘電体キャパシタの特性や、強誘電体キャパシタの加工上の制約（例えば、強誘電体キャパシタの加工可能な面積には下限がある。）に応じて適宜調整することができるが、 $Q_{\text{ind}} < Q_{\text{rev}}$  であるから、 $A_1 / (A_1 + A_2) < 0.5$  とすべきである。

#### 【0045】

強誘電体キャパシタの微細化を実現するためには、微細加工が容易な強誘電体の材料を用いることが望ましい。この条件を満足する材料としては、前記固溶体  $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$  に加えて、酸化ハフニウム  $\text{HfO}_2$ 、及び、これに不純物（ジルコニウム、シリコン、アルミニウム、イットリウム、ガドリニウム、ストロンチウム等）を添加した材料がある。

#### 【0046】

このように、本実施の形態における不揮発性SRAMは、一对のCMOSインバータから成るラッチLTであって、一对の記憶ノード  $V_1$  及び  $V_2$  を含むラッチLTと、各記憶ノード  $V_1$  又は  $V_2$  に2つずつ接続された強誘電体キャパシタ  $C_{11}$ 、 $C_{12}$ 、 $C_{21}$  及び  $C_{22}$  と、各記憶ノード  $V_1$  又は  $V_2$  に接続された強誘電体キャパシタの一方  $C_{11}$  及び  $C_{21}$  に接続された第1のプレート線  $V_{p1}$  と、各記憶ノード  $V_1$  又は  $V_2$  に接続され

た強誘電体キャパシタの他方C 1 2及びC 2 2に接続された第2のプレート線V p 2と、を備え、第1のプレート線V p 1に接続された強誘電体キャパシタC 1 1又はC 2 1の面積A 1は、第1のプレート線V p 1に接続された強誘電体キャパシタC 1 1又はC 2 1及び第2のプレート線V p 2に接続された強誘電体キャパシタC 1 2又はC 2 2の面積A 2の合計値(A 1 + A 2)の0.5倍未満である。これにより、不揮発性S R A Mは、十分な動作余裕を得ることができる。

【0047】

また、第1のプレート線V p 1に接続された強誘電体キャパシタC 1 1又はC 2 1の面積A 1は、合計値(A 1 + A 2)の0.1~0.3であることが望ましい。これにより、不揮発性S R A Mの動作余裕が最適となる。さらに、合計値(A 1 + A 2)は0.003 ( $\mu\text{m}^2$ )以上であることがより望ましい。

10

【0048】

以上説明したように、本実施の形態における不揮発性S R A Mは、同じ動作余裕(動作マージン)をより小さな強誘電体キャパシタで実現することができ、高密度化、低消費エネルギー化、及び、高速化が可能となる。

【0049】

次に、第2の実施の形態について説明する。なお、第1の実施の形態と同じ構造を有するものについては、同じ符号を付与することによってその説明を省略する。また、前記第1の実施の形態と同じ動作及び同じ効果についても、その説明を省略する。

【0050】

図10は第2の実施の形態における不揮発性S R A Mの電圧信号波形を示す波形図である。

20

【0051】

前記第1の実施の形態においては、不揮発性S R A Mに、図5に示されるような波形の電圧信号が印可されるものとして説明したが、本実施の形態においては、不揮発性S R A Mに、図10に示されるような波形の電圧信号が印可されるようになっている。

【0052】

前記第1の実施の形態において説明したように、退避時に4個の強誘電体キャパシタC 1 1、C 1 2、C 2 1及びC 2 2を記憶内容に応じて正しく分極させるには、電源線V c cの電位を高電位H iとして左側の記憶ノードV 1及び右側の記憶ノードV 2の電位を記憶内容に応じて保ったままで、次の状態1~4のすべてを出現させればよいことが分かる。

30

状態1：第1のプレート線V p 1が高電位H i

状態2：第1のプレート線V p 1が低電位L o

状態3：第2のプレート線V p 2が高電位H i

状態4：第2のプレート線V p 2が低電位L o

【0053】

仮に、退避直前に左側の記憶ノードV 1が高電位H iで右側の記憶ノードV 2が低電位L oであれば、前記状態1によって強誘電体キャパシタC 2 1が上向きに分極され、前記状態2によって強誘電体キャパシタC 1 1が下向きに分極され、前記状態3によって強誘電体キャパシタC 2 2が下向きに分極され、前記状態4によって強誘電体キャパシタC 1 2が上向きに分極されて、図7に示されるような状態になる。そして、左側の記憶ノードV 1が高電位H iで右側の記憶ノードV 2が低電位L oである限り、図7に示されるような分極と逆向きの分極が生じる可能性はない。図5に示されるような波形の電圧信号が印可される場合、退避時に前記状態1~4のすべてが出現することを確認することができる。

40

【0054】

図10に示される電圧信号波形は、第1のプレート線V p 1の電位が復帰動作の際に高電位H iになった後、退避に至るまで、高電位H iを維持する点で図5に示される電圧信号波形と異なっている。図10に示される波形の電圧信号が印可される場合も、退避時に

50

前記状態 1 ~ 4 のすべてが出現することを確認することができる。

【 0 0 5 5 】

前記第 1 の実施の形態においては、図 5 に示されるように、復帰から退避に至るまでに、第 1 のプレート線  $V_{p1}$  の電位が低電位  $L_o$  と高電位  $H_i$  との間を 2 往復するのに対し、本実施の形態においては、図 10 に示されるように、1 往復するのみである。これにより、本実施の形態においては、第 1 のプレート線  $V_{p1}$  の配線を充放電するための電力を削減することができる。

【 0 0 5 6 】

このように、本実施の形態において、第 1 のプレート線  $V_{p1}$  の電位は、強誘電体キャパシタ  $C_{11}$ 、 $C_{12}$ 、 $C_{21}$  及び  $C_{22}$  に定着された分極の向きをラッチ  $LT$  の記憶として再生させた後の  $SRAM$  メモリセル  $MC$  の通常動作中、高電位  $H_i$  に維持される。したがって、本実施の形態における不揮発性  $SRAM$  では、復帰から退避に至るサイクル中で第 1 のプレート線  $V_{p1}$  の電位の変化回数が減少し、消費エネルギーが減少する。

【 0 0 5 7 】

なお、その他の点の構成及び動作については、前記第 1 の実施の形態と同様であるので、その説明を省略する。

【 0 0 5 8 】

次に、第 3 の実施の形態について説明する。なお、第 1 及び第 2 の実施の形態と同じ構造を有するものについては、同じ符号を付与することによってその説明を省略する。また、前記第 1 及び第 2 の実施の形態と同じ動作及び同じ効果についても、その説明を省略する。

【 0 0 5 9 】

図 11 は第 3 の実施の形態における不揮発性  $SRAM$  の電圧信号波形を示す波形図である。

【 0 0 6 0 】

本実施の形態においては、第 2 のプレート線  $V_{p2}$  の電圧信号波形が前記第 2 の実施の形態と異なっている。図に示されるように、本実施の形態においては、復帰時から、第 2 のプレート線  $V_{p2}$  の電位が高電位  $H_i$  に維持される。

【 0 0 6 1 】

また、図に示される波形の電圧信号が印可される場合も、退避時に前記状態 1 ~ 4 のすべてが出現することを確認することができる。

【 0 0 6 2 】

さらに、第 1 のプレート線  $V_{p1}$  の電位は、前記第 2 の実施の形態と同様に、復帰から退避に至るまでに、第 1 のプレート線  $V_{p1}$  の電位が低電位  $L_o$  と高電位  $H_i$  との間を 1 往復するのみである。

【 0 0 6 3 】

さらに、退避時に、第 1 のプレート線  $V_{p1}$  の電位及び第 2 のプレート線  $V_{p2}$  の電位のいずれも、低電位  $L_o$  から高電位  $H_i$  に遷移させる必要がない。

【 0 0 6 4 】

このように、本実施の形態において、第 2 のプレート線  $V_{p2}$  の電位は、強誘電体キャパシタ  $C_{11}$ 、 $C_{12}$ 、 $C_{21}$  及び  $C_{22}$  に定着された分極の向きをラッチ  $LT$  の記憶として再生させる復帰動作から、ラッチ  $LT$  の記憶を強誘電体キャパシタ  $C_{11}$ 、 $C_{12}$ 、 $C_{21}$  及び  $C_{22}$  に定着させる退避動作に至るまで、高電位  $H_i$  に維持される。したがって、前記第 1 及び第 2 の実施の形態と比較して、退避時の制御が単純化されているので、速やかな退避動作を実現することができる。

【 0 0 6 5 】

以上説明したように、本実施の形態における不揮発性  $SRAM$  では、退避過程において、第 1 のプレート線  $V_{p1}$ 、第 2 のプレート線  $V_{p2}$  及び電源線  $V_{cc}$  のいずれの電位も上昇させる必要がない。したがって、電力遮断に伴う退避動作が容易である。

【 0 0 6 6 】

10

20

30

40

50

なお、その他の点の構成及び動作については、前記第 1 及び第 2 の実施の形態と同様であるので、その説明を省略する。

【 0 0 6 7 】

次に、第 4 の実施の形態について説明する。なお、第 1 ~ 第 3 の実施の形態と同じ構造を有するものについては、同じ符号を付与することによってその説明を省略する。また、前記第 1 ~ 第 3 の実施の形態と同じ動作及び同じ効果についても、その説明を省略する。

【 0 0 6 8 】

図 2 に示されるような回路構成を有する 6 T 4 C 型 N V - S R A M においては、各メモリセルの左側の記憶ノード V 1 に接続される強誘電体キャパシタ C 1 1 と C 1 2 とを対とし、かつ、右側の記憶ノード V 2 に接続される強誘電体キャパシタ C 2 1 と C 2 2 とを対として、各対における強誘電体キャパシタ同士を上下逆向きに分極させることが望ましい。これにより、復帰動作において、強誘電体キャパシタ C 1 1 と C 1 2 との静電容量の違い、及び、強誘電体キャパシタ C 2 1 と C 2 2 との静電容量の違いを大きくすることができるので、動作余裕を増大させるために有利となる。

【 0 0 6 9 】

もっとも、第 2 のプレート線 V p 2 側の強誘電体キャパシタ C 1 2 及び C 2 2 の静電容量を常に一定とし、第 1 のプレート線 V p 1 側の強誘電体キャパシタ C 1 1 及び C 2 1 のみを記憶内容に応じて分極させても、退避及び復帰の動作を実現することができる。この場合、第 2 のプレート線 V p 2 の電位を、図 5 に示されるように変化させる必要がなく、一定電位（望ましくは、ゼロ電位）に固定すればよいので、独立した第 2 のプレート線 V p 2 の配線、及び、第 2 のプレート線 V p 2 の電位を制御するための回路が不要となる。そして、本実施の形態における不揮発性 S R A M の電圧信号波形を示す波形図は、図 5、1 0 又は 1 1 に示される波形図において、第 2 のプレート線 V p 2 の電圧信号波形の電位を固定したものとなる。

【 0 0 7 0 】

また、本実施の形態において、第 2 のプレート線 V p 2 側の強誘電体キャパシタ C 1 2 及び C 2 2 は、必ずしも強誘電体キャパシタである必要はないが、小面積で大きな静電容量を確保し、かつ、製造を容易にするために、第 1 のプレート線 V p 1 側の強誘電体キャパシタ C 1 1 及び C 2 1 と同一の強誘電体で形成されることが望ましい。第 2 のプレート線 V p 2 の電位をゼロ電位とし、C 1 2 及び C 2 2 を強誘電体キャパシタとする場合には、不揮発性 S R A M の使用前に、すべてのメモリセルに対して 0 と 1 とをそれぞれ少なくとも 1 回ずつ書き込み、左側の記憶ノード V 1 及び右側の記憶ノード V 2 の電位を少なくとも 1 回高電位 H i とすることによって、第 2 のプレート線 V p 2 側の強誘電体キャパシタ C 1 2 及び C 2 2 の分極を初期化することができる。これにより、第 2 のプレート線 V p 2 側の強誘電体キャパシタ C 1 2 及び C 2 2 は、上向きに分極され、以後変化することがない。

【 0 0 7 1 】

以上説明したように、本実施の形態における不揮発性 S R A M では、4 個中 2 個の強誘電体キャパシタの電圧変化をなくすことによって、消費エネルギーを削減することができる。また、4 個中 2 個の強誘電体キャパシタへの配線を他の配線（グラウンド等）と兼用することができるので、高密度化が可能となる。

【 0 0 7 2 】

なお、その他の点の構成及び動作については、前記第 1 ~ 第 3 の実施の形態と同様であるので、その説明を省略する。

【 0 0 7 3 】

次に、第 5 の実施の形態について説明する。なお、第 1 ~ 第 4 の実施の形態と同じ構造を有するものについては、同じ符号を付与することによってその説明を省略する。また、前記第 1 ~ 第 4 の実施の形態と同じ動作及び同じ効果についても、その説明を省略する。

【 0 0 7 4 】

図 1 2 は第 5 の実施の形態における不揮発性 S R A M を用いた情報処理装置の構成を示

す図、図 1 3 は比較例の情報処理装置の構成を示す図、図 1 4 は第 5 の実施の形態における不揮発性 S R A M の典型的な構成例を示す図である。

【 0 0 7 5 】

図 1 2 には、不揮発性 S R A M を用いたマイクロコントローラ、マイクロコンピュータ等の情報処理装置の構成が示されている。なお、本実施の形態における不揮発性 S R A M は、前記第 1 ~ 第 4 の実施の形態における不揮発性 S R A M と同様のものである。

【 0 0 7 6 】

本実施の情報処理装置は、一般の情報処理装置と同様に、演算装置、記憶装置及び入出力装置を含んでいる。図 1 2 に示される例において、前記情報処理装置は、図 2 に示されるような 6 T 4 C 型 N V - S R A M である不揮発性 S R A M を記憶装置として用い、さら  
10  
に、電源制御回路を有している。該電源制御回路は、外部電源から一旦電力を受け取り、電源電圧  $V_{dd}$  を演算装置及び入出力装置に供給するとともに、不揮発性 S R A M の電源線  $V_{cc}$ 、第 1 のプレート線  $V_{p1}$  及び第 2 のプレート線  $V_{p2}$  に電圧を供給する。また、電源制御回路には、演算装置から、電源遮断開始を指示する制御信号  $C_{t1}$  が入力される。なお、電源制御回路をバスに接続し、前記制御信号  $C_{t1}$  がバスを介して電源制御回路に入力されるようにしてもよい。該電源制御回路は、さらに、演算装置に対して割り込み信号  $I_{nt}$  を出力する機能を有していてもよい。前記情報処理装置は、さらに、演算装置、記憶装置及び入出力装置が互いに情報をやり取りするための手段として、アドレス・バス及びデータ・バスを含むバスを備える。記憶装置である不揮発性 S R A M には、演算装置の実行プログラム及びデータが格納される。このような前記情報処理装置の構成要素  
20  
のすべてを単一の半導体チップとしてのシリコンチップ上に集積すれば前記情報処理装置を小型化することができるが、必要に応じて一部の構成を前記シリコンチップの外部に設けることもできる。

【 0 0 7 7 】

前記情報処理装置には入出力装置を介して外界の情報が入力情報として入力され、演算装置は入力情報に基づいて出力すべき出力情報を決定し、該出力情報は入出力装置を介して外界に出力される。典型的な入力情報の例としては、各種センサからの情報（温度、湿度、位置、速度等）が挙げられ、典型的な出力情報の例としては、モータ制御装置に対する制御信号、データ記録装置に対するデータ値等が挙げられる。外部とやり取りする情報は、アナログ情報であってもデジタル情報であってもよいが、アナログ情報は前記入出力装置において A D 変換又は D A 変換され、前記情報処理装置内においては、情報はデジタルで取り扱われる。入力情報及び出力情報は、無線通信を介して入出力されてもよい。  
30

【 0 0 7 8 】

前記情報処理装置は、記憶装置である不揮発性 S R A M 内の情報を失うことなく、状況に応じて電源を遮断して電力の節約を図ることができる。前記演算装置は、あらかじめ定められたプログラムに基づき電源遮断を決定し、電源遮断前に終了させるべき作業を完了させた後、電源制御回路に対して制御信号  $C_{t1}$  を送信して電源遮断の開始を指示する。これを受けて、前記電源制御回路は、不揮発性 S R A M の電源線  $V_{cc}$ 、第 1 のプレート線  $V_{p1}$  及び第 2 のプレート線  $V_{p2}$  に供給する電圧を適切に変化させて、6 T 4 C 型 N V - S R A M である不揮発性 S R A M の退避動作を完了させる。また、前記電源制御回路は、電源電圧  $V_{dd}$  を遮断する。これにより、前記演算装置、記憶装置及び入出力装置への電源供給は遮断され、前記情報処理装置はスリープ状態となる。前記電源制御回路は、スリープ状態中にあらかじめ定められた条件が満足されると、前記情報処理装置の動作を再開させる。すなわち、不揮発性 S R A M の電源線  $V_{cc}$ 、第 1 のプレート線  $V_{p1}$  及び第 2 のプレート線  $V_{p2}$  に供給する電圧を適切に変化させて 6 T 4 C 型 N V - S R A M である不揮発性 S R A M の復帰動作を実施する。また、前記電源制御回路は、電源電圧  $V_{dd}$  の供給を再開する。以上により、前記情報処理装置は、記憶装置である不揮発性 S R A M 内の情報を失うことなく、電源の遮断と復旧とを実現する。記憶装置として不揮発性 S R A M を用いると、情報の退避と復旧とに要するエネルギーが小さいので、電源の遮断による電力節約効果を大きくすることができる。  
40  
50

## 【 0 0 7 9 】

電源遮断は、前記演算装置が自ら作業の区切りがついたと判断する場合のほか、なんらかの外部要因に応じて実施してもよい。例えば、外部電源からの電源供給が不安定化又は喪失された場合に、急遽、電源遮断を実施するようにしてもよい。このような機能は、外部電源が環境発電（光、振動、電波等の環境に存在するエネルギーを利用した発電）によって供給されている場合に、特に有用である。そのためには、前記電源制御回路は、外部電源の電圧を監視し、電圧が所定の閾値を下回った場合に割り込み信号  $I n t$  を演算装置に送信し、該演算装置は、割り込み信号  $I n t$  を受けて、前記電源遮断を決定するにすればよい。なお、外部電源喪失を検出して電源遮断を行うためには、外部電源喪失後も短時間の電源供給を可能とするために、前記電源制御回路は蓄電キャパシタを備えることが望ましい。この場合、記憶装置として不揮発性  $S R A M$  を用いると、情報の退避に要するエネルギーが小さいので、前記蓄電キャパシタを小さくすることができる。

10

## 【 0 0 8 0 】

前記電源制御回路が情報処理装置の動作を再開させるための条件としては、一定時間の経過、及び、その他なんらかの対応すべき事象の発生が挙げられる。一定時間の経過をもって動作の再開を行う場合、前記電源制御回路がタイマー回路を備えるようにする。その他なんらかの事象に応じて動作を再開させる場合、前記電源制御回路が当該事象を検出する手段を備えるようにする。例えば、当該事象が喪失された外部電源の復旧の場合であるとすると、前記電源制御回路は、外部電圧を監視し、該外部電圧が所定の閾値を上回った場合に情報処理装置の動作を再開させる。

20

## 【 0 0 8 1 】

図 1 3 に示される比較例のように、記憶装置として不揮発性  $S R A M$  を用いずに、 $S R A M$  と他の不揮発メモリ（例えば、フラッシュメモリ）とを用いて情報処理装置を構成することも、考えられる。しかし、前記比較例の場合、情報の退避時には  $S R A M$  の内容を不揮発メモリに、また、情報の復帰時には不揮発メモリの内容を  $S R A M$  に、それぞれ、バスを介して転送する必要がある。かかる転送は、32ビット等の細かい単位で行われ、かつ、負荷容量が大きいバスを介するため、効率が悪い。これに対し、本実施の形態における情報処理装置は、記憶装置として 6 T 4 C 型  $N V - S R A M$  である不揮発性  $S R A M$  を用いているので、一体化された  $S R A M$  と強誘電体キャパシタとの間で情報が一括転送されるため、情報の退避と復帰とに要するエネルギーを、 $S R A M$  と不揮発メモリを組み合わせた前記比較例よりも、大幅に削減することができる。

30

## 【 0 0 8 2 】

図 1 4 には、図 1 2 に示される不揮発性  $S R A M$  の構成例が、図 2 を補充して、示されている。図 1 4 に示される  $M C$  は、図 2 に示される  $M C$  と同様のものである。図 1 4 に示される例は、 $n$  行  $m$  列のメモリセル・アレーであり、 $n \times m$  個のメモリセル  $M C$ 、 $n$  本のワード線  $V w 1 \_ i$  ( $i = 1, 2, \dots, n$ )、及び、 $m$  対の  $V b 1 \_ i$  と  $V b 2 \_ i$  とから成るビット線対 ( $i = 1, 2, \dots, n$ ) を含んでいる。図 1 4 においては示されていないが、各  $M C$  に接続された第 1 のプレート線  $V p 1$ 、第 2 のプレート線  $V p 2$  及び電源線  $V c c$  は、それぞれ、図 1 2 に示される  $V p 1$  端子、 $V p 2$  端子及び  $V c c$  端子に接続される。

40

## 【 0 0 8 3 】

図 1 2 に示される不揮発性  $S R A M$  は、複数のメモリセル・アレーを含んでいてもよい。図 1 2 に示される不揮発性  $S R A M$  内の第 1 のプレート線  $V p 1$ 、第 2 のプレート線  $V p 2$  及び電源線  $V c c$  の組を、メモリセル・アレーの列毎、メモリセル・アレーの行毎、メモリセル・アレー毎等に電氣的に分離し、それぞれを、別々に制御するようにしてもよい。この場合、対応して電源制御回路に  $V p 1$  端子、 $V p 2$  端子及び  $V c c$  端子の組を複数設ける。こうして分離した各領域の電源投入の時刻をずらすことによって、電源投入時の消費電力を均一化することができる。また、適宜必要な領域だけ電源を投入することによって、消費電力を削減することができる。

## 【 0 0 8 4 】

50

なお、本明細書の開示は、好適で例示的な実施の形態に関する特徴を述べたものである。ここに添付された特許請求の範囲内及びその趣旨内における種々の他の実施の形態、修正及び変形は、当業者であれば、本明細書の開示を総覧することによって、当然に考え付くことである。

【産業上の利用可能性】

【0085】

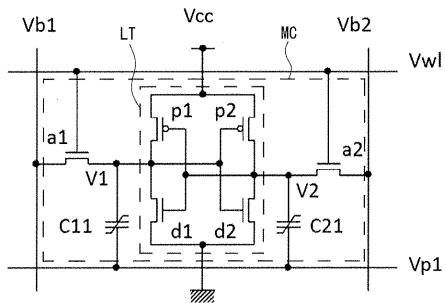
本開示は、強誘電体キャパシタを備える不揮発性SRAMに適用することができる。

【符号の説明】

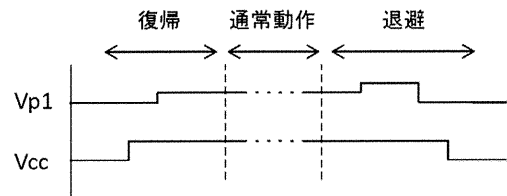
【0086】

- A 1、A 2 面積
- C 1 1、C 1 2、C 2 1、C 2 2 強誘電体キャパシタ
- L T ラッチ
- M C メモリセル
- V 1、V 2 記憶ノード
- V p 1 第1のプレート線
- V p 2 第2のプレート線

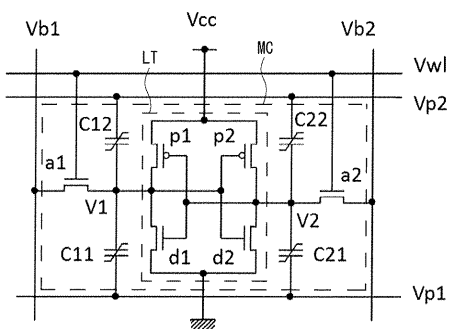
【図1】



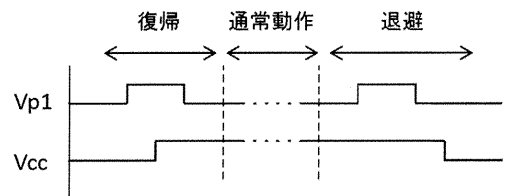
【図3】



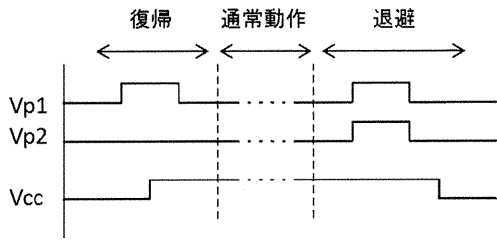
【図2】



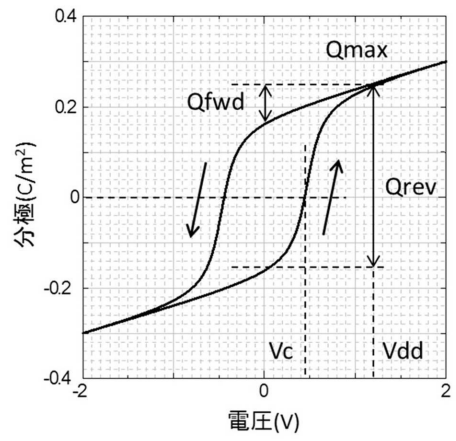
【図4】



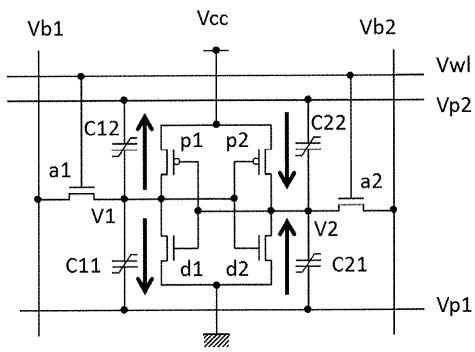
【 図 5 】



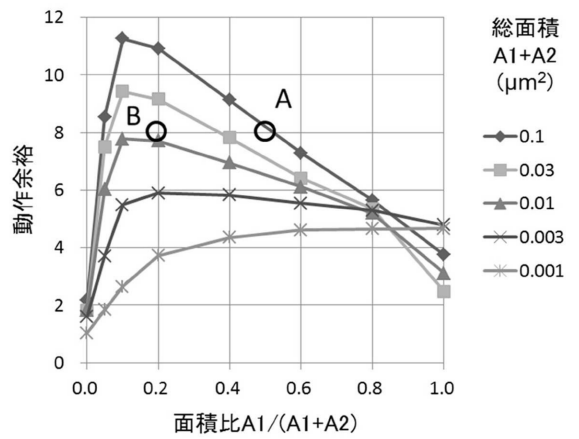
【 図 6 】



【 図 7 】



【 図 8 】

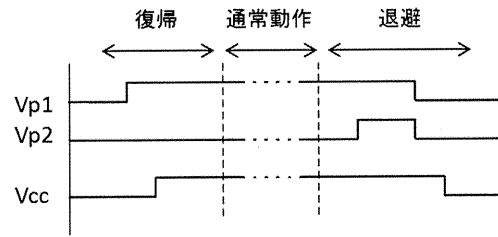




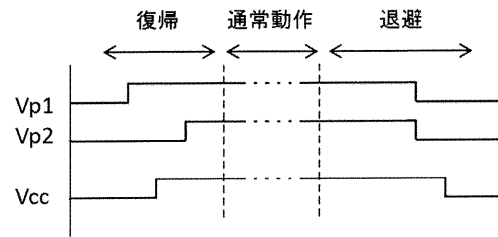
【図 9】

面積比 A1/(A1+A2)	キャパシタ総面積A1+A2 (μm <sup>2</sup> )				
	0.1	0.03	0.01	0.003	0.001
0.00	2.180	1.825	1.820	1.608	1.038
0.05	8.541	7.509	6.020	3.713	1.843
0.10	11.261	9.437	7.778	5.484	2.645
0.20	10.921	9.159	7.711	5.894	3.723
0.40	9.133	7.826	6.946	5.820	4.348
0.60	7.281	6.407	6.118	5.545	4.604
0.80	5.645	5.349	5.195	5.294	4.654
1.00	3.756	2.484	3.110	4.789	4.664

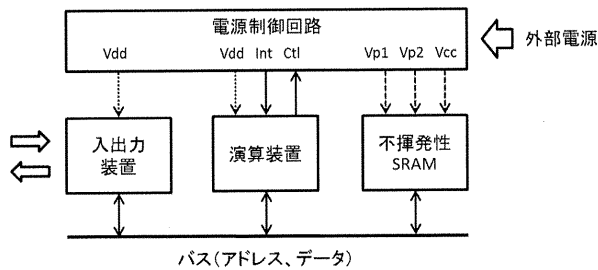
【図 10】



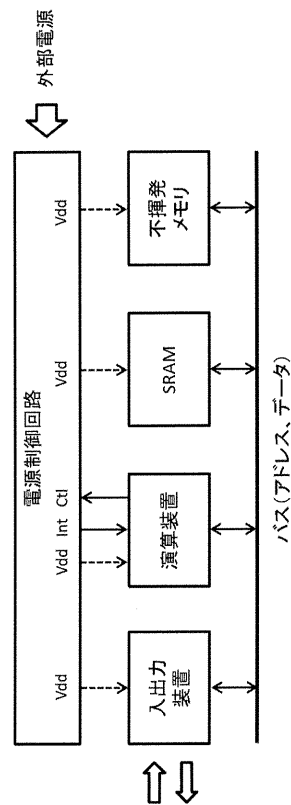
【図 11】



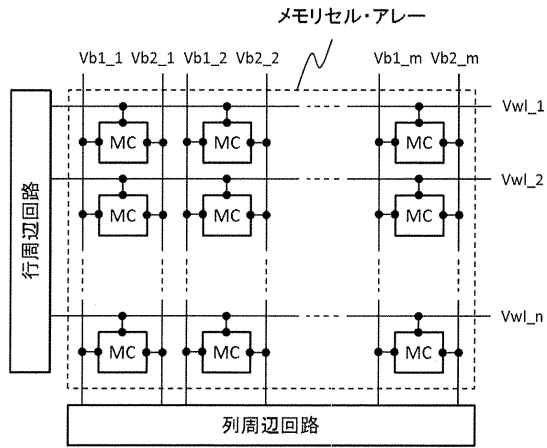
【図 12】



【図 13】



【図 14】



フロントページの続き

(72)発明者 平本 俊郎

東京都文京区本郷七丁目3番1号 国立大学法人東京大学内