

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2020-71894
(P2020-71894A)

(43) 公開日 令和2年5月7日(2020.5.7)

(51) Int. Cl.			F I			テーマコード (参考)	
G 1 1 C	11/417	(2006.01)	G 1 1 C	11/417	1 0 0	5 B 0 1 5	
H 0 1 L	21/8244	(2006.01)	H 0 1 L	27/11		5 F 0 8 3	
H 0 1 L	27/11	(2006.01)	G 1 1 C	11/412			
G 1 1 C	11/412	(2006.01)	G 1 1 C	5/14	3 7 0		
G 1 1 C	5/14	(2006.01)					
審査請求 未請求 請求項の数 19 O L (全 31 頁)							
(21) 出願番号	特願2018-207037 (P2018-207037)		(71) 出願人	302062931			
(22) 出願日	平成30年11月2日 (2018.11.2)			ルネサスエレクトロニクス株式会社			
				東京都江東区豊洲三丁目2番24号			
			(74) 代理人	110000350			
				ポレール特許業務法人			
			(72) 発明者	中村 大輔			
				東京都江東区豊洲三丁目2番24号 ルネ			
				サスエレクトロニクス株式会社内			
			(72) 発明者	横山 佳巧			
				東京都江東区豊洲三丁目2番24号 ルネ			
				サスエレクトロニクス株式会社内			
			Fターム(参考)	5B015 HH01 HH03 HH04 HH05 JJ02			
				JJ05 JJ07 KA13 KA23 KB25			
				KB64 KB72 KB92 MM06 MM09			
				MM10 PP02 PP08 QQ03			
				最終頁に続く			

(54) 【発明の名称】 半導体装置及びデータ保持方法

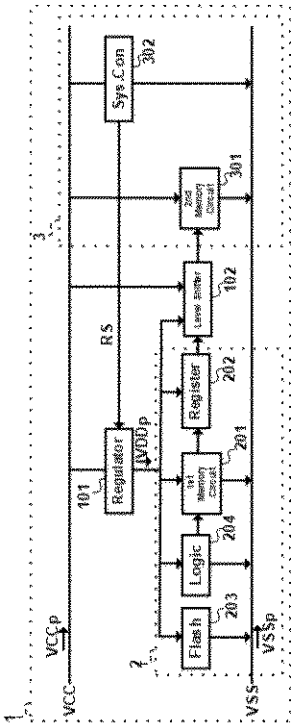
(57) 【要約】

【課題】半導体装置の消費電力を低減する。

【解決手段】半導体装置は、第1電界効果トランジスタから構成される第1メモリセルを含む第1メモリ回路と、第2電界効果トランジスタから構成される第2メモリセルを含む第2メモリ回路と、第1電源電位を第1電源電位の電圧値よりも低い電圧値の第2電源電位に変換するレギュレータと、を有する。第2電界効果トランジスタの第2ゲート長は、第1電界効果トランジスタの第1ゲート長よりも長く、前記第1メモリセルには、レギュレータを介して第2電源電位が供給され、第2メモリセルには、第1電源電位が供給される。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

第 1 電界効果トランジスタからなるスタティック型の第 1 メモリセルと、
第 2 電界効果トランジスタからなるスタティック型の第 2 メモリセルと、
前記第 1 メモリセルを含む第 1 メモリ回路と、
前記第 2 メモリセルを含む第 2 メモリ回路と、
第 1 電源電位を前記第 1 電源電位の電圧値よりも低い電圧値の第 2 電源電位に変換するレギュレータと、
を有し、
前記第 2 電界効果トランジスタの第 2 ゲート長は、前記第 1 電界効果トランジスタの第 1 ゲート長よりも長く、
前記第 1 メモリ回路には、前記レギュレータを介して前記第 2 電源電位が供給され、
前記第 2 メモリ回路には、前記第 1 電源電位が供給される、半導体装置。

10

【請求項 2】

前記第 1 メモリセルは、第 1 ワード線及び一对の第 1 ビット線と電氣的に接続され、
前記第 2 メモリセルは、第 2 ワード線及び一对の第 2 ビット線と電氣的に接続され、
前記第 1 メモリセルは、
第 1 プルアップトランジスタ及び第 1 プルダウントランジスタからなる第 1 インバータと、
第 2 プルアップトランジスタ及び第 2 プルダウントランジスタからなる第 2 インバータと、
前記第 1 インバータの入力部と前記一对の第 1 ビット線の一方のビット線との間に接続される第 1 パスゲートトランジスタと、
前記第 2 インバータの出力部と前記一对の第 1 ビット線の他方のビット線との間に接続される第 2 パスゲートトランジスタと、
を備え、
前記第 2 メモリセルは、
第 3 プルアップトランジスタ及び第 3 プルダウントランジスタからなる第 3 インバータと、
第 4 プルアップトランジスタ及び第 4 プルダウントランジスタからなる第 4 インバータと、
前記第 3 インバータの出力部と前記一对の第 2 ビット線の一方のビット線との間に接続される第 3 パスゲートトランジスタと、
前記第 2 インバータの出力部と前記一对の第 2 ビット線の他方のビット線との間に接続される第 4 パスゲートトランジスタと、
を備え、
前記第 1 インバータ及び前記第 2 インバータのそれぞれに、前記第 2 電源電位及び第 3 電源電位が供給され、
前記第 3 インバータ及び前記第 4 インバータのそれぞれに、前記第 1 電源電位及び前記第 3 電源電位が供給され、
前記第 3 電源電位は、前記第 2 電源電位より低い電圧であり、
平面視において前記第 2 メモリセルと重なるように配置された前記第 2 ワード線の幅よりも前記第 2 ゲート長の方が大きい、請求項 1 記載の半導体装置。

20

30

40

【請求項 3】

前記半導体装置は、第 1 モードと、前記第 1 モードと異なる第 2 モードとを有し、
前記第 1 モードにおいて、前記第 1 メモリセルに前記レギュレータを介して前記第 2 電源電位が供給され、
前記第 2 モードにおいて、前記レギュレータの電源が遮断される、請求項 1 記載の半導体装置。

【請求項 4】

50

前記第 2 メモリ回路の記憶容量は前記第 1 メモリ回路の記憶容量よりも小さい、請求項 1 記載の半導体装置。

【請求項 5】

前記第 2 メモリ回路は、

複数の前記第 2 メモリセルが行列状に配置されたメモリアレイ領域と、

平面視において、前記メモリアレイ領域の行方向に、前記メモリアレイ領域と隣接して配置されるダミーセル領域と、

平面視において、前記メモリアレイ領域の列方向に、前記メモリアレイ領域と隣接して配置される給電領域と、

をさらに備え、

10

前記ダミーセル領域は、ゲート長が前記第 2 ゲート長である複数のダミートランジスタを含み、

前記複数のダミートランジスタは、前記メモリアレイ領域に含まれる複数の前記第 2 メモリセルのパスゲートトランジスタのゲート電極およびプルダウントランジスタのゲート電極ごとに隣接して配置される、請求項 2 記載の半導体装置。

【請求項 6】

前記第 1 電界効果トランジスタの閾値よりも前記第 2 電界効果トランジスタの閾値の方が高い、請求項 1 記載の半導体装置。

【請求項 7】

前記第 2 メモリ回路は、前記第 2 メモリセルと行方向に隣接して配置された第 3 メモリセルをさらに備え、

20

前記第 3 メモリセルに、前記第 2 ワード線と異なる第 2 の第 3 ワード線及び、前記一对の第 2 ビット線と異なる一对の第 3 ビット線が接続され、

前記一对の第 2 ビット線と、前記第 3 メモリセルに接続された一对の第 3 ビット線は、一对の共通ビット線を介して互いに電氣的に接続される、請求項 2 記載の半導体装置。

【請求項 8】

前記第 1 ゲート長は、前記第 1 電界効果トランジスタのソース領域とドレイン領域との間の距離であり、

前記第 2 ゲート長は、前記第 2 電界効果トランジスタのソース領域とドレイン領域との間の距離である、請求項 1 記載の半導体装置。

30

【請求項 9】

前記第 1 モードは、前記第 1 メモリセルに対するデータの読み出し又は書き込みが行われる通常動作モードであり、

前記第 2 モードは、前記第 1 メモリセルに対するデータの読み出し及び書き込みがいずれも行われないスタンバイモードである、請求項 3 記載の半導体装置。

【請求項 10】

第 1 電界効果トランジスタを含むスタティック型の第 1 メモリセルと、

第 2 電界効果トランジスタを含むスタティック型の第 2 メモリセルと、

前記第 1 メモリセルからなる第 1 メモリ回路と、

前記第 2 メモリセルからなる第 2 メモリ回路と、

40

第 1 電源電位を前記第 1 電源電位の電圧値よりも低い電圧値の第 2 電源電位に変換するレギュレータと、

を有し、

前記第 2 電界効果トランジスタの第 2 ゲート絶縁膜の厚さは、前記第 1 電界効果トランジスタの第 1 ゲート絶縁膜の厚さよりも厚く、

第 1 モードにおいて、前記第 1 メモリセルには、前記レギュレータを介して前記第 2 電源電位が供給され、

第 2 モードにおいて、前記第 2 メモリセルには、前記第 1 電源電位が供給され、

前記第 1 モードでは、前記第 1 メモリ回路に前記レギュレータを介して前記第 2 電源電位が供給され、

50

前記第 2 モードでは、前記レギュレータに供給されていた前記第 1 電源電位が遮断される、半導体装置。

【請求項 1 1】

前記第 1 メモリセルは、第 1 ワード線及び一对の第 1 ビット線と電氣的に接続され、

前記第 2 メモリセルは、第 2 ワード線及び一对の第 2 ビット線と電氣的に接続され、

前記第 1 メモリセルは、

第 1 プルアップトランジスタ及び第 1 プルダウントランジスタからなる第 1 インバータと、

第 2 プルアップトランジスタ及び第 2 プルダウントランジスタからなる第 2 インバータと、

前記第 1 インバータの入力部と前記一对の第 1 ビット線の一方のビット線との間に接続される第 1 パスゲートトランジスタと、

前記第 2 インバータの出力部と前記一对の第 1 ビット線の他方のビット線との間に接続される第 2 パスゲートトランジスタと、

を備え、

前記第 2 メモリセルは、

第 3 プルアップトランジスタ及び第 3 プルダウントランジスタからなる第 3 インバータと、

第 4 プルアップトランジスタ及び第 4 プルダウントランジスタからなる第 4 インバータと、

前記第 3 インバータの出力部と前記一对の第 2 ビット線の一方のビット線との間に接続される第 3 パスゲートトランジスタと、

前記第 2 インバータの出力部と前記一对の第 2 ビット線の他方のビット線との間に接続される第 4 パスゲートトランジスタと、

を備え、

前記第 1 インバータ及び前記第 2 インバータのそれぞれに、前記第 2 電源電位及び、前記第 2 電源電位より低い第 3 電源電位が供給され、

前記第 3 インバータ及び前記第 4 インバータのそれぞれに、前記第 1 電源電位及び、前記第 3 電源電位が供給される、請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記第 1 モードは、前記第 1 メモリ回路において読み出しまたは書き込みが行われる通常動作モードであり、

前記第 2 モードは、前記第 1 メモリ回路において読み出し及び書き込みがいずれも行われないスタンバイモードである、請求項 1 0 記載の半導体装置。

【請求項 1 3】

前記第 2 メモリ回路の記憶容量は前記第 1 メモリ回路の記憶容量よりも小さい、請求項 1 0 記載の半導体装置。

【請求項 1 4】

前記第 2 メモリ回路は、

複数の前記第 2 メモリセルが行列状に配置されたメモリアレイ領域と、

平面視において、前記メモリアレイ領域の行方向に、前記メモリアレイ領域と隣接して配置されるダミーセル領域と、

平面視において、前記メモリアレイ領域の列方向に、前記メモリアレイ領域と隣接して配置される電源領域と、

をさらに備え、

前記ダミーセル領域は、ゲート長が第 2 ゲート長である複数のダミートランジスタを含み、

前記複数のダミートランジスタは、前記メモリアレイ領域に含まれる複数の前記第 2 メモリセルのパスゲートトランジスタのゲート電極およびプルダウントランジスタのゲート電極ごとに隣接して配置される、請求項 1 0 記載の半導体装置。

10

20

30

40

50

【請求項 15】

前記第1電界効果トランジスタの閾値よりも前記第2電界効果トランジスタの閾値の方が高い、請求項10記載の半導体装置。

【請求項 16】

前記第2メモリ回路は、前記第2メモリセルと行方向に隣接して配置された第3メモリセルをさらに備え、

前記第3メモリセルに、前記第2ワード線と異なる第3ワード線及び、前記一对の第2ビット線と異なる一对の第3ビット線が接続され、

前記一对の第2ビット線と、前記第3メモリセルに接続された一对の第3ビット線は、一对の共通ビット線を介して互いに電氣的に接続される、請求項11記載の半導体装置。

10

【請求項 17】

前記第1モードにおいて、前記第1メモリセルに対するデータの読み出し又は書き込みが行われ、

前記第2モードにおいては、前記第1メモリセルに対するデータの読み出し及び書き込みがいずれも行われない、請求項12記載の半導体装置。

【請求項 18】

(a) 第1電源電圧をレギュレータ及び第2メモリセルに、前記レギュレータを介して前記第1電源電圧よりも低い電圧値に変換された第2電源電圧を第1メモリセルに、それぞれ供給し、前記第1メモリセルに格納されたデータを前記第2メモリセルに移動させる工程と、

20

(b) 前記(a)工程の後、前記レギュレータに供給されていた前記第1電源電圧を遮断する一方、前記第2メモリセルには前記第1電源電圧を供給し続ける工程と、

を含むデータ保持方法。

【請求項 19】

前記(b)工程では、前記第2メモリセルからなるメモリ回路に含まれる周辺回路に供給されていた前記第1電源電圧を遮断する、請求項18記載のデータ保持方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置と、データ保持方法に関し、例えば、SRAM(Static Random Access Memory、スタティックランダムアクセスメモリ)を有する半導体装置に適用して有効な技術に関する。

30

【背景技術】

【0002】

特開2017-174490号公報(特許文献1)では、入出力回路に対して供給される電圧値(例えば3.3V)よりもロジック回路及びSRAM回路に供給される電圧値(例えば1.2V)の方が低いことが開示されている。

【先行技術文献】

【特許文献】

【0003】

40

【特許文献1】特開2017-174490号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一般に、低い電圧値(例えば1.2V)を供給する場合は、例えばレギュレータを用いて、高い電圧値(例えば3.3V)を低い電圧値に降圧することが考えられる。しかし、上記の使い方の場合、レギュレータを駆動するための電力が必要となる。このため、半導体装置の消費電力が高くなる傾向がある。

【0005】

その他の課題および新規な特徴は、本明細書の記述および添付図面から明らかになるで

50

あろう。

【課題を解決するための手段】

【0006】

一実施の形態に係る半導体装置は、第1電界効果トランジスタを含む第1メモリセルと、第2電界効果トランジスタを含む第2メモリセルを含む第2メモリセルと、第1電源電位を第1電源電位の電圧値よりも低い電圧値の第2電源電位に変換するレギュレータと、を有する。また、第2電界効果トランジスタのゲート長は、第1電界効果トランジスタのゲート長よりも長い。また、第1メモリセルには、レギュレータを介して第2電源電位が供給される。さらに、第2メモリセルには、第1電源電位が供給される。

【0007】

他の実施の形態に係る半導体装置は、第1電界効果トランジスタを含むスタティック型の第1メモリセルと、第2電界効果トランジスタを含むスタティック型の第2メモリセルと、第1メモリセルを含む第1メモリ回路と、第2メモリセルを含む第2メモリ回路と、第1電源電位を第1電源電位の電圧値よりも低い電圧値の第2電源電位に変換するレギュレータと、を有する。また、第2電界効果トランジスタの第2絶縁膜の厚さは、第1電界効果トランジスタの第1絶縁膜の厚さよりも厚い。また、第1モードにおいて、第1メモリセルには、レギュレータを介して第2電源電位が供給される。また、第2モードにおいて、第2メモリセルには、第1電源電位が供給される。また、第1モードでは、第1メモリ回路にレギュレータを介して第2電源電位が供給される。さらに、第2モードでは、レギュレータに供給されていた第1電源電圧が遮断される。

【0008】

他の実施の形態に係る半導体装置のデータ保持方法は、第1電源電圧をレギュレータ及び第2メモリセルに、レギュレータを介して第1電源電圧よりも低い電圧値に変換された第2電源電圧を第1メモリセルに、それぞれ供給し、第1メモリセルに格納されたデータを第2メモリセルに移動させる工程を含む。また、レギュレータに供給されていた第1電源電圧を遮断する一方、第2メモリセルには第1電源電圧を供給し続ける工程を含む。

【発明の効果】

【0009】

一実施の形態に係る半導体装置では、半導体装置の消費電力を削減することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、実施の形態1における半導体装置のブロック図である。

【図2A】図2Aは、実施の形態1における第1メモリセルの回路図である。

【図2B】図2Bは、実施の形態1における第2メモリセルの回路図である。

【図3】図3は、実施の形態1における第1メモリ回路及び第2メモリ回路の構成を示すブロック図である。

【図4A】図4Aは、実施の形態1において第2モードに移行する際の動作を示すフローチャートである。

【図4B】図4Bは、実施の形態1において第2モードから復帰する際の動作を示すフローチャートである。

【図5A】図5Aは、実施の形態1における第1メモリセルの平面レイアウト図である。

【図5B】図5Bは、実施の形態1における第2メモリセルの平面レイアウト図である。

【図6】図6は、実施の形態1における第2メモリセルの上層における第1金属配線層及び第2金属配線層の平面レイアウト図である。

【図7】図7は、実施の形態1における第2メモリセルの上層における第2金属配線層及び第3金属配線層の平面レイアウト図である。

【図8A】図8Aは、実施の形態2における、第1メモリセルの平面レイアウト図である。

。

【図8B】図8Bは、実施の形態2における、第2メモリセルの平面レイアウト図である。

。

10

20

30

40

50

【図 9】図 9 は、実施の形態 3 における第 2 メモリ回路のブロック図である。

【図 10】図 10 は、実施の形態 3 における第 2 メモリセルの上層における第 1 金属配線層及び第 2 金属配線層の平面レイアウト図である。

【図 11】図 11 は、実施の形態 3 における第 2 メモリセルの上層における第 2 金属配線層及び第 3 金属配線層の平面レイアウト図である。

【図 12】図 12 は、実施の形態 3 の変形例における第 2 メモリ回路のブロック図である。

【図 13】図 13 は、実施の形態 1 における隣接メモリセルの平面レイアウト図である。

【図 14】図 14 は、実施の形態 4 におけるダミーセルの平面レイアウト図である。

【図 15】図 15 は、実施の形態 4 におけるダミーセルの平面レイアウト図である。

10

【図 16 A】図 16 A は、実施の形態 1 における第 1 電界効果トランジスタの断面図である。

【図 16 B】図 16 B は、実施の形態 1 における第 2 電界効果トランジスタの断面図である。

【図 17】図 17 は、実施の形態 5 における第 2 メモリ回路の回路図である。

【図 18 A】図 18 A は、実施の形態 5 の効果を説明する図である。

【図 18 B】図 18 B は、実施の形態 5 の効果を説明する図である。

【発明を実施するための形態】

【0011】

以下、各実施の形態に係る半導体装置について、図面を参照して詳細に説明する。なお、明細書および図面において、同一の構成要件または対応する構成要件には、同一の符号を付し、重複する説明は省略する。また、図面では、説明の便宜上、構成を省略または簡略化している場合もある。また、実施の形態と各変形例との少なくとも一部は、互いに任意に組み合わせられてもよい。

20

【0012】

(実施の形態 1)

図 1 に、本実施の形態における半導体装置 1 の回路のブロック図を示す。第 1 電源 VCC は第 1 電源電位 VCCp を供給する。接地電源 VSS は、接地電位 VSSp を供給する。半導体装置 1 には、与えられる第 1 電源電位 VCCp と、第 1 電源電位 VCCp より低い電圧値の接地電位 VSSp が供給される。第 1 電源電位 VCCp は、レギュレータ 101 (第 2 電源 VDD) によって、接地電位 VSSp より高く、かつ第 1 電源電位 VCCp より低い電圧値の第 2 電源電位 VDDp に変換される。レギュレータ 101 には、例えば、リニアレギュレータまたはスイッチングレギュレータが用いられる。半導体装置 1 には、コア領域 2 と、コア領域 2 と異なる高耐圧領域 3 が存在する。コア領域 2 は、レギュレータ 101 を介して、第 1 電源電位 VCCp が降圧された第 2 電源電位 VDDp が供給される領域である。一方、高耐圧領域 3 は、第 1 電源電位 VCCp が直接供給される領域である。なお、コア領域 2 及び高耐圧領域 3 のそれぞれは、互いに同じ接地電位 VSSp が供給される領域でもある。コア領域 2 と高耐圧領域 3 は、半導体装置 1 に含まれる半導体チップ (図示しない) 上に形成されている。

30

【0013】

半導体装置 1 のコア領域 2 には、第 2 電源電位 VDDp 及び接地電位 VSSp を動作電圧とする、第 1 メモリ回路 201、レジスタ 202、フラッシュメモリ 203、ロジック回路 204 が配置される。第 1 メモリ回路 201 には、ロジック回路 204 の演算結果が格納される。すなわち、第 1 メモリ回路 201 には、レギュレータ 101 を介して、第 1 電源電位 VCCp が降圧された第 2 電源電位 VDDp が供給される。コア領域 2 に供給される第 2 電源電位 VDDp は、例えば 1.1 V の電位であり、接地電位 VSSp は、例えば 0 V の電位である。

40

【0014】

半導体装置 1 の高耐圧領域 3 には、第 1 電源電位 VCCp と、接地電位 VSSp が供給される。高耐圧領域 3 には、第 1 電源電位 VCCp と接地電位 VSSp とを動作電位とす

50

る、第2メモリ回路301と、システムコントローラ302が配置される。システムコントローラ302はレギュレータ101の電源を制御する。第2メモリ回路301には、レギュレータ101を介さずに、第1電源電位VCCpが直接供給される。高耐圧領域3に供給される第1電源電位VCCpは、例えば3.3Vの電位である。

【0015】

コア領域2と高耐圧領域3との間には、レベルシフタ102が接続される。レベルシフタ102は、コア領域2と高耐圧領域3との間でやり取りされる信号の電位を調整する。すなわち、レベルシフタ102は、信号の電位を変換する。例えば、コア領域2における信号のハイレベル（Hレベル）が1.1Vであるのに対して高耐圧領域3における信号のハイレベル（Hレベル）が3.3Vである場合に、コア領域2から与えられる1.1VのHレベルの信号を、3.3Vに変換して、高耐圧領域3に伝達する。

10

【0016】

レジスタ202は、第1メモリ回路201及び第2メモリ回路301と電氣的に接続され、第1メモリ回路201と第2メモリ回路301との間でデータの受け渡しを行う。

【0017】

第1メモリ回路201は、行列状に配置された複数の第1メモリセルMC1を有する。なお、図3を用いて後述するメモリセルMCは、この第1メモリセルMC1に対応している。

【0018】

図2Aに、第1メモリセルMC1の回路図を示す。この第1メモリセルMC1は、図2Aに示すように、第1インバータINV1と、第2インバータINV2と、を含む。

20

【0019】

第1インバータINV1は、図2Aに示すように、第2電源VDDと、接地電源VSSとの間に形成された第1プルアップトランジスタPU1および第1プルダウントランジスタPD1を有する。そして、図2Aに示すように、この第1プルアップトランジスタPU1と第1プルダウントランジスタPD1は、第2電源VDDと接地電源VSSとの間において、直列接続されている。

【0020】

一方、第2インバータINV2においても、第1インバータINV1と同様の構成である。具体的には、第2インバータINV2は、図2Aに示すように、第2電源VDDと、接地電源VSSとの間に形成された第2プルアップトランジスタPU2および第2プルダウントランジスタPD2を有する。そして、図2Aに示すように、この第2プルアップトランジスタPU2と第2プルダウントランジスタPD2は、第2電源VDDと接地電源VSSとの間において、直列接続されている。

30

【0021】

ここで、図2Aに示すように、第1インバータINV1を構成する第1プルアップトランジスタPU1と、第2インバータINV2を構成する第2プルアップトランジスタPU2は、pチャネル型の電界効果トランジスタである。一方、図2Aに示すように、第1インバータINV1を構成する第1プルダウントランジスタPD1と、第2インバータINV2を構成する第2プルダウントランジスタPD2は、nチャネル型の電界効果トランジスタである。

40

【0022】

そして、図2Aに示すように、第1インバータINV1を構成する第1プルアップトランジスタPU1および第1プルダウントランジスタPD1のそれぞれのゲート電極は、第1記憶ノード（配線、配線パターン）N1を介して、第2インバータINV2の出力部と電氣的に接続されている。なお、ここで言う第2インバータINV2の出力部とは、図2Aにおいて、第2プルアップトランジスタPU2のドレインと、第2プルダウントランジスタPD2のドレインとが互いに接続されているノードに対応する。また、この第2インバータINV2の出力部には、図2Aに示すように、第2パスゲートトランジスタPG2も接続されている。第2パスゲートトランジスタPG2のゲートは第1ワード線WL1に

50

接続され、第2インバータINV2の出力部と接続されるソースまたはドレインとは反対側のドレインまたはソースは第1ビット線BB1に接続されている。

【0023】

一方、図2Aに示すように、第2インバータINV2を構成する第2プルアップトランジスタPU2および第2プルダウントランジスタPD2のそれぞれのゲート電極は、第2記憶ノード（配線、配線パターン）N2を介して、第1インバータINV1の出力部と電氣的に接続されている。なお、ここで言う第1インバータINV1の出力部とは、図2Aにおいて、第1プルアップトランジスタPU1のドレインと、第1プルダウントランジスタPD1のドレインとが互いに接続されているノードに対応する。また、この第1インバータINV1の出力部には、図2Aに示すように、第1パスゲートトランジスタPG1も接続されている。第1パスゲートトランジスタPG1のゲートは第1ワード線WL1に接続され、第1インバータINV1の出力部と接続されるソースまたはドレインとは反対側のドレインまたはソースは第1ビット線BT1に接続されている。

10

【0024】

第2メモリ回路301は、行列状に配置された第2メモリセルMC2を有する。なお、第1メモリセルMC1と同様、図3を用いて後述するメモリセルMCは、この第2メモリセルMC2にも対応している。

【0025】

図2Bに、第2メモリセルMC2の回路図を示す。この第2メモリセルMC2は、図2Bに示すように、第3インバータINV3と、第4インバータINV4と、を含む。

20

【0026】

第3インバータINV3は、図2Bに示すように、第1電源VCCと、接地電源VSSとの間に形成された第3プルアップトランジスタPU3および第3プルダウントランジスタPD3を有する。そして、図2Bに示すように、この第3プルアップトランジスタPU3と第3プルダウントランジスタPD3は、第1電源VCCと接地電源VSSとの間において、直列接続されている。

【0027】

一方、第4インバータINV4においても、第3インバータINV3と同様の構成である。具体的には、第4インバータINV4は、図2Bに示すように、第1電源VCCと、接地電源VSSとの間に形成された第4プルアップトランジスタPU4および第4プルダウントランジスタPD4を有する。そして、図2Bに示すように、この第4プルアップトランジスタPU4と第4プルダウントランジスタPD4は、第1電源VCCと接地電源VSSとの間において、直列接続されている。

30

【0028】

ここで、図2Bに示すように、第3インバータINV3を構成する第3プルアップトランジスタPU3と、第4インバータINV4を構成する第4プルアップトランジスタPU4は、pチャネル型の電界効果トランジスタである。一方、図2Bに示すように、第3インバータINV3を構成する第3プルダウントランジスタPD3と、第4インバータINV4を構成する第4プルダウントランジスタPD4は、nチャネル型の電界効果トランジスタである。

40

【0029】

そして、図2Bに示すように、第3インバータINV3を構成する第3プルアップトランジスタPU3および第3プルダウントランジスタPD3のそれぞれのゲート電極は、第3記憶ノード（配線、配線パターン）N3を介して、第4インバータINV4の出力部と電氣的に接続されている。なお、ここで言う第4インバータINV4の出力部とは、図2Bにおいて、第4プルアップトランジスタPU4のドレインと、第4プルダウントランジスタPD4のドレインとが互いに接続されているノードに対応する。また、この第4インバータINV4の出力部には、図2Bに示すように、第4パスゲートトランジスタPG4も接続されている。第4パスゲートトランジスタPG4のゲートは第2ワード線WL2に接続され、第4インバータINV4の出力部と接続されるソースまたはドレインとは反対

50

側のドレインまたはソースは第2ビット線BB2に接続されている。

【0030】

一方、図2Bに示すように、第4インバータINV4を構成する第4プルアップトランジスタPU4および第4プルダウントランジスタPD4のそれぞれのゲート電極は、第4記憶ノード（配線、配線パターン）N4を介して、第3インバータINV3の出力部と電気的に接続されている。なお、ここで言う第3インバータINV3の出力部とは、図2Bにおいて、第3プルアップトランジスタPU3のドレインと、第3プルダウントランジスタPD3のドレインとが互いに接続されているノードに対応する。また、この第3インバータINV3の出力部には、図2Bに示すように、第3パスゲートトランジスタPG3も接続されている。第3パスゲートトランジスタPG3のゲートは第2ワード線WL2に接続され、第3インバータINV3の出力部と接続されるソースまたはドレインとは反対側のドレインまたはソースは第2ビット線BT2に接続されている。

10

【0031】

図3は、第1メモリ回路201及び第2メモリ回路301の構成例を示すブロック図である。図中のメモリセルMCは、第1メモリ回路201の場合は第1メモリセルMC1、第2メモリ回路301の場合は第2メモリセルMC2である。また、一对のビット線BT、BBは、第1メモリ回路201の場合は第1ビット線BT1、BB1であり、第2メモリ回路301の場合は第2ビット線BT2、BB2である。ワード線WLは、第1メモリ回路201の場合は第1ワード線WL1であり、第2メモリ回路301の場合は第2ワード線WL2である。

20

【0032】

第1メモリ回路201及び第2メモリ回路301は、複数のメモリセルが行列状に配置されるメモリアレイ領域ARYと周辺回路領域PERを備える。

【0033】

メモリアレイ領域ARYには、複数のメモリセルMCが行列状に配置される。メモリセルMCは、行毎にメモリセル行MCRを構成する。メモリセル行MCRは、1行にn個（nは自然数）のメモリセルを含む。メモリセル行MCRごとに1本のワード線WLが配置され、メモリセル行MCRに含まれる各メモリセルMCと接続される。また、メモリセルMCは、1列毎に一对のビット線BT、BBが接続される。

【0034】

周辺回路領域PERには、ワード線ドライバWLD、制御回路CTRL、および入出力回路IOが含まれる。

30

【0035】

制御回路CTRLから、ワード線ドライバWLDに行アドレスRAが与えられる。また、制御回路CTRLから、列選択回路MUXに列アドレスCAが与えられるワード線ドライバWLDは、制御回路CTRLから与えられる行アドレスRAに従って選択されるワード線を活性化させる。複数のメモリセル列毎に、入出力回路IOが設けられる。入出力回路IOは、列選択回路MUXと、ライトアンプWAと、センスアンプSAとを備える。列選択回路MUXは、制御回路CTRLから与えられる列アドレスCAに応じて、複数のメモリセル列のうち1つのメモリセル列を選択する。

40

【0036】

ライトアンプWAは、入力データDに応じて、一对の共通書込みビット線CTW、CBWを介して列選択回路MUXに書き込み信号を伝達する。書き込み信号に応じて、選択されたメモリセル列のビット線BT、BBの電位が相補的に遷移し、書き込みが行われる。

【0037】

センスアンプSAは、一对の共通読み出しビット線CTR、CBRを介して、選択されたメモリセルMCのデータに応じてビット線BT、BBに出力される電位を受け取り、一对の共通読み出しビット線CTRとCBRとの電位差を検出して増幅する。

【0038】

本実施の形態では、第1メモリ回路201の記憶容量よりも第2メモリ回路301の記

50

憶容量が小さい。しかしながら、第2メモリ回路の記憶容量は第1メモリ回路の記憶容量以上であってもよい。なお、後述のように、第1メモリ回路201のデータを第2メモリ回路301に退避する場合、第1メモリ回路201の記憶容量よりも第2メモリ回路301の記憶容量を小さくして、かつ、第1メモリ回路201に格納されたデータのうち、最低限のデータを第2メモリ回路301に退避させることで、第2メモリ回路301による面積増加の影響を抑制することが可能となる。

【0039】

半導体装置1は、システムコントローラ302によって制御される動作モードを備える。また、この動作モードは、第1モード（通常動作モード）と、第2モード（スタンバイモード）と、を備える。具体的には、第1モードにおいては、第1メモリ回路201の第1メモリセルMC1に対するデータの読み出し又は書き込みが行われる。これに対し、第2モードにおいては、第1メモリ回路201の第1メモリセルMC1に対するデータの読み出し及び書き込みがいずれも行われず。また、第2モード（スタンバイモード）においては、レギュレータ101に対する第1電源電位VCCpの供給が遮断される。そのため、レギュレータ101からコア領域2に対して第2電源電位VDDpが供給されない状態となり、第1メモリ回路201に含まれる第1メモリセルMC1のデータは保持されない。一方で、高耐圧領域3に対しては、第2モードにおいても第1電源電位VCCpが供給され続けるため、第2メモリ回路301に含まれる第2メモリセルMC2のデータが保持され続ける。

【0040】

また、上記の第1モードから第2モードに移行する過程において、第2メモリ回路301は、第2メモリセルMC2に対するデータの読み出し又は書き込みが行われる第3モードと、第2メモリセルMC2に対するデータの読み出し及び書き込みがいずれも行われず第4モードを有する。具体的には、第4モードでは、第1電源電位VCCpは第2メモリセルMC2の周辺回路領域PERに供給されない一方、第2メモリセルMC2に対しては第1電源電位VCCpが供給される。このとき、第2メモリ回路301の周辺回路領域PER及びメモリアレイ領域ARYの両方には、接地電位VSSpが供給される。これにより、第2メモリセルMC2のデータを保持したまま、第2メモリ回路301の周辺回路領域PERによる電力消費を抑制することができる。なお、第2メモリ回路301は、第2モードに移行した後においても、上記の第3モードと第4モードを有する。

【0041】

また、第2メモリ回路301の第4モードにおいては、周辺回路領域PERに接地電位が供給される一方、第2メモリ回路301のメモリアレイ領域ARYには、接地電位VSSpよりも高く、かつ、第1電源電位VCCpより低い接地電位ARVSSpが供給されてもよい。この場合、第2メモリ回路301のメモリアレイ領域ARYに接地電位ARVSSpが供給される場合は、メモリアレイ領域ARYに接地電位VSSpが供給される場合よりも、メモリアレイ領域ARYにおけるリーク電流をより抑制することができ、省電力化の効果がより大きくなる。

【0042】

図4Aは、第1モードから第2モードに移行する場合のフローを示す図であり、図4Bは、第2モードから第1モードに復帰する場合のフローを示す図である。

【0043】

図4Aに示すように、半導体装置1が第1モードから第2モードに移行する場合、次のような工程が行われる。

【0044】

（データ退避工程S1）

まず、第1メモリ回路201に含まれる第1メモリセルMC1からデータが読み出される。このとき、第1メモリ回路201には、レギュレータ101を介して第1電源電位VCCpから降圧された第2電源電位VDDpが供給されている。次に、読み出されたデータがレジスタ202に書き込まれる。そして、レジスタ202に書き込まれたデータが読

み出され、読み出されたデータがレベルシフタ 102 を介して第 2 メモリ回路 301 に含まれる第 2 メモリセル MC2 に書き込まれる。

【0045】

(第 2 メモリ省電力化工程 S2)

次に、第 2 メモリ回路 301 の周辺回路領域 PER に対する第 1 電源電位 VCCp の供給が遮断され、第 2 メモリ回路 301 が第 4 モードに移行する。このとき、第 2 メモリ回路 301 のメモリアレイ領域 ARY には第 1 電源電位 VCCp が供給され続ける。これにより、第 2 メモリ回路 301 のメモリアレイ領域 ARY に含まれる第 2 メモリセル MC2 にデータを保持したまま、第 2 メモリ回路 301 の周辺回路領域 PER による電力消費を抑制することができる。

10

【0046】

(電源遮断工程 S3)

そして、システムコントローラ 302 からレギュレータ 101 に動作モード信号 RS が伝達され、レギュレータ 101 に対する電源が遮断される。すなわち、レギュレータ 101 に対する第 1 電源電位 VCCp の供給が遮断され、レギュレータ 101 の駆動が停止する。これより、コア領域 2 内に配置されている第 1 メモリ回路 201 に対する第 2 電源電位 VDDp の供給が遮断される。すなわち、第 1 メモリ回路 201 はデータを保持しない状態となる。このとき、第 2 メモリ回路 301 には、レギュレータ 101 を介さずに第 1 電源電位 VCCp が直接供給され続ける。

【0047】

なお、図示しないが、図 1 に示すレギュレータ 101 はさらにスイッチを有しており、本実施の形態では、システムコントローラ 302 がこのスイッチのオン／オフを制御している。そして、システムコントローラ 302 から送信された動作モード信号 RS に基づいて、このスイッチがオン状態からオフ状態に切り替わることで、レギュレータ 101 に供給されていた第 1 電源電位 VCCp は遮断される。なお、スイッチは、レギュレータ 101 の外、すなわち、第 1 電源電位 VCCp が伝送される配線（伝送経路）、より具体的には、この配線（伝送経路）のうち、コア領域 2 及び高耐圧領域 3 のそれぞれに向かって分岐する分岐点（ノード）と、レギュレータ 101 との間に設けられていても良い。

20

【0048】

なお、本実施の形態では、第 2 メモリ省電力化工程 S2 において第 2 メモリ回路 301 が第 4 モードに移行し、第 2 メモリ回路 301 の周辺回路領域 PER に対する電源が遮断される例を説明したが、第 2 メモリ省電力化工程 S2 を行わず、第 2 モードにおいても第 2 メモリ回路 301 の周辺回路領域 PER に対して第 1 電源電位 VCCp を供給し続けてもよい（第 3 モード）。ただし、半導体装置 1 の消費電力をより抑えたい場合は、本実施の形態のように、第 2 メモリ回路 301 の周辺回路領域 PER に対する第 1 電源電位 VCCp の供給を遮断する方が望ましい。

30

【0049】

図 4B に示すように、半導体装置 1 が第 2 モードから第 1 モードに復帰する場合、次のような工程が行われる。

【0050】

(電源供給工程 S4)

システムコントローラ 302 からレギュレータ 101 に動作モード信号 RS が伝達され、レギュレータ 101 に対して第 1 電源電位 VCCp が供給される。すなわち、レギュレータ 101 が駆動する。これにより、コア領域 2 内に配置されている第 1 メモリ回路 201 に対して、第 1 電源電位 VCCp から降圧された第 2 電源電位 VDDp が供給される。すなわち、第 1 メモリ回路 201 は、データの保持が可能な状態となる。このとき、第 2 メモリ回路 301 には、レギュレータ 101 を介さずに第 1 電源電位 VCCp が直接供給され続ける。なお、図示しないが、図 1 に示すレギュレータ 101 はさらにスイッチを有しており、本実施の形態では、システムコントローラ 302 がこのスイッチのオン／オフを制御している。そして、システムコントローラ 302 から送信された動作モード信号 R

40

50

Sに基づいて、このスイッチがオフ状態からオン状態に切り替わることで、レギュレータ101に第1電源電位VCCpが供給される。なお、スイッチは、レギュレータ101の外、すなわち、第1電源電位VCCpが伝送される配線（伝送経路）、より具体的には、この配線（伝送経路）のうち、コア領域2と高耐圧領域3に分岐する分岐点と、レギュレータ101との間に設けられていても良い。

【0051】

（第2メモリ起動工程S5）

次に、第2メモリ回路301の周辺回路領域PERに対して第1電源電位VCCpが供給され、第2メモリ回路301が第3モードに移行する。これにより、第2メモリ回路301に含まれる第2メモリセルMC2からデータを読み出すことと、第2メモリセルMC2に対してデータを書き込むことが可能になる。

10

【0052】

（データ復帰工程S6）

まず、第2メモリ回路301に含まれる第2メモリセルMC2のデータが読み出される。そして、読み出されたデータは、レベルシフタ102を介してレジスタ202に書き込まれる。次に、レジスタ202に書き込まれたデータが読み出され、読み出されたデータは第1メモリ回路201に含まれる第1メモリセルMC1に書き込まれる。

【0053】

なお、第2メモリ省電力化工程S2を行わず、第2モードにおいても第2メモリ回路301の周辺回路領域PERに対して第1電源電位VCCpを供給し続けた場合は、第2メモリ起動工程S5を行わない。

20

【0054】

以上の工程により、データ退避工程S1で説明したように、第2モードに移行する前に、第1メモリ回路201の第1メモリセルMC1に保存されていたデータが第2メモリ回路301に退避され、また、データ復帰工程S6で説明したように、第2モードから復帰後に再び第1メモリ回路201にデータが保存される。

【0055】

第1メモリセルMC1に与えられる第2電源電位VDDpと接地電位VSSpとの差よりも、第2メモリセルMC2に与えられる第1電源電位VCCpと接地電位VSSpとの差の方が大きい。したがって、第1メモリセルMC1を構成する各トランジスタに使用する閾値電圧Vt1よりも、第2メモリセルMC2を構成する各トランジスタに使用する閾値電圧Vt2の方が大きい。

30

【0056】

図16Aに、第1メモリセルMC1に含まれる第1プルアップトランジスタPU1、第2プルアップトランジスタPU2、第1プルダウントランジスタPD1、第2プルダウントランジスタPD2、第1パスゲートトランジスタPG1、第2パスゲートトランジスタPG2のそれぞれを構成する第1電界効果トランジスタMIS1の断面図を示す。

【0057】

半導体基板SUB中には、素子分離領域STI1が形成されている。この素子分離領域STI1により、活性領域Ac1が区画される。すなわち、活性領域Ac1は、半導体基板SUBのうち、素子分離領域STI1から露出した領域である。半導体基板SUB中には、ウェル領域WR1が形成される。nチャネル型電界効果トランジスタの場合、ウェル領域WR1は、p型不純物（例えば、ホウ素など）を含有するpウェルPW（図5A参照）である。pチャネル型電界効果トランジスタの場合、ウェル領域WR1は、およびn型不純物（例えば、リンやヒ素など）を含有するnウェルNW（図5A参照）である。

40

【0058】

活性領域Ac1の主表面には、絶縁膜（ゲート絶縁膜）IF1が形成されている。この絶縁膜IF1としては、例えば、酸化シリコン膜などを用いることができる。絶縁膜IF1上には、ゲート電極GE1が形成されている。ゲート電極GE1としては、例えば、多結晶シリコン膜を用いることができる。ゲート電極GE1の両側のウェル領域WR1中に

50

は、低濃度不純物領域 E X 1 が形成されている。ゲート電極 G E 1 の両側の側壁には、サイドウォール S W 1 が形成されている。このサイドウォール S W 1 は、例えば、窒化シリコン膜からなる。

【0059】

また、ゲート電極 G E 1 およびサイドウォール S W 1 の合成体の両側のウェル領域 W R 1 中には、高濃度不純物領域 E X 2 が形成されている。高濃度不純物領域 E X 2 は、低濃度不純物領域 E X 1 より、不純物濃度が高く、また、深く形成される。この低濃度不純物領域 E X 1 および高濃度不純物領域 E X 2 で、ソースまたはドレインが構成される。

【0060】

図 1 6 B に、第 2 メモリセル M C 2 に含まれる第 3 プルアップトランジスタ P U 3、第 4 プルアップトランジスタ P U 4、第 3 プルダウントランジスタ P D 3、第 4 プルダウントランジスタ P D 4、第 3 パスゲートトランジスタ P G 3、第 4 パスゲートトランジスタ P G 4 のそれぞれを構成する第 2 電界効果トランジスタ M I S 2 の断面図を示す。

10

【0061】

半導体基板 S U B 中には、素子分離領域 S T I 2 が形成されている。この素子分離領域 S T I 2 により、活性領域 A c 2 が区画される。半導体基板 S U B 中には、ウェル領域 W R 2 が形成される。n チャネル型電界効果トランジスタの場合、ウェル領域 W R 2 は、p 型不純物（例えば、ホウ素など）を含有する p ウェル P W（図 5 B 参照）である。p チャネル型電界効果トランジスタの場合、ウェル領域 W R 2 は、および n 型不純物（例えば、リンやヒ素など）を含有する n ウェル N W（図 5 B 参照）である。

20

【0062】

活性領域 A c 2 の主表面には、絶縁膜（ゲート絶縁膜）I F 2 が形成されている。この絶縁膜 I F 2 としては、例えば、酸化シリコン膜などを用いることができる。絶縁膜 I F 2 上には、ゲート電極 G E 2 が形成されている。ゲート電極 G E 2 としては、例えば、多結晶シリコン膜を用いることができる。ゲート電極 G E 2 の両側のウェル領域 W R 2 中には、低濃度不純物領域 E X 3 が形成されている。ゲート電極 G E 2 の両側の側壁には、サイドウォール S W 2 が形成されている。このサイドウォール S W 2 は、例えば、窒化シリコン膜からなる。

【0063】

また、ゲート電極 G 2 およびサイドウォール S W 2 の合成体の両側のウェル領域 W R 2 中には、高濃度不純物領域 E X 4 が形成されている。高濃度不純物領域 E X 4 は、低濃度不純物領域 E X 3 より、不純物濃度が高く、また、深く形成される。この低濃度不純物領域 E X 3 および高濃度不純物領域 E X 4 で、ソースまたはドレインが構成される。

30

【0064】

図 1 6 A 及び図 1 6 B に示すように、第 1 電界効果トランジスタ M I S 1 のゲート長 L n 1 は、2 つの高濃度不純物領域 E X 2 間の距離である。また、図 1 6 B に示すように、第 2 電界効果トランジスタ M I S 2 のゲート長は、2 つの高濃度不純物領域 E X 2 間の距離 L n 2 である。そして、図 1 6 A 及び図 1 6 B のそれぞれに示すように、第 2 電界効果トランジスタ M I S 2 のゲート長 L n 2 は、第 1 電界効果トランジスタ M I S 1 のゲート長 L n 1 よりも長い。これにより、第 2 電界効果トランジスタ M I S 2 の閾値を、第 1 電界効果トランジスタ M I S 1 の閾値よりも、大きくすることができる。

40

【0065】

また、第 1 電界効果トランジスタ M I S 1 の絶縁膜 I F 1 の厚さ d 1 は、例えば 1 n m ~ 4 n m である。一方、第 2 電界効果トランジスタ M I S 2 の絶縁膜 I F 2 の厚さ d 2 は、例えば、4 n m ~ 7 n m である。すなわち、図 1 6 A 及び図 1 6 B のそれぞれに示すように、第 2 電界効果トランジスタの絶縁膜 I F 2 の厚さ d 2 は、第 1 電界効果トランジスタ M I S 1 の絶縁膜 I F 1 の厚さ d 1 よりも大きい。これにより、第 2 電界効果トランジスタ M I S 2 の閾値を、第 1 電界効果トランジスタ M I S 1 の閾値よりも、大きくすることができる。

【0066】

50

なお、本実施の形態では、図16A及び図16Bに示すように、第2電界効果トランジスタMIS2のゲート長 L_{n2} 及びゲート絶縁膜IF2の厚さ d_2 が、第1電界効果トランジスタMIS1のゲート長 L_{n1} 及びゲート絶縁膜IF1の厚さ d_1 よりも、それぞれ大きいことについて説明した。しかしながら、第2電界効果トランジスタMIS2のゲート長 L_{n2} は第1電界効果トランジスタMIS1のゲート長 L_{n1} よりも大きい、第2電界効果トランジスタMIS2のゲート絶縁膜IF2の厚さ d_2 は第1電界効果トランジスタMIS1のゲート絶縁膜IF1の厚さ d_1 以下でもよい。さらに、第2電界効果トランジスタMIS2の絶縁膜IF2の厚さ d_2 は第1電界効果トランジスタMIS1の絶縁膜IF1の厚さ d_1 よりも大きい、第2電界効果トランジスタのゲート長 L_{n2} は第1電界効果トランジスタのゲート長 L_{n1} 以下でもよい。ただし、第2電界効果トランジスタMIS2の閾値を大きくするという観点からは、本実施の形態のように、第2電界効果トランジスタMIS2のゲート長 L_{n2} 及びゲート絶縁膜IF2の厚さ d_2 の両方を、第1電界効果トランジスタMIS1のゲート長 L_{n1} 及びゲート絶縁膜IF1の厚さ d_1 よりも、それぞれ大きくすることが好ましい。これにより、第2電界効果トランジスタMIS2の閾値を、第1電界効果トランジスタMIS1の閾値よりも、さらに大きくすることができる。

10

【0067】

図5Aに、第1メモリセルMC1のレイアウト図を示す。図5Aにおいては、活性領域Ac、ポリシリコンPOLY、コンタクトCT及び、記憶ノードを構成する第1層金属配線層M1が示されている。図5Aに示すように、第1電界効果トランジスタMIS1のゲート長 L_{n1} は、Y方向に沿った第1から第4ゲート配線（ゲート電極）G1、G2、G3、G4の長さである。

20

【0068】

第1メモリセルMC1を構成する各電界効果トランジスタのゲート長 L_{n1} は同じ長さである。なお、ゲート長 L_{n1} は、各電界効果トランジスタのソース領域を形成する拡散層とドレイン領域を形成する拡散層との間の距離を指す。

【0069】

図5Bに、第2のメモリセルMC2のレイアウト図を示す。図5Bにおいては、活性領域Ac、ポリシリコンPOLY、コンタクトCT及び、記憶ノードを構成する第1層金属配線層M1が示されている。図5Bに示すように、第2電界効果トランジスタMIS2のゲート長 L_{n2} は、Y方向に沿った第5から第8ゲート配線（ゲート電極）G5、G6、G7、G8の長さである。なお、図5A及び図5Bに示すように、ゲート長 L_{n2} は、ゲート長 L_{n1} よりも長い。

30

【0070】

図5Aおよび図5Bにおいて、第1メモリセルMC1および第2メモリセルMC2は、nウェルNW、pウェルPW、p型活性領域PA（第1p型活性領域AP1、第2p型活性領域AP2）、n型活性領域NA（第1n型活性領域AN1、第2n型活性領域AN2）、第1から第4のゲート配線G1～G4、及びコンタクトCTを有する。

【0071】

nウェルNWは、半導体基板SUBにn型不純物をイオン注入することにより形成される。pウェルPWは、半導体基板SUBにp型不純物をイオン注入することにより形成される。p型活性領域PAは、pウェルPWが形成された領域である。n型活性領域NAは、nウェルNWが形成された領域である。活性領域Ac上には、絶縁膜を介して第1から第8ゲート配線G1～G8が配置される。

40

【0072】

以下、第1ワード線WL1及び第2ワード線WL2の延在方向をX方向、一对の第1ビット線BT1、BB1及び一对の第2ビット線BT2、BB2の延在方向をY方向とする。

【0073】

第1メモリセルMC1は、第1p型活性領域AP1、第1n型活性領域AN1、第2n

50

型活性領域AN2、第2p型活性領域AP2を備える。これらの活性領域は、Y方向に延在し、かつX方向に順に並んで配置される。

【0074】

第2メモリセルMC2は、第3p型活性領域AP3、第3n型活性領域AN3、第4p型活性領域AP4、第4n型活性領域AN4を備える。これらの活性領域は、Y方向に延在する。第3n型活性領域AN3及び第4n型活性領域AN4は、X方向において、第3p型活性領域AP3と第4p型活性領域AP4との間に配置される。第4n型活性領域AN4は、Y方向において、第3n型活性領域AN3の延長線上に配置される。

【0075】

図5Aに示すように、第1メモリセルMC1は、X方向に延在する第1から第4ゲート配線G1、G2、G3、G4を有する。

10

【0076】

第1プルダウントランジスタPD1は、第2ゲート配線G2の一部と、第1p型活性領域AP1の一部から構成される。第1プルアップトランジスタPU1は、第2ゲート配線G2の一部と、第1n型活性領域AN1の一部から構成される。第1パスゲートトランジスタPG1は、第1ゲート配線G1の一部と、第1p型活性領域AP1の一部から構成される。第2プルダウントランジスタPD2は、第3ゲート配線G3の一部と、第2p型活性領域AP2の一部から構成される。第2プルアップトランジスタPU2は、第3ゲート配線G3の一部と、第2n型活性領域AN2の一部から構成される。第2パスゲートトランジスタPG2は、第4ゲート配線G4の一部と、第2p型活性領域AN2の一部から構成される。

20

【0077】

図2Aに示される第2記憶ノードN2は、第1金属配線層M1に配置された第2記憶ノード配線N2aで構成される。第2記憶ノード配線N2aは、コンタクトCTを介して、第1パスゲートトランジスタPG1のソースまたはドレインの一方と、第1プルアップトランジスタPU1のドレインと、第2プルアップトランジスタPU2のゲートと、第2プルダウントランジスタPD2のゲートと、電氣的に接続される。

【0078】

図2Aに示される第1記憶ノードN1は、第1金属配線層M1に配置された第1記憶ノード配線N1aで構成される。第1記憶ノード配線N1aは、コンタクトCTを介して、第2パスゲートトランジスタPG2のソースまたはドレインの一方と、第2プルダウントランジスタPD2のドレインと、第1プルアップトランジスタPU1のゲートと、第1プルダウントランジスタPD1のゲートと、電氣的に接続される。

30

【0079】

図5Bに示すように、第2メモリセルMC2は、X方向に延在する第5から第8ゲート配線G5、G6、G7、G8を有する。

【0080】

第3プルダウントランジスタPD3は、第6ゲート配線G6の一部と、第1p型活性領域AP1の一部から構成される。第3プルアップトランジスタPU3は、第6ゲート配線G6の一部と、第1n型活性領域AN1の一部から構成される。第3パスゲートトランジスタPG3は、第5ゲート配線G5の一部と、第1p型活性領域AP1の一部から構成される。第4プルダウントランジスタPD4は、第7ゲート配線G7の一部と、第2p型活性領域AP2の一部から構成される。第4プルアップトランジスタPU4は、第7ゲート配線G7の一部と、第2n型活性領域AN2の一部から構成される。第4パスゲートトランジスタPG4は、第8ゲート配線G8の一部と、第2p型活性領域AN2の一部から構成される。

40

【0081】

図2Bに示される第4記憶ノードN4は、第1金属配線層に配置された第4記憶ノード配線N4aで構成される。第4記憶ノード配線N4aは、コンタクトCTを介して、第3パスゲートトランジスタPG3のソースまたはドレインの一方と、第3プルアップトラン

50

ジスタPU3のドレインと、第4プルアップトランジスタPU4のゲートと、第4プルダウントランジスタPD4のゲートと、電氣的に接続される。

【0082】

図2Bに示される第3記憶ノードN3は、第1金属配線層に配置された第3記憶ノード配線N3aで構成される。第3記憶ノード配線N3aは、コンタクトCTを介して、第4パスゲートトランジスタPG4のソースまたはドレインの一方と、第4プルダウントランジスタPD4のドレインと、第3プルアップトランジスタPU3のゲートと、第3プルダウントランジスタPD3のゲートと、電氣的に接続される。

【0083】

図5A及び図5Bに示すように、第1メモリセルMC1のY方向における長さh1よりも、第2メモリセルMC2のY方向における長さh2の方が長い。なお、第1メモリセルMC1の長さh1及び第2メモリセルMC2の長さh2は、複数の第1メモリセルMC1または第2メモリセルMC2が行列状に繰り返し配置された場合に、平面視において線対称又は点対称となる最小単位の領域について、Y方向の長さを指す。

【0084】

図6に、本実施の形態の第2メモリセルMC2の上層配線の平面レイアウトを示す。図6には、第1金属配線層M1、第1ビアV1、第2金属配線層M2が示されている。

【0085】

第1金属配線層M1において、第3記憶ノード配線N3a、第4記憶ノード配線N4a、第1層第1配線M1a、第1層第2配線M1b、第1層第3配線M1c、第1層第4配線M1d、第1層第5配線M1e、第1層第6配線M1f、第1層第7配線M1g、第1層第8配線M1hが配置される。

【0086】

第2金属配線層M2において、X方向に順に、第2層第1配線M2a、第2層第2配線M2b、第2層第3配線M2c、第2層第4配線M2d、第2層第5配線M2e、第2層第6配線M2f、および第2層第7配線M2gが配置される。第2層第1配線M2a、第2層第2配線M2b、第2層第3配線M2c、第2層第4配線M2d、第2層第5配線M2e、第2層第6配線M2f、および第2層第7配線M2gは、いずれも、Y方向に延在する。

【0087】

第1層第1配線M1aは、コンタクトCTを介して図5Bに示される第3パスゲートトランジスタPG3のゲート（第5ゲート配線G5）と電氣的に接続される。また、第1層第1配線M1aは、第1ビアV1を介して第2層第1配線M2aと電氣的に接続される。第2層第1配線M2aは、後述する第2ビアを介して、第3層第2配線からなる第2ワード線WL2と電氣的に接続される。

【0088】

第1層第2配線M1bは、コンタクトCTを介して図5Bに示される第3パスゲートトランジスタPG3のソースまたはドレインの他方と電氣的に接続される。また、第1層第2配線M1bは、第1ビアV1を介して第2層第3配線M2cと電氣的に接続される。第2層第3配線M2cは、第2ビット線BT2を構成する。

【0089】

第1層第3配線M1cは、コンタクトCTを介して図5Bに示される第3プルダウントランジスタPD3のソースと電氣的に接続される。また、第1層第3配線M1cは、第1ビアV1を介して第2層第2配線M2bと電氣的に接続される。第2層第2配線M2bは、後述する第2ビア及び第3層第1配線を介して、接地電源VSSに接続され、接地電位VSSpが供給される。

【0090】

第1層第4配線M1dは、コンタクトCTを介して図5Bに示される第4プルアップトランジスタPU4のソースと電氣的に接続される。また、第1層第4配線M1dは、第1ビアV1を介して第2層第4配線M2dと電氣的に接続される。第2層第4配線M2dは

10

20

30

40

50

第1電源VCCに接続され、第1電源電位VCCpが供給される。

【0091】

第1層第5配線M1eは、コンタクトCTを介して図5Bに示される第3プルアップトランジスタPU3のソースと電氣的に接続される。また、第1層第5配線M1eは、第1ビアV1を介して第2層第4配線M2dと電氣的に接続される。

【0092】

第1層第6配線M1fは、コンタクトCTを介して図5Bに示される第4プルダウントランジスタPD4のソースと電氣的に接続される。また、第1層第6配線M1fは、第1ビアV1を介して第2層第6配線M2fと電氣的に接続される。第2層第6配線M2fは、後述する第2ビア及び第3層第1配線を介して、接地電源VSSに接続され、接地電位VSSpが供給される。

10

【0093】

第1層第7配線M1gは、コンタクトCTを介して図5Bに示される第4パスゲートトランジスタPG4のソースまたはドレインの他方と電氣的に接続される。また、第1層第7配線M1gは、第1ビアV1を介して第2層第5配線M2eと電氣的に接続される。第2層第5配線M2eは、第2ビット線BB2を構成する。

【0094】

第1層第8配線M1hは、コンタクトCTを介して図5Bに示される第4パスゲートトランジスタPG4のゲート（第8ゲート配線G8）と電氣的に接続される。また、第1層第8配線M1hは、第1ビアV1を介して第2層第7配線M2gと電氣的に接続される。第2層第7配線M2gは、後述する第2ビアを介して、第3層第2配線からなる第2ワード線WL2と電氣的に接続される。

20

【0095】

図7に、本実施の形態の第2メモリセルMC2の上層配線の平面レイアウトを示す。図7には、第2金属配線層M2、第2ビアV2、第3金属配線層M3が示されている。

【0096】

第3金属配線層M3において、Y方向に順に、第3層第1配線M3a、第3層第2配線M3b、第3層第3配線M3cが配置される。第3層第1配線M3a、第3層第2配線M3b、第3層第3配線M3cは、いずれも、X方向に延在する。

【0097】

第3層第1配線M3aは、第2ビアV2を介して第2層第2配線M2bと電氣的に接続される。第3層第1配線M3aは接地電源VSSに接続され、接地電位VSSpが供給される。

30

【0098】

第3層第2配線M3bは、第2ビアV2を介して、第2層第1配線M2a及び第2層第7配線M2gと電氣的に接続される。第2ワード線WL2は、第3層第2配線M3bで構成される。

【0099】

第3層第3配線M3cは、第2ビアV2を介して第2層第6配線M2fと電氣的に接続される。第3層第3配線M3cは接地電源VSSに接続され、接地電位VSSpが供給される。

40

【0100】

本実施の形態において、第2メモリセルMC2を構成するトランジスタのゲート長Ln2は、第3層第2配線M3bの幅Lw1よりも大きい。しかしながら、第2メモリセルMC2を構成するトランジスタのゲート長Lnは、第3層第2配線M3bの幅Lw1以下でもよい。ただし、第3層第2配線M3bの抵抗値を小さくするという観点からは、第2メモリセルMC2を構成するトランジスタのゲート長Ln2は、第3層第2配線M3bの幅Lw1よりも大きいことが望ましい。

【0101】

図13に、第2メモリ回路301において隣接する第2メモリセルMC2の平面レイア

50

ウトの一例を示す。第4パスゲートトランジスタPG4のゲートを構成する第8ゲート配線G8同士は、互いに分離される。これにより、第4パスゲートトランジスタPG4のゲート電極の容量を低減することができ、動作を高速化できる効果がある。特に、第2メモリセルMC2は第1メモリセルMC1よりも動作電圧が高いため、容量を低減する効果が大きい。なお、第4パスゲートトランジスタPG4のゲート電極の容量を低減する効果を得なくてもよい場合には、隣接する第2メモリセルMC2の第4パスゲートトランジスタPG4のゲート電極は、互いに分離されずに一体のゲート配線で形成されてもよい。

【0102】

本実施の形態の半導体装置によれば、第1メモリ回路201に対してはレギュレータ101を介して第2電源電位VDDpが供給される一方、第2メモリ回路301に対してはレギュレータを介さずに第1電源電位VCCpが供給されるため、第2モード時にデータを第2メモリ回路301に保持したままレギュレータ101の駆動を停止することで、レギュレータ101による消費電力を抑制することができる。

10

【0103】

（実施の形態2）

図8Aは、実施の形態2における、第1メモリセルの平面レイアウト図である。図8Bは、実施の形態2における、第2メモリセルの平面レイアウト図である。

【0104】

実施の形態2においては、図8Aに示すように、第1メモリセルMC1のpチャネル型電界効果トランジスタのゲート長 L_{p1} は、第1メモリセルMC1のnチャネル型電界効果トランジスタのゲート長 L_{n1} と異なる長さである。さらに、図8Bに示すように、第2メモリセルMC2のpチャネル型電界効果トランジスタのゲート長 L_{p2} は、第2メモリセルMC2のnチャネル型電界効果トランジスタのゲート長 L_{n2} と異なる長さである。それ以外の構成は、先の実施の形態1と同じであるため、説明を省略する。

20

【0105】

第1メモリセルMC1において、nチャネル型電界効果トランジスタである第1パスゲートトランジスタPG1、第1プルダウントランジスタPD1、第2パスゲートトランジスタPG2、及び第2プルダウントランジスタPD2のゲート長 L_{n1} は、nチャネル型電界効果トランジスタのソースとnチャネル型電界効果トランジスタのドレインとの間の距離である。また、pチャネル型電界効果トランジスタである第1プルアップトランジスタPU1及び第2プルアップトランジスタPU2のゲート長 L_{p1} は、pチャネル型電界効果トランジスタのソースとpチャネル型電界効果トランジスタのドレインとの間の距離であり、ゲート長 L_{n1} と異なる長さである。

30

【0106】

第2メモリセルMC2において、nチャネル型電界効果トランジスタである第3パスゲートトランジスタPG3、第3プルダウントランジスタPD3、第4パスゲートトランジスタPG4、第4プルダウントランジスタPD4のゲート長 L_{n2} は、pチャネル型電界効果トランジスタである第3プルアップトランジスタPU3及び第4プルアップトランジスタPU4のゲート長 L_{p2} と異なる長さである。

【0107】

本実施の形態において、図8A及び図8Bに示すように、ゲート長 L_{n1} よりもゲート長 L_{n2} の方が長く、かつ、ゲート長 L_{p1} よりもゲート長 L_{p2} の方が長いことで、pチャネル型電界効果トランジスタよりもnチャネル型電界効果トランジスタの駆動能力が小さい場合に、nチャネル型電界効果トランジスタのオン電流を大きくすることができる。

40

【0108】

（実施の形態3）

本実施の形態では、実施の形態1における第1メモリセルのY方向の長さ $h1$ よりも第2メモリセルのY方向の長さ $h2$ の方が大きいことを利用して、メモリセルの上層の領域にワード線を増加させる。すなわち、第2メモリセルの行ごとに、複数のワード線を設け

50

る。それ以外の構成は、先の実施の形態 1 と同じであるため、説明を省略する。

【0109】

図 9 に、本実施の形態における第 2 メモリ回路 301 のブロック図を示す。本実施の形態においては、メモリセル行 MCR ごとに、複数の第 2 ワード線が設けられる。複数の第 2 ワード線のそれぞれは、メモリセル列毎に対応して設けられる。

【0110】

メモリセル行 MCR は、1 行に n 個 (n は自然数) の第 2 メモリセル MC2 を含む。第 2 メモリセル MC2 は、ワードドライバに近い方から順番に、0 列目、 m 列目 (m は 1 以上 n 未満の自然数)、 n 列目という順に配置される。 m 列目の第 2 メモリセル MC2 を MC2[m] と表記すると、 m 列目の第 2 メモリセル MC2[m] に m 番目の第 2 ワード線 WL2[m] が接続される。1 つのメモリセル行 MCR あたり、 n 本のワード線が、X 方向に平行して配置される。

10

【0111】

図 10 は、本実施の形態における第 2 メモリセル MC2 の上層における平面レイアウト図であり、 m 列目の第 2 メモリセル MC2[m] について、第 1 金属配線層 M1 及び第 2 金属配線層 M2 のレイアウトを示した図である。図 11 は、本実施の形態における第 2 メモリセル MC2 の上層の平面レイアウト図であり、第 2 金属配線層 M2 及び第 3 金属配線層 M3 のレイアウトを示した図である。

【0112】

第 2 金属配線層 M2 の配線のレイアウトは実施の形態 2 と同じである。第 3 金属配線層 M3 においては、0 番目のワード線 WL[0] を構成する第 3 層第 4 配線 M3d、 m 番目のワード線 WL[m] を構成する第 3 層第 5 配線 M3e、 n 番目のワード線 WL[n] を構成する第 3 層第 6 配線 M3f が、Y 方向に順番に配置される。0 番目のワード線 WL[0] を構成する第 3 層第 4 配線 M3d、 m 番目のワード線 WL[m] を構成する第 3 層第 5 配線 M3e、 n 番目のワード線 WL[n] を構成する第 3 層第 6 配線 M3f は、Y 方向において、第 3 層第 1 配線 M3a と第 3 層第 3 配線 M3c との間に配置される。

20

【0113】

第 2 層第 1 配線 M2a は、第 2 ビア V2 を介して、 m 番目の第 2 ワード線 WL2[m] を構成する第 3 層第 5 配線 M3e と電氣的に接続される。第 2 層第 7 配線 M2g は、第 2 ビア V2 を介して、 m 番目の第 2 ワード線 WL2[m] を構成する第 3 層第 5 配線 M3e と電氣的に接続される。

30

【0114】

本実施の形態においては、非選択ビット線による消費電力を低減する効果がある。すなわち、ワード線で選択されており、かつ一対のビット線で選択されていない列の一対のビット線から電荷を引き抜くことを防止でき、消費電力を低減する効果がある。

【0115】

(実施の形態 3 の変形例)

本実施の形態においては、メモリセル行 MCR に含まれる複数の一対のビット線を短絡して入出力回路 IO と接続する構成、及び、制御回路 CTRL から入出力回路 IO に列選択信号が与えられない構成が、実施の形態 3 と異なる。それ以外の構成は、先の実施の形態 3 と同じであるため、省略する。

40

【0116】

図 12 に、本変形例における第 2 メモリ回路 301 のブロック図を示す。実施の形態 3 と異なり、入出力回路 IO において列選択回路 MUX が存在しない。これに伴い、制御回路 CTRL から入出力回路 IO に列アドレス CA は伝達されない。

【0117】

メモリアレイ領域 ARY に含まれる各メモリセル列について、第 2 ビット線 BT2 どうしは短絡され、かつ、第 2 ビット線 BB2 どうしも短絡される。第 2 ビット線 BT2 どうしが短絡される箇所及び第 2 ビット線 BB2 どうしが短絡される箇所は、いずれも、入出力回路 IO とメモリアレイ領域 ARY との間である。すなわち、入出力回路 IO から複数

50

のメモリセル列に対して、1対の共通ビット線C B T、C B Bを介してデータの入出力が行われる。一对の共通ビット線C B T、C B Bは、第2ビット線B T 2、B B 2と連続して形成される。

【0118】

本実施の形態においては、行選択及び列選択をワード線で行うことができる。列選択回路M U Xが不要になるので、第2メモリ回路301の面積を縮小する効果がある。

【0119】

(実施の形態4)

図14は、第2メモリ回路301における給電領域とダミートランジスタの配置を示すブロック図である。本実施の形態において、メモリアレイ領域A R Yの行方向に隣接して、複数のダミーセルD Cが並んで配置されるダミーセル領域D C Rが設けられる。それ以外の構成は、先の実施の形態1と同じであるため省略する。

10

【0120】

メモリアレイ領域A R YのY方向に隣接して給電領域T A Pが配置される。給電領域T A Pは、X方向に延在する領域である。給電領域T A Pは、nウェルN W及びpウェルP Wに所定の電位（例えば接地電位V S S pや第1電源電位V C C p）を供給する。

【0121】

メモリアレイ領域A R YのX方向に隣接して、ダミーセル領域D C Rが配置される。ダミーセル領域D C Rには、複数のダミーセルD CがY方向に並んで配置される。各ダミーセルD Cは、メモリアレイ領域A R Yのメモリセル行M C Rごとに配置される。

20

【0122】

図15に、ダミーセルD Cと第2メモリセルM C 2のレイアウト図を示す。ダミーセルD Cは、第1ダミートランジスタD T 1と第2ダミートランジスタD T 2を含む。第1ダミートランジスタD T 1のゲートは、第9ゲート配線G 9で構成される。第1ダミートランジスタのソース及びドレインは、第5p型活性領域A P 5で構成される。第2ダミートランジスタD T 2のゲートは、第10ゲート配線G 10で構成される。第2ダミートランジスタのソース及びドレインは、第5p型活性領域A P 5で構成される。

【0123】

第9ゲート配線G 9は、X方向において、第5ゲート配線G 5の延長上に配置される。また、第10ゲート配線G 10は、X方向において、第6ゲート配線G 6の延長上に配置される。

30

【0124】

第1ダミートランジスタD T 1及び第2ダミートランジスタD T 2のゲート長L n 2は、第3パスゲートランジスタP G 3及び第3プルダウントランジスタP D 3のゲート長L n 2と等しい長さである。

【0125】

第1ダミートランジスタD T 1及び第2ダミートランジスタD T 2のゲート幅W n 2は、第3パスゲートランジスタP G 3及び第3プルダウントランジスタP D 3のゲート幅W n 2と等しい幅である。

【0126】

ダミーセルD Cは、6つのトランジスタを含む第2メモリセルM C 2のレイアウトと異なり、2つのトランジスタで構成される。従って、ダミーセルD Cの面積は、第2メモリセルM C 2の面積よりも小さい。

40

【0127】

本実施の形態によれば、ダミーセルD Cを構成するトランジスタのゲート配線と第2メモリセルM C 2を構成するトランジスタのゲート配線とが対称性を有しているので、製造ばらつきを抑制することができる。さらに、ダミーセルD Cの面積が第2メモリセルM C 2の面積よりも小さいので、ダミーセル領域D C Rに第2メモリセルM C 2を配置する場合に比べて、ダミーセル領域D C Rの面積を小さくすることができる。

【0128】

50

(実施の形態 5)

図 17 に、第 2 メモリ回路を中間電位として動作させる回路図を示す。本実施の形態において、第 2 メモリ回路 301 に対して供給される第 1 電源 VCC と第 2 メモリ回路 301 との間に第 1 n チャンネル型電界効果トランジスタ NMIS1 が設けられ、第 2 メモリ回路 301 に対して供給される接地電源 VSS と第 2 メモリ回路 301 との間に第 1 p チャンネル型電界効果トランジスタ PMIS1 が設けられる。それ以外の構成は、先の実施の形態 1 と同じであるため省略する。

【0129】

第 1 電源 VCC から、第 1 n チャンネル型電界効果トランジスタ NMIS1 のソースードレイン経路を介して、第 1 n チャンネル型電界効果トランジスタ NMIS1 の閾値 V_{t3} だけ電圧降下した第 1 中間電位 VMD1p が、第 2 メモリセル MC2 に供給される。第 1 n チャンネル型電界効果トランジスタ NMIS1 のゲート及びソースには、第 1 電源電位 VCCp が供給される。

10

【0130】

第 2 メモリセル MC2 に含まれる第 1 プルアップトランジスタ PU1 のソース及び第 2 プルアップトランジスタ PU2 のソースに、第 1 中間電位 VMD1p が供給される。

【0131】

接地電位 VSSp から、第 1 p チャンネル型電界効果トランジスタ PMIS1 のソースードレイン経路を介して、第 1 p チャンネル型電界効果トランジスタ PMIS1 の閾値 V_{t4} だけ電位が上昇した第 2 中間電位 VMD2p が、第 2 メモリセル MC2 に供給される。第 1 p チャンネル型電界効果トランジスタ PMIS1 のゲート及びソースには、接地電位 VSSp が供給される。

20

【0132】

第 2 メモリセル MC2 の第 1 プルダウントランジスタ PD1 のソース及び第 2 プルダウントランジスタ PD2 のソースに、第 2 中間電位 VMD2p が供給される。

【0133】

本実施例において、第 1 中間電位 VMD1p 及び第 2 中間電位 VMD2p は、周辺回路領域 PER に供給されている。例えば、周辺回路領域 PER に含まれ、第 2 p チャンネル型電界効果トランジスタ PMIS2 と第 2 n チャンネル型電界効果トランジスタ NMIS2 で構成される第 5 インバータ INV5 に、第 1 中間電位 VMD1p 及び第 2 中間電位 VMD2p が供給されている。

30

【0134】

図 18A、18B は実施形態の効果の説明する図である。図 18A に本実施形態の中間電位を用いない場合の信号波形を示す。図 18B に、第 2 メモリ回路 301 の内部信号の波形を示す。図 18B に示すように、本実施の形態においては、第 1 n チャンネル型電界効果トランジスタ NMIS1 の閾値 V_{t3} 、第 1 p チャンネル型電界効果トランジスタ PMIS1 の閾値 V_{t4} の分だけ電位を変化させることにより、図 18A に示すような信号よりも内部信号の振幅を小さくして消費電力を低減する効果がある。

【0135】

なお、本発明は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更され得る。

40

【符号の説明】

【0136】

- 1 半導体装置
- 101 レギュレータ
- 102 レベルシフタ
- 2 コア領域
- 201 第 1 メモリ回路
- 202 レジスタ
- 203 フラッシュメモリ

50

204	ロジック回路	
3	高耐圧領域	
301	第2メモリ回路	
302	システムコントローラ	
MC1	第1メモリセル	
MC2	第2メモリセル	
WL1	第1ワード線	
WL2、WL2[0]、WL2[1]、WL2[m]、WL2[n]	第2ワード線	
BT、BT	ビット線	
BT1、BB1	第1ビット線	10
BT2、BB2	第2ビット線	
PU1	第1プルアップトランジスタ	
PU2	第2プルアップトランジスタ	
PD1	第1プルダウントランジスタ	
PD2	第2プルダウントランジスタ	
PG1	第1パスゲートトランジスタ	
PG2	第2パスゲートトランジスタ	
N1	第1記憶ノード	
N2	第2記憶ノード	
N3	第3記憶ノード	20
N4	第4記憶ノード	
INV1	第1インバータ	
INV2	第2インバータ	
INV3	第3インバータ	
INV4	第4インバータ	
INV5	第5インバータ	
MC1	第1メモリセル	
MC2	第2メモリセル	
VCC	第1電源	
VCCp	第1電源電位	30
VDDp	第2電源電位	
VSS	接地電源	
VSSp	接地電位	
POLY	ポリシリコン	
Ac	活性領域	
AP1、AP2、AP3、AP4	p型活性領域	
AN1、AN2、AN3、AN4	n型活性領域	
NW	nウェル	
PW	pウェル	
CT	コンタクト	40
V1	第1ビア	
V2	第2ビア	
M1	第1金属配線層	
M2	第2金属配線層	
M3	第3金属配線層	
G1、G2、G3、G4、G5、G6、G7、G8、G9、G10	第1～第10ゲー	
ト配線		
M1a	第1層第1配線	
M1b	第1層第2配線	
M1c	第1層第3配線	50

M 1 d	第 1 層第 4 配線	
M 1 e	第 1 層第 5 配線	
M 1 f	第 1 層第 6 配線	
M 1 g	第 1 層第 7 配線	
M 1 h	第 1 層第 8 配線	
M 2 a	第 2 層第 1 配線	
M 2 b	第 2 層第 1 配線	
M 2 c	第 2 層第 2 配線	
M 2 d	第 2 層第 3 配線	
M 2 e	第 2 層第 4 配線	10
M 2 f	第 2 層第 5 配線	
M 2 g	第 2 層第 6 配線	
M 3 a	第 3 層第 1 配線	
M 3 b	第 3 層第 1 配線	
M 3 c	第 3 層第 2 配線	
M 3 d	第 3 層第 3 配線	
M 3 e	第 3 層第 4 配線	
A R Y	メモリアレイ領域	
P E R	周辺回路	
C T R L	制御回路	20
W L D	ワード線ドライバ	
I O	入出力回路	
M U X	列選択回路	
W A	ライトアンプ	
S A	センスアンプ	
C T W, C B W	共通書込みビット線	
C T R, C B R	共通読み出しビット線	
M C R	メモリセル行	
D C R	ダミーセル領域	
D T 1	第 1 ダミートランジスタ	30
D T 2	第 2 ダミートランジスタ	
S U B	半導体基板	
T A P	給電領域	
G E 1、G E 2	ゲート電極	
S W 1、S W 2	サイドウォール	
I F 1、I F 2	ゲート絶縁膜	
E X 1、E X 3	低濃度不純物領域	
E X 2、E X 4	高濃度不純物領域	
S T I 1、S T I 2	素子分離領域	
P M I S 1	第 1 p チャネル型電界効果トランジスタ	40
P M I S 2	第 2 p チャネル型電界効果トランジスタ	
N M I S 1	第 1 n チャネル型電界効果トランジスタ	
N M I S 2	第 2 n チャネル型電界効果トランジスタ	
M I S 1	第 1 電界効果トランジスタ	
M I S 2	第 2 電界効果トランジスタ	
L n 1	n チャネル型電界効果トランジスタのゲート長	
L p 1	p チャネル型電界効果トランジスタのゲート長	

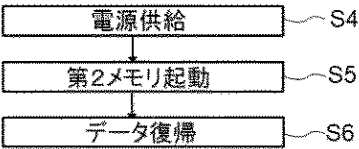
【図 4 A】

図4A

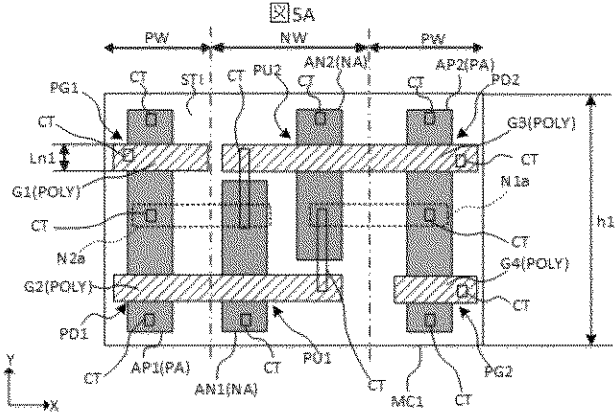


【図 4 B】

図4B

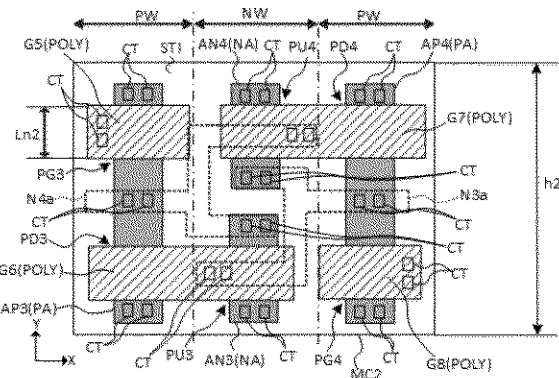


【図 5 A】



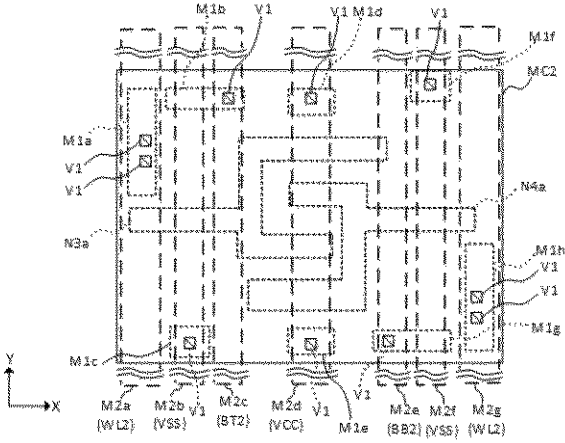
【図 5 B】

図5B

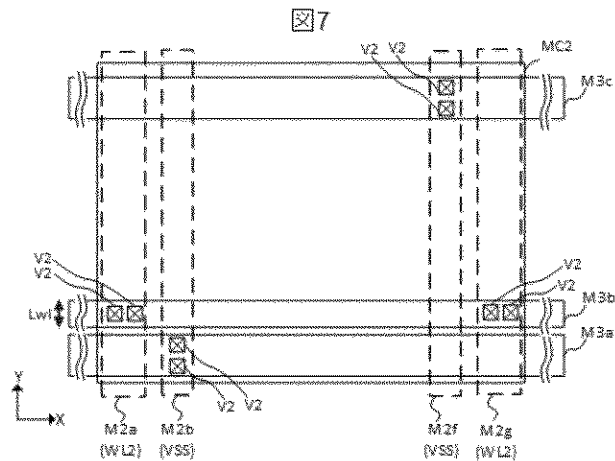


【図 6】

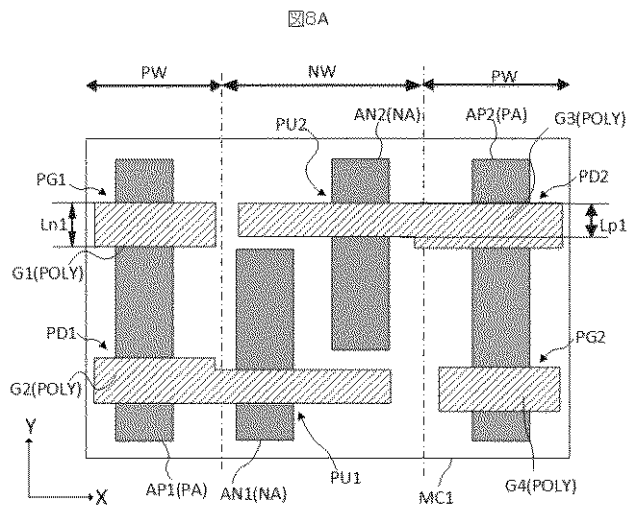
図6



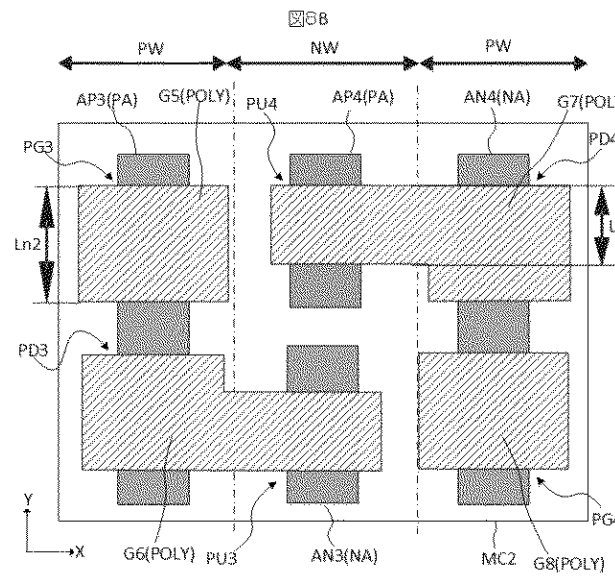
【図 7】



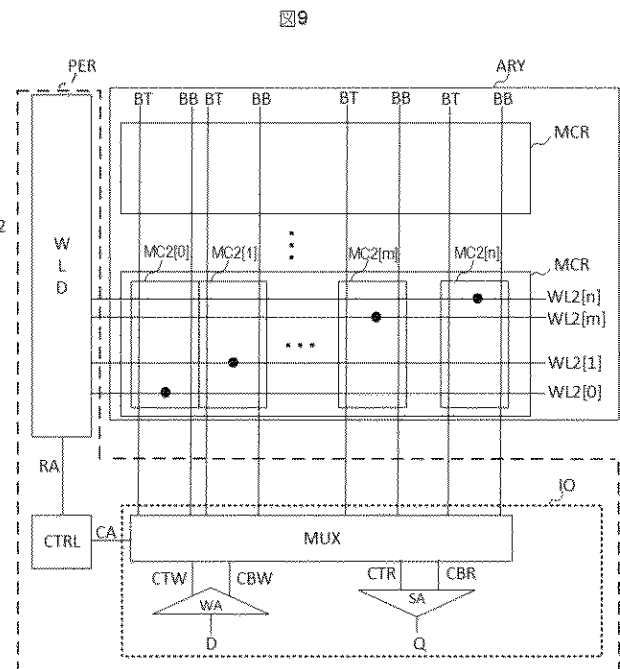
【図 8 A】



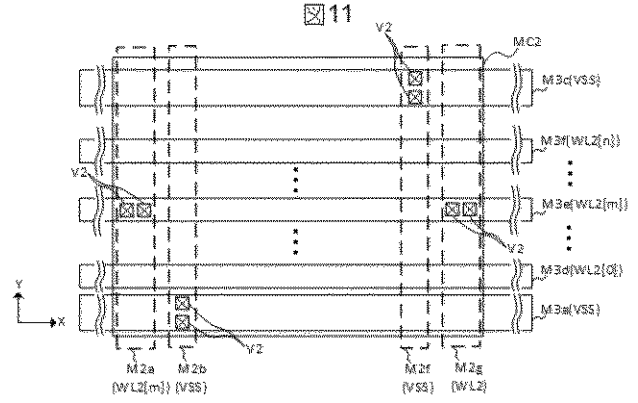
【図 8 B】



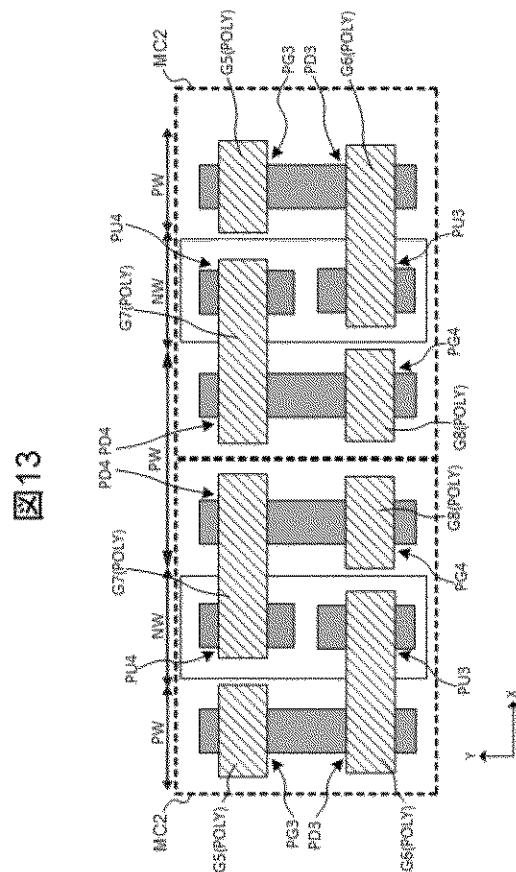
【図 9】



【図 1 1】

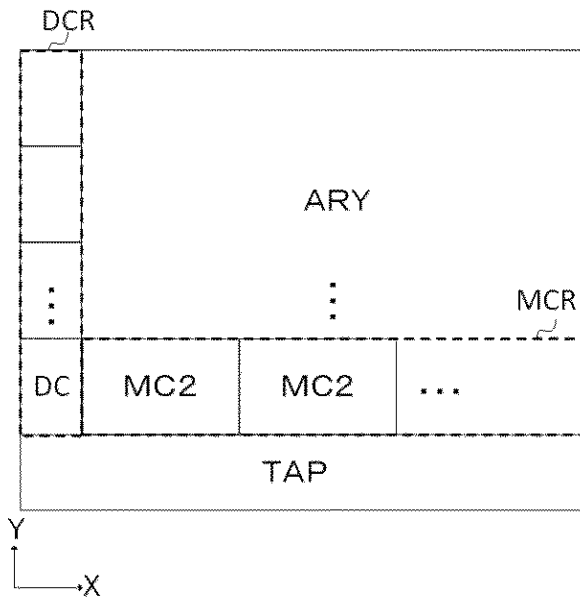


【図 13】



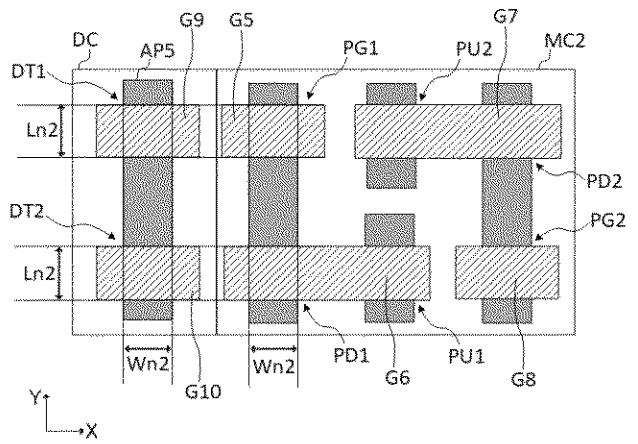
【図14】

図14



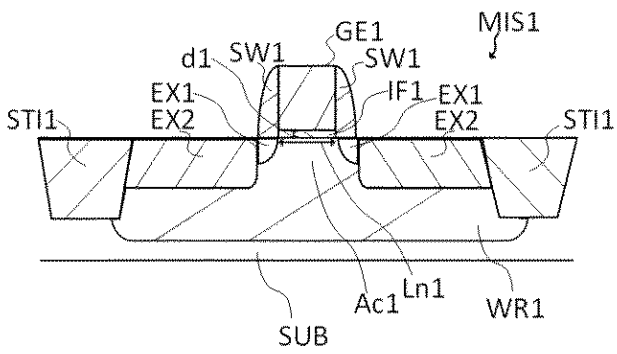
【図15】

図15



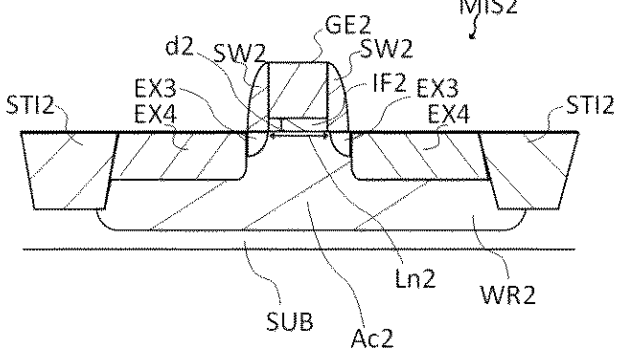
【図16A】

図16A



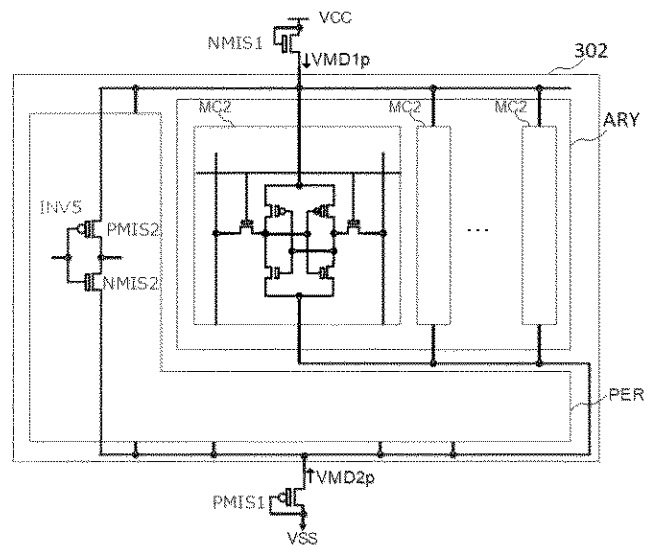
【図16B】

図16B



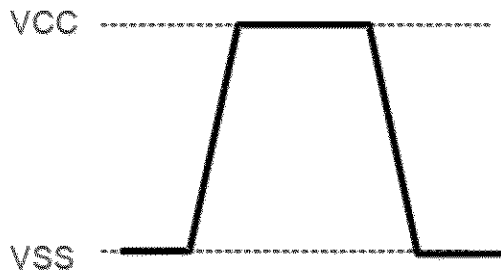
【図17】

図17



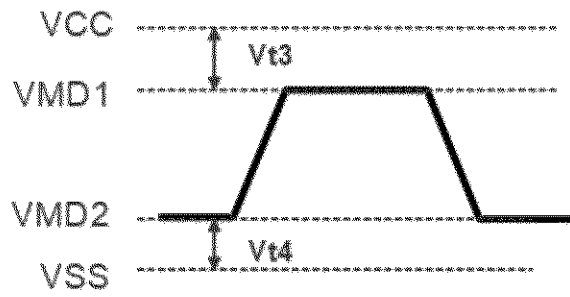
【図 18 A】

図 18A



【図 18 B】

図 18B



フロントページの続き

Fターム(参考) 5F083 BS01 BS13 BS27 GA05 GA30 LA01 LA02 LA12 LA16 LA21
PR09 ZA28