(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2021-128713
(P2021-128713A)
(43)公開日　令和3年9月2日(2021.9.2)

(51)Int.Cl.			F I		テーマコード（参考）
G06G	7/60	(2006.01)	G06G	7/60	
G06N	3/063	(2006.01)	G06N	3/063	
G06N	3/08	(2006.01)	G06N	3/08	

審査請求 未請求　請求項の数 13　ＯＬ　（全 15 頁）

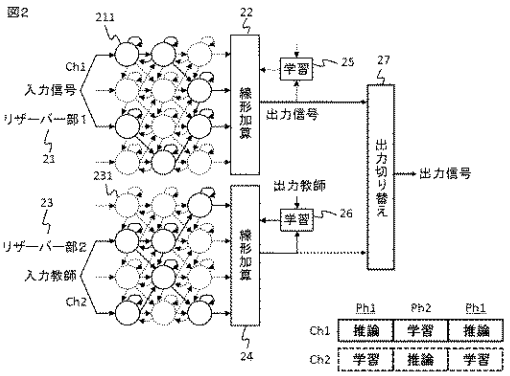
(21)出願番号　特願2020-24630 (P2020-24630)
(22)出願日　令和2年2月17日 (2020.2.17)

（出願人による申告）平成３０年度、国立研究開発法人新エネルギー・産業技術総合開発機構、「高効率・高速処理を可能とするＡＩチップ・次世代コンピューティングの技術開発／次世代コンピューティング技術の開発」委託研究、産業技術力強化法第１７条の適用を受ける特許出願

(71)出願人　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　110001689
青稜特許業務法人
(72)発明者　大島　俊
東京都千代田区丸の内一丁目６番６号　株式会社日立製作所内

(54)【発明の名称】リザーバー計算機

(57)【要約】　（修正有）
【課題】低電力化と高精度化を両立可能にするリザーバー計算機を提供する。
【解決手段】学習演算と推論演算を実行するリザーバー計算機において、リザーバーニューロンを有するリザーバー部をアナログ回路で構成する。複数の第１のリザーバーニューロン２１１を有し、アナログ回路により構成された第１のリザーバー部２１と、第１のリザーバーニューロンの出力を入力として受けて推論演算を行う第１の出力生成部２２と、複数の第２のリザーバーニューロン２３１を有し、アナログ回路により構成された第２のリザーバー部２３と、第２のリザーバーニューロンの出力を入力として受けて所定の演算を行って学習用信号を出力する第２の出力生成部２４と、第２の出力生成部から出力された学習用信号と出力教師に基づいて、学習演算を行う学習部２６と、を有する。出力生成部は、学習部で学習した学習結果に基づいて、推論演算を行う。
【選択図】図２



【特許請求の範囲】
【請求項１】
複数の第１のリザーバーニューロンを有し、アナログ回路により構成された第１のリザーバー部と、
前記第１のリザーバーニューロンの出力を入力として受けて推論演算を行う第１の出力生成部と、
複数の第２のリザーバーニューロンを有し、アナログ回路により構成された第２のリザーバー部と、
前記第２のリザーバーニューロンの出力を入力として受けて所定の演算を行って学習用信号を出力する第２の出力生成部と、
前記第２の出力生成部から出力された前記学習用信号と出力教師に基づいて、学習演算を行う学習部と、を有し、
前記第１の出力生成部は、
前記学習部で学習した学習結果に基づいて、前記推論演算を行うことを特徴とするリザーバー計算機。
【請求項２】
前記学習部は、
前記学習用信号を前記出力教師と比較した比較結果に基づいて、前記第２の出力生成部の重み係数を更新し、更新された前記重み係数を前記第１の出力生成部に供給し、
前記第１の出力生成部は、
前記学習部から供給された前記重み係数を前記学習結果として用いて、前記推論演算を行って解析済み信号を出力することを特徴とする請求項１に記載のリザーバー計算機。
【請求項３】
前記第１のリザーバー部において、複数の前記第１のリザーバーニューロンの中から、実際に動作する前記第１のリザーバーニューロンがランダムに複数選択され、
前記第１のリザーバー部の内、前記選択された前記第１のリザーバーニューロンが第１のチャネルを構成し、
前記第２のリザーバー部において、複数の前記第２のリザーバーニューロンの中から、前記第１のリザーバー部で選択した前記第１のリザーバーニューロンと位置的に対応する前記第２のリザーバーニューロンが選択され、
前記第２のリザーバー部の内、前記選択された前記第２のリザーバーニューロンが第２のチャネルを構成し、
前記第２のチャネルは、前記第１のチャネルと同一の構成及び同一の特性を有することを特徴とする請求項１に記載のリザーバー計算機。
【請求項４】
前記第１のチャネルは、前記推論演算の実行に用いられ、
前記第１のチャネルには、解析対象となる時系列信号が入力信号として供給され、前記第１のリザーバー部と前記第１の出力生成部により処理されて、前記第１の出力生成部から前記解析済み信号が出力され、
前記第２のチャネルは、前記学習演算の実行に用いられ、入力信号として入力教師が供給され、前記第２のリザーバー部と前記第２の出力生成部により処理されて、前記第２の出力生成部から前記学習用信号が出力されることを特徴とする請求項３に記載のリザーバー計算機。
【請求項５】
前記学習部は、
更新された前記重み係数として、前記第１のチャネルの特性変動に追従した重み係数を前記第１の出力生成部に供給することを特徴とする請求項３に記載のリザーバー計算機。
【請求項６】
前記第１のリザーバー部と前記第２のリザーバー部は、
同一の半導体基板上に形成されていることを特徴とする請求項１に記載のリザーバー計

算機。
【請求項７】
複数の第１のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成された第１のリザーバー部と、
複数の第２のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行可能なアナログ回路により構成された第２のリザーバー部と、
前記第２のリザーバー部が前記学習演算を実行している期間中に前記第１のリザーバー部が前記推論演算を実行する第１のモードと、前記第１のリザーバー部が前記学習演算を実行している期間中に前記第２のリザーバー部が前記推論演算を実行する第２のモードとを切り替える切り替え部と、
を有することを特徴とするリザーバー計算機。
【請求項８】
前記第１のリザーバーニューロンの出力を入力として受けて所定の演算を行う第１の出力生成部と、
前記第１の出力生成部に接続された第１の学習部と、
前記第２のリザーバーニューロンの出力を入力として受けて所定の演算を行う第２の出力生成部と、
前記第２の出力生成部に接続された第２の学習部と、を更に有し、
前記切り替え部は、
前記第１の出力生成部の出力と前記第２の出力生成部の出力のいずれか一方を選択し、
前記第１のモードにおいて、
前記第１の出力生成部は、
前記所定の演算を行って解析済み信号を出力し、
前記第２の出力生成部は、
前記所定の演算を行って学習用信号を出力し、
前記第２の学習部は、
前記第２の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第２の出力生成部の重み係数を更新して前記第２の出力生成部に供給し、
前記切り替え部は、
前記第１の出力生成部が出力した前記解析済み信号を選択し、
前記第２のモードにおいて、
前記第１の出力生成部は、
前記所定の演算を行って学習用信号を出力し、
前記第１の学習部は、
前記第１の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第１の出力生成部の重み係数を更新して前記第１の出力生成部に供給し、
前記第２の出力生成部は、
前記所定の演算を行って解析済み信号を出力し、
前記切り替え部は、
前記第２の出力生成部が出力した前記解析済み信号を選択することを特徴とする請求項７に記載のリザーバー計算機。
【請求項９】
前記第１のリザーバー部において、複数の前記第１のリザーバーニューロンの中から、実際に動作する前記第１のリザーバーニューロンがランダムに複数選択され、
前記第１のリザーバー部の内、前記選択された前記第１のリザーバーニューロンが第１のチャネルを構成し、
前記第２のリザーバー部において、複数の前記第２のリザーバーニューロンの中から、実際に動作する前記第２のリザーバーニューロンがランダムに複数選択され、

前記第２のリザーバー部の内、前記選択された前記第２のリザーバーニューロンが第２のチャネルを構成し、
前記第１のチャネルは、前記推論演算と前記学習演算を交互に実行し、
前記第２のチャネルは、前記学習演算と前記推論演算を交互に実行し、
前記第１のチャネルが前記推論演算を実行している間に、前記第２のチャネルは前記学習演算を実行し、
前記第１のチャネルが前記学習演算を実行している間に、前記第２のチャネルは前記推論演算を実行することを特徴とする請求項７に記載のリザーバー計算機。
【請求項１０】
前記第１のリザーバー部と前記第２のリザーバー部は、同一の半導体基板上に形成されていることを特徴とする請求項７に記載のリザーバー計算機。
【請求項１１】
複数のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成されたリザーバー部と、
複数の前記リザーバーニューロンの中から選択された複数の第１のリザーバーニューロンを有し、前記推論演算と前記学習演算を交互に実行する第１のチャネルと、
複数の前記リザーバーニューロンの中から選択された複数の前記第１のリザーバーニューロンと位置的に異なる複数の第２のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行する第２のチャネルと、
前記第２のチャネルが前記学習演算を実行している期間中に前記第１のチャネルが前記推論演算を実行する第１のモードと、前記第１のチャネルが前記学習演算を実行している期間中に前記第２のチャネルが前記推論演算を実行する第２のモードとを切り替える切り替え部と、
を有することを特徴とするリザーバー計算機。
【請求項１２】
前記第１のリザーバーニューロンの出力を入力として受けて所定の演算を行う第１の出力生成部と、
前記第２のリザーバーニューロンの出力を入力として受けて所定の演算を行う第２の出力生成部と、
前記第１の出力生成部及び前記第２の出力生成部に接続された学習部と、を更に有し、
前記切り替え部は、
前記第１の出力生成部の出力と前記第２の出力生成部の出力のいずれか一方を選択し、
前記第１のモードにおいて、
前記第１の出力生成部は、
前記所定の演算を行って解析済み信号を出力し、
前記第２の出力生成部は、
前記所定の演算を行って学習用信号を出力し、
前記学習部は、
前記第２の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第２の出力生成部の重み係数を更新して前記第２の出力生成部に供給し、
前記切り替え部は、
前記第１の出力生成部が出力した前記解析済み信号を選択し、
前記第２のモードにおいて、
前記第１の出力生成部は、
前記所定の演算を行って学習用信号を出力し、
前記学習部は、
前記第１の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第１の出力生成部の重み係数を更新して前記第１の出力生成部に供給し、

前記第２の出力生成部は、
前記所定の演算を行って解析済み信号を出力し、
前記切り替え部は、
前記第２の出力生成部が出力した前記解析済み信号を選択することを特徴とする請求項１１に記載のリザーバー計算機。
【請求項１３】
前記第１のチャネルが前記推論演算を実行する第１の推論期間と、前記第２のチャネルが前記推論演算を実行する第２の推論期間とがオーバーラップしていることを特徴とする請求項１１に記載のリザーバー計算機。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、リザーバー計算機に関する。
【背景技術】
【０００２】
少子化にともなう労働可能人口の減少が、社会課題として顕在化してきている。工場内の人手不足を解消するために、工場機器の自律的な異常検知、予兆診断や、ロボットやＡＧＶ（無人搬送車）の自律的な未来予測、行動計画を実現することが求められており、そのキー技術として、時系列信号を解析可能なＡＩ（人工知能）が期待されている。
【０００３】
近年、画像解析の分野でディープラーニングが著しい成果を上げている。一方で、時系列信号を扱うディープラーニングは、言語解析や翻訳で実績はあるものの、他分野への適用はそれほど進んでいない。その要因として、時系列信号向けディープラーニングとして従来知られているＲＮＮ（リカレントニューラルネットワーク）は、多層のネットワークを表現するために必要なパラメータの学習が容易ではないということが挙げられる。
【０００４】
一方、時系列信号を解析可能なＡＩとして、リザーバー計算も知られている。リザーバー計算は、脳を模倣したニューロモルフィック計算の一種である。リザーバー計算機は、記憶機能を持つ多数のニューロン間をランダムに疎結合することで、時間遅延を含む極めて複雑に絡み合ったループを内包するリザーバー部と、それに接続される一層の出力生成部から構成される。多層のネットワークのパラメータを学習する必要があるＲＮＮとは異なり、リザーバー計算では、一層の出力生成部のパラメータだけを学習すればよいため、学習が比較的容易であるという利点がある。
【０００５】
例えば、特許文献１には、無線受信機において、学習済みのリザーバー計算機により信号を抽出する技術が開示されている。このように、リザーバー計算機は有用であると考えられるが、特許文献１を含め、従来のリザーバー計算の多くは、デジタル回路により実装されている。このため、既にアナログ回路の適用が進められているエッジデバイス向けディープラーニングと比較して、消費電力が大きい。したがって、バッテリー駆動での長期間動作が必要な工場機器、ロボット、ＡＧＶ（無人搬送車）などへの適用が困難であった。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開２０１８－６７９１３号公報
【発明の概要】
【発明が解決しようとする課題】
【０００７】
一方で、低電力化に向けて、リザーバー計算機におけるリザーバー部をアナログ回路により実装することが考えられる。この場合、アナログ回路特性の経時変動により、学習結

果が時間とともに有効でなくなってしまう問題がある。

【０００８】

すなわち、出力生成部のパラメータは、学習時のリザーバー部の特性に対応して学習されて固定される。このため、リザーバー部の特性が学習時から変化すると、リザーバー部と出力生成部の間にミスマッチが生じ、出力の精度が劣化する。このように、リザーバー計算機の低電力化と高精度化を両立する技術は未確立であった。

本発明の目的は、リザーバー計算機の低電力化と高精度化を両立可能にすることにある。

【課題を解決するための手段】

【０００９】

本発明は、学習演算と推論演算を実行するリザーバー計算機において、リザーバーニューロンを有するリザーバー部をアナログ回路で構成する。

【００１０】

本発明の一態様のリザーバー計算機は、複数の第１のリザーバーニューロンを有し、アナログ回路により構成された第１のリザーバー部と、前記第１のリザーバーニューロンの出力を入力として受けて推論演算を行う第１の出力生成部と、複数の第２のリザーバーニューロンを有し、アナログ回路により構成された第２のリザーバー部と、前記第２のリザーバーニューロンの出力を入力として受けて所定の演算を行って学習用信号を出力する第２の出力生成部と、前記第２の出力生成部から出力された前記学習用信号と出力教師に基づいて、学習演算を行う学習部とを有し、前記第１の出力生成部は、前記学習部で学習した学習結果に基づいて、前記推論演算を行うことを特徴とする。

【００１１】

本発明の一態様のリザーバー計算機は、複数の第１のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成された第１のリザーバー部と、複数の第２のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行可能なアナログ回路により構成された第２のリザーバー部と、前記第２のリザーバー部が前記学習演算を実行している期間中に前記第１のリザーバー部が前記推論演算を実行する第１のモードと、前記第１のリザーバー部が前記学習演算を実行している期間中に前記第２のリザーバー部が前記推論演算を実行する第２のモードとを切り替える切り替え部と、を有することを特徴とする。

【００１２】

本発明の一態様のリザーバー計算機は、複数のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成されたリザーバー部と、複数の前記リザーバーニューロンの中から選択された複数の第１のリザーバーニューロンを有し、前記推論演算と前記学習演算を交互に実行する第１のチャネルと、複数の前記リザーバーニューロンの中から選択された複数の前記第１のリザーバーニューロンと位置的に異なる複数の第２のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行する第２のチャネルと、前記第２のチャネルが前記学習演算を実行している期間中に前記第１のチャネルが前記推論演算を実行する第１のモードと、前記第１のチャネルが前記学習演算を実行している期間中に前記第２のチャネルが前記推論演算を実行する第２のモードとを切り替える切り替え部とを有することを特徴とする。

【発明の効果】

【００１３】

本発明の一態様によれば、リザーバー計算機の低電力化と高精度化を両立可能にすることができる。

【図面の簡単な説明】

【００１４】

【図１】実施例１のリザーバー計算機の構成を示す図である。

【図２】実施例２のリザーバー計算機の構成を示す図である。

【図３】実施例２のリザーバー計算機の構成を示す図である。

【図４】実施例３のリザーバー計算機の構成を示す図である。
【図５】実施例４の動作を説明する図である。
【発明を実施するための形態】
【００１５】
以下、図面を用いて、実施例について説明する。
【実施例１】
【００１６】
図１を参照して、実施例１のリザーバー計算機の構成について説明する。
実施例１のリザーバー計算機は、メインリザーバー部１１、メインリザーバー部１１に接続された出力生成部１２、レプリカリザーバー部１３、レプリカリザーバー部１３に接続された出力生成部１４、出力生成部１４に接続された学習部１５を有する。このうち、少なくともメインリザーバー部１１とレプリカリザーバー部１３は、同一の半導体製造プロセスを用いて、同一の半導体基板上に形成されている。
【００１７】
メインリザーバー部１１は、円形で示した複数のメインリザーバーニューロン１１１を備える。各メインリザーバーニューロン１１１の出力は、他のメインリザーバーニューロン１１１の入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、図示していないが、時間遅延が挿入されている。
【００１８】
各メインリザーバーニューロン１１１は、アナログ回路により実装される。メインリザーバー部１１に対する入力信号や、他のメインリザーバーニューロン１１１の出力や自らの出力を複数の入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記総和を、活性化（発火）関数と呼ばれる非線形関数で変換した値が、メインリザーバーニューロン１１１の出力となる。これらの機能をアナログ回路で実装することは可能である。なお、重み係数は、あらかじめ決定され固定される。
【００１９】
メインリザーバー部１１において、複数のメインリザーバーニューロン１１１の中から、実際に使用されるメインリザーバーニューロン１１１がランダムに複数選択される。また、それらの間の接続や、それらと入力信号との接続、それらと出力生成部１２の接続の中から、実際に使用される接続がランダムに複数選択される。なお、図１では、選択されたメインリザーバーニューロン１１１や接続を実線で、未選択のものを点線で表現している。リザーバー計算機として有効な表現力を得るために、メインリザーバーニューロン１１１や接続の選択は、密に選択せず、まばらに選択する。ここで、メインリザーバー部１１のうち、選択された実際に動作する部分をチャネル１（Ｃｈ１）と便宜上呼ぶ。
【００２０】
同様に、レプリカリザーバー部１３は、円形で示した複数のレプリカリザーバーニューロン１３１を備える。各レプリカリザーバーニューロン１３１の出力は、他のレプリカリザーバーニューロン１３１の入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、時間遅延（図示せず）が挿入されている。
【００２１】
各レプリカリザーバーニューロン１３１は、アナログ回路により実装され、メインリザーバーニューロン１１１と同一の機能を持つ。また、位置的に対応するメインリザーバーニューロン１１１と同一の重み係数に設定される。例えば、レプリカリザーバーニューロン１３１の重み係数は、メインリザーバーニューロン１１１と同一の重み係数に設定される。
【００２２】
レプリカリザーバー部１３においても、複数のレプリカリザーバーニューロン１３１の中から、実際に使用されるレプリカリザーバーニューロン１３１や接続を選択するが、重要なのは、メインリザーバー部１１で選択したものと位置的に対応するものを選択する点

である。なお、図１では、選択されたレプリカリザーバーニューロン１３１や接続を実線で、未選択のものを点線で表現している。また、レプリカリザーバー部１３のうち、選択された実際に動作する部分をチャネル２（Ｃｈ２）と呼ぶ。ここで、Ｃｈ２はＣｈ１を忠実に模擬している。

【００２３】

出力生成部１２は、複数のメインリザーバーニューロン１１１の出力を入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記線形加算した値が、出力生成部１２の出力となる。出力生成部１４も、出力生成部１２と同一の機能を備える。これらは、デジタル回路、アナログ回路のいずれで実装してもよい。

【００２４】

Ｃｈ２は、常時、学習に用いる。そのために、Ｃｈ２には、入力信号として「入力教師」が供給され、レプリカリザーバー部１３、および、後続する出力生成部１４により処理されて、出力生成部１４から学習用出力信号が出力される。学習部１５は、前記学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部１４の重み係数を更新し、出力生成部１４に供給する。さらに、重要な点として、前記更新された重み係数は、出力生成部１２にも供給される。前記重み係数の更新は、常時行われるため、Ｃｈ２の特性変動に追従した重み係数を供給できる。

【００２５】

なお、「出力教師」は、「入力教師」の時間波形がこのリザーバー計算機に入力された時に、その出力として期待される時間波形である。「入力教師」と「出力教師」は、あらかじめ準備されたものを適用する。また、学習部１５は、演算精度が必要なため、デジタル回路による実装が好ましいが、アナログ回路による実装も可能である。

【００２６】

Ｃｈ１は、常時、推論に、すなわち、ＡＩの実行に用いる。そのために、Ｃｈ１には、解析対象となる時系列信号が入力信号として供給され、メインリザーバー部１１、および、後続する出力生成部１２により処理されて、出力生成部１２から解析済みの出力信号が出力される。

【００２７】

ここで、メインリザーバー部１１は、アナログ回路で実装されているため、いわゆるＰＶＴばらつき、すなわち、製造プロセス、電源電圧、温度のばらつきにより、特性が変化してしまう。このうち、電源電圧と温度に関しては、経時変化をともなう。そこで、実施例１では、出力生成部１２に適用される重み係数を、メインリザーバー部１１の特性にリアルタイムに追従させることで、リザーバー部側と出力生成部側のマッチングを常時維持し、推論精度を維持する。

【００２８】

実施例１では、前記の通り、レプリカリザーバー部１３のＣｈ２が、メインリザーバー部１１のＣｈ１の構成を模擬しており、かつ、これらは、同一の半導体製造プロセスを用いて、同一の半導体基板上に形成されている。このため、Ｃｈ２の特性はＣｈ１の特性を模擬していると期待することができる。

【００２９】

例えば、リザーバーニューロンの実装に使用されるＭＯＳトランジスタ、抵抗素子、容量素子の特性は、半導体製造プロセス、電源電圧、温度の影響を受けて変化するが、前記前提により、Ｃｈ１とＣｈ２は、これらの条件が概ね等しいとみなせると期待できる。

【００３０】

例えば、ＭＯＳトランジスタの特性を左右するＭＯＳトランジスタのしきい値電圧は、半導体製造プロセスにおいて、製造装置の設定誤差に起因するシステマティックなばらつきと、統計的なランダムばらつきの影響を受ける。前者のほうが、後者よりも遥かに大きい。Ｃｈ１とＣｈ２を同一の半導体製造プロセスにより形成することで、Ｃｈ１とＣｈ２のシステマティックなばらつきは、互いに等しいと期待することができる。

【００３１】

また、温度に関しては、Ｃｈ１とＣｈ２が同一半導体基板上に形成され、かつ同一の半導体パッケージ内に収容されるため、概ね等しい温度下にあると期待することができる。なお、電源電圧に関しては、Ｃｈ１とＣｈ２への電源配線を共通化することで、これらが同一の電源電圧下で動作していると期待することができる。

【００３２】

前記の通り、Ｃｈ２の特性は、Ｃｈ１の特性変化をリアルタイムに模擬していると期待できる。このため、Ｃｈ２に対する学習部１５における前記重み係数の更新結果は、Ｃｈ１の特性変化に対応したものである。したがって、Ｃｈ１側の出力生成部１２への前記重み係数の供給により、Ｃｈ１の特性変化に依らず、Ｃｈ１の推論精度を常時維持することができる。

【００３３】

以上の通り、本実施１では、リザーバー計算機のリザーバー部をアナログ回路により実装することで、低消費電力を実現し、かつ、高い推論精度を維持することができる。

【実施例２】

【００３４】

図２、図３を参照して、実施例２のリザーバー計算機の構成について説明する。

実施例２のリザーバー計算機は、第１のリザーバー部２１、第１のリザーバー部２１に接続された出力生成部２２、出力生成部２２に接続された学習部２５、第２のリザーバー部２３、第２のリザーバー部２３に接続された出力生成部２４、出力生成部２４に接続された学習部２６、出力生成部２２の出力、または、出力生成部２４の出力のいずれかを選択して出力する出力切り替え部２７を有する。

【００３５】

実施例１とは異なり、２つのリザーバー部は対等である。第１のリザーバー部２１と第２のリザーバー部２３は、別々の半導体製造プロセスを用いて、別々の半導体基板上に形成されてもよい。

【００３６】

第１のリザーバー部２１は、円形で示した複数の第１のリザーバーニューロン２１１を備える。各第１のリザーバーニューロン２１１の出力は、他の第１のリザーバーニューロン２１１の入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、図示していないが、時間遅延が挿入されている。

【００３７】

各第１のリザーバーニューロン２１１は、アナログ回路により実装される。第１のリザーバー部２１に対する入力信号や、他の第１リザーバーニューロン２１１の出力や自らの出力を複数の入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記総和を、活性化（発火）関数で非線形変換した値が、第１のリザーバーニューロン２１１の出力となる。これらの機能をアナログ回路で実装することは可能である。なお、前記重み係数は、あらかじめ決定され固定される。

【００３８】

第１のリザーバー部２１において、複数の第１のリザーバーニューロン２１１の中から、実際に使用される第１のリザーバーニューロン２１１がランダムに複数選択される。また、それらの間の接続や、それらと入力信号との接続、それらと出力生成部２２の接続の中から、実際に使用される接続がランダムに複数選択される。図２や図３では、選択された第１のリザーバーニューロンや接続を実線で、未選択のものを点線で表現している。リザーバー計算機として有効な表現力を得るために、第１のリザーバーニューロン２１１や接続の選択は、密に選択せず、まばらに選択する。ここで、第１のリザーバー部２１のうち、選択された実際に動作する部分をチャネル１（Ｃｈ１）と便宜上呼ぶ。

【００３９】

同様に、第２のリザーバー部２３は、円形で示した複数の第２のリザーバーニューロン２３１を備える。各第２のリザーバーニューロン２３１の出力は、他の第２のリザーバーニューロン２３１の入力や自らの入力への接続が可能となっている。各接続は、矢印で図

示されている。各出力から各入力への接続には、時間遅延（図示せず）が挿入されている。

【００４０】

各第２のリザーバーニューロン２３１は、アナログ回路により実装され、第１のリザーバーニューロン２１１と同一の機能を持つ。実施例１とは異なり、第１のリザーバーニューロン２１１と第２のリザーバーニューロン２３１の重み係数は、互いに独立に設定してもよい。

【００４１】

第２のリザーバー部２３においても、複数の第２のリザーバーニューロン２３１の中から、実際に使用される第２のリザーバーニューロン２３１や接続を選択する。実施例１とは異なり、第１のリザーバー部２１とは無関係に選択してよい。図２や図３では、選択された第２のリザーバーニューロン２３１や接続を実線で、未選択のものを点線で表現している。ここで、第２のリザーバー部２３のうち、前記選択された実際に動作する部分をチャネル２（Ｃｈ２）と呼ぶ。

【００４２】

出力生成部２２は、複数の第１のリザーバーニューロン２１１の出力を入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記線形加算した値が、出力生成部２２の出力となる。出力生成部２４も、出力生成部２２と同一の機能を備える。これらは、デジタル回路、アナログ回路のいずれで実装してもよい。

【００４３】

実施例１とは異なり、第１のリザーバー部２１、第２のリザーバー部２３のいずれも、学習と推論の双方を交互に行う。その際、第２のリザーバー部２３が学習している期間中は、第１のリザーバー部２１は推論を実行している。逆に、第１のリザーバー部２１が学習している期間中は、第２のリザーバー部２３は推論を実行する。この動作をタイムインタリーブ動作と呼ぶ。

【００４４】

図２は、第１のリザーバー部２１が推論モードにあり、第２のリザーバー部２３が学習モードにある場合である。

そのために、Ｃｈ２には、入力信号として「入力教師」が供給され、第２のリザーバー部２３、および、後続する出力生成部２４により処理されて、出力生成部２４から学習用出力信号が出力される。学習部２６は、前記学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部２４の重み係数を更新し出力生成部２４に供給する。

【００４５】

一方、Ｃｈ１には、解析対象となる時系列信号が、入力信号として供給され、第１のリザーバー部２１、および、後続する出力生成部２２により処理されて、出力生成部２２から解析済みの出力信号が出力される。出力切り替え部２７は、出力生成部２２の出力の解析済みの出力信号を選択して、最終的な出力信号として出力する。

【００４６】

図３は、第１のリザーバー部２１が学習モードにあり、第２のリザーバー部２３が推論モードにある場合である。そのために、Ｃｈ１には、入力信号として「入力教師」が供給され、第１のリザーバー部２１、および、後続する出力生成部２２により処理されて、出力生成部２２から学習用出力信号が出力される。学習部２５は、前記学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部２２の重み係数を更新し、出力生成部２２に供給する。

【００４７】

一方、Ｃｈ２には、解析対象となる時系列信号が、入力信号として供給され、第２のリザーバー部２３、および、後続する出力生成部２４により処理されて、出力生成部２４から解析済みの出力信号が出力される。出力切り替え部２７は、出力生成部２４の出力の前記解析済みの出力信号を選択して、最終的な出力信号として出力する。

【００４８】
Ｃｈ１の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部２２に適用する。同様に、Ｃｈ２の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部２４に適用する。推論をＣｈ１とＣｈ２が交互に担当することで、全体として、解析対象となる時系列信号に対して、切れ目なく推論を実行できる。
【００４９】
ここで、第１のリザーバー部２１、および、第２のリザーバー部２３は、アナログ回路で実装されているため、製造プロセス、電源電圧、温度のばらつきにより特性が変化してしまう。このうち、電源電圧と温度に関しては、経時変化をともなう。
【００５０】
実施例２では、Ｃｈ１が推論を実行する時は、直前の学習モード期間中にＣｈ１に対して学習した重み係数を、出力生成部２２に適用するため、Ｃｈ１の特性変化に概ね追従した重み係数を適用していることになる。同様に、Ｃｈ２が推論を実行する時は、直前の学習モード期間中にＣｈ２に対して学習した重み係数を、出力生成部２４に適用するため、Ｃｈ２の特性変化に概ね追従した重み係数を適用していることになる。
【００５１】
実施例１とは異なり、Ｃｈ１に対して学習した重み係数を、Ｃｈ１による推論に使用し、Ｃｈ２に対して学習した重み係数を、Ｃｈ２による推論に使用する。このため、リザーバー部を構成する回路素子のシステマティックなばらつきだけでなく、ランダムなばらつきにも追従が可能である。また、リザーバー部のグローバルな温度変動だけでなく、ローカルな温度変動にも追従が可能である。
【００５２】
以上の通り、実施例２においても、リザーバー部側と出力生成部側のマッチングを常時、維持することができる。したがって、実施例２においても、リザーバー計算機のリザーバー部をアナログ回路により実装することで、低消費電力を実現し、かつ、高い推論精度を維持することができる。
【実施例３】
【００５３】
図４を参照して、実施例３のリザーバー計算機の構成について説明する。
実施例３は、実施例２と同様のタイムインタリーブ動作を行うが、実施例２と比較して実装面積を低減することができる。
【００５４】
実施例３では、アナログ回路により実装したリザーバー部４１から、Ｃｈ１を構成するためのリザーバーニューロン４１１や接続を選択し（図４の実線で表示）、残りのリザーバーニューロンや接続のリソースから、Ｃｈ２を構成するリザーバーニューロン４３１や接続を選択する（図４の破線で表示）。なお、Ｃｈ１にもＣｈ２にも用いられないリソースは、点線で図示している。動作原理は、実施例２と同一である。
【００５５】
図４に示すように、実施例３のリザーバー計算機は、リザーバー部４１、リザーバー部４１に接続された出力生成部４２、４３、出力生成部４２、４３に接続された学習部４５、出力生成部４２の出力又は出力生成部４３の出力のいずれかを選択して出力する出力切り替え部４４を有する。
【００５６】
リザーバー部４１は、円形で示した複数のリザーバーニューロンを備える。各リザーバーニューロンの出力は、他のリザーバーニューロンの入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、図示していないが、時間遅延が挿入されている。
【００５７】
各リザーバーニューロンは、アナログ回路により実装される。リザーバー部４１に対する入力信号や、他のリザーバーニューロンの出力や、自らの出力を、複数の入力として受

け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記総和を、活性化（発火）関数で非線形変換した値が、リザーバーニューロンの出力となる。これらの機能をアナログ回路で実装することは可能である。なお、前記重み係数は、あらかじめ決定され固定される。

【００５８】

リザーバー部４１において、複数のリザーバーニューロンの中から、実際に使用されるリザーバーニューロンがランダムに複数選択される。また、それらの間の接続や、それらと入力信号との接続、それらと出力生成部４２の接続の中から、実際に使用される接続がランダムに複数選択される。

【００５９】

図４では、選択されたリザーバーニューロンや接続を実線で表現している。リザーバー計算機として有効な表現力を得るために、前記リザーバーニューロンや接続の選択は、密に選択せず、まばらに選択する。ここで、リザーバー部４１のうち、選択された実際に動作する部分をチャネル１（Ｃｈ１）と便宜上呼ぶ。

【００６０】

本実施例３ではさらに、リザーバー部４１において、前記Ｃｈ１として選択されずに残っているリザーバーニューロンおよび接続の中からＣｈ１と同様に、ランダムにリザーバーニューロンおよび接続を選択して、チャネル２（Ｃｈ２）を形成する。図４では、Ｃｈ２として選択したリザーバーニューロン４３１および接続を破線で示している。なお、Ｃｈ１、Ｃｈ２のいずれにも選択されていない未使用のリザーバーニューロン、および、接続は点線で示している。

【００６１】

出力生成部４２は、Ｃｈ１に属する複数のリザーバーニューロン４１１の出力を入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記線形加算した値が、出力生成部４２の出力となる。また、出力生成部４３は、Ｃｈ２に属する複数のリザーバーニューロン４３１の出力を入力として受け、出力生成部４２と同様の処理を行い出力する。これらは、デジタル回路、アナログ回路のいずれで実装してもよい。

【００６２】

実施例２と同様に、Ｃｈ１、Ｃｈ２のいずれも、学習と推論の双方を交互に行う。その際、Ｃｈ２が学習している期間中は、Ｃｈ１は推論を実行しており、逆に、Ｃｈ１が学習している期間中は、Ｃｈ２は推論を実行する。

【００６３】

図４の上側の図は、Ｃｈ１が推論モードにあり、Ｃｈ２が学習モードにある場合（Ｐｈａｓｅ１）である。そのために、Ｃｈ２には、入力信号として「入力教師」が供給され、Ｃｈ２に属するリザーバーニューロン４３１、および、後続する出力生成部４３により処理されて、出力生成部４３から学習用出力信号が出力される。学習部４５は、学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部４３の重み係数を更新し、出力生成部４３に供給する。

【００６４】

一方、Ｃｈ１には、解析対象となる時系列信号が、入力信号として供給され、Ｃｈ１に属するリザーバーニューロン４１１、および、後続する出力生成部４２により処理されて、出力生成部４２から解析済みの出力信号が出力される。出力切り替え部４４は、出力生成部４２の出力の解析済みの出力信号を選択して、最終的な出力信号として出力する。

【００６５】

図４の下側の図は、Ｃｈ１が学習モードにあり、Ｃｈ２が推論モードにある場合（Ｐｈａｓｅ２）である。そのために、Ｃｈ１には、入力信号として「入力教師」が供給され、Ｃｈ１に属するリザーバーニューロン４１１、および、後続する出力生成部４２により処理されて、出力生成部４２から学習用出力信号が出力される。学習部４５は、学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、出力

生成部４２の重み係数を更新し、出力生成部４２に供給する。
【００６６】
一方、Ｃｈ２には、解析対象となる時系列信号が、入力信号として供給され、Ｃｈ２に属するリザーバーニューロン４３１、および、後続する出力生成部４３により処理されて、出力生成部４３から解析済みの出力信号が出力される。出力切り替え部４４は、出力生成部４３の出力の解析済みの出力信号を選択して、最終的な出力信号として出力する。
【００６７】
Ｃｈ１の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部４２に適用する。同様に、Ｃｈ２の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部４３に適用する。推論をＣｈ１とＣｈ２が交互に担当することで、全体として、解析対象となる時系列信号に対して、切れ目なく推論を実行できる。
【００６８】
ここで、Ｃｈ１に属するリザーバーニューロン４１１、および、Ｃｈ２に属するリザーバーニューロン４３１は、アナログ回路で実装されているため、製造プロセス、電源電圧、温度のばらつきにより、特性が変化してしまう。このうち、電源電圧と温度に関しては、経時変化をともなう。
【００６９】
実施例３では、Ｃｈ１が推論を実行する時は、直前の学習モード期間中にＣｈ１に対して学習した重み係数を出力生成部４２に適用するため、Ｃｈ１の特性変化に概ね追従した重み係数を適用していることになる。同様に、Ｃｈ２が推論を実行する時は、直前の学習モード期間中にＣｈ２に対して学習した重み係数を出力生成部４３に適用するため、Ｃｈ２の特性変化に概ね追従した重み係数を適用していることになる。
【００７０】
実施例２と同様に、Ｃｈ１に対して学習した重み係数を、Ｃｈ１による推論に使用し、Ｃｈ２に対して学習した重み係数を、Ｃｈ２による推論に使用する。このため、リザーバー部を構成する回路素子のシステマティックなばらつきにも追従が可能である。さらに、ランダムなばらつきにも追従が可能である。また、リザーバー部のグローバルな温度変動だけでなく、ローカルな温度変動にも追従が可能である。
【００７１】
実施例３においても、リザーバー計算機のリザーバー部をアナログ回路により実装することで、低消費電力を実現し、かつ、高い推論精度を維持することができ、さらに、実施例１や実施例２と比較して、小さな実装面積で実現できる。
【実施例４】
【００７２】
図５を参照して、実施例４について説明する。
実施例４では、実施例３において、図４に示すＣｈ１とＣｈ２の推論モード期間同士を互いにオーバーラップさせている。これにより、図５に示すように、のＣｈ１の推論モード開始直後の過渡応答期間中は、Ｃｈ２の推論出力をリザーバー計算機の出力として適用できる。ここで、図５中の矢印は、初期過渡応答吸収用のオーバーラップ時間を示している。
【００７３】
Ｃｈ１の過渡応答の収束後は、Ｃｈ１の推論出力をリザーバー計算機の出力として適用できる。同様に、Ｃｈ２の推論モード開始直後の過渡応答期間中は、Ｃｈ１の推論出力をリザーバー計算機の出力として適用できる。Ｃｈ２の過渡応答の収束後は、Ｃｈ２の推論出力をリザーバー計算機の出力として適用できる。動作原理は、実施例３と同一であるため、その説明を省略する。
【００７４】
以上の通り、実施例４では、推論モードへの切り替え時の過渡応答の影響を回避できるため、切り替え直後も含めて、高い推論精度を維持できる。
【００７５】

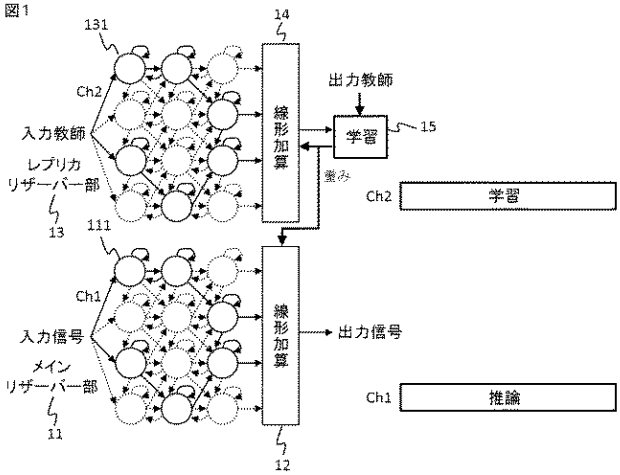
上記実施例では、学習演算と推論演算を実行するリザーバー計算機において、リザーバーニューロンを有するリザーバー部をアナログ回路で構成する。これにより、リザーバー計算機の低電力化と高精度化を両立可能にする。

【符号の説明】

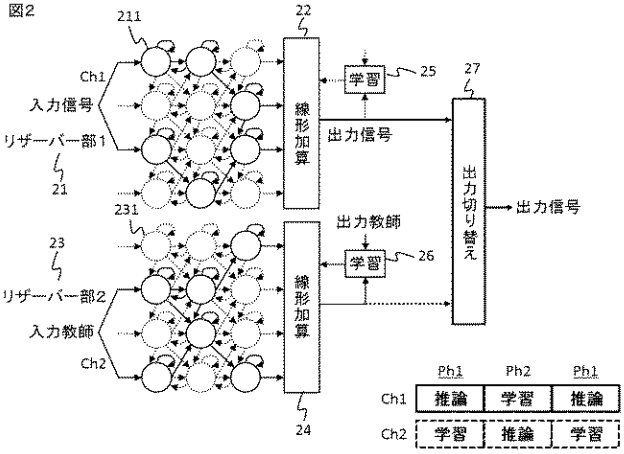
【００７６】

１１　メインリザーバー部
１３　レプリカリザーバー部
１２　出力生成部
１４　出力生成部
１５　学習部
２１　第１のリザーバー部１
２２　出力生成部
２３　第２のリザーバー部２
２４　出力生成部
２５　学習部
２６　学習部
２７　出力切り替え部
４１　リザーバー部
４２　出力生成部
４３　出力生成部
４４　出力切り替え部
４５　学習部

【図１】



【図２】



【図３】

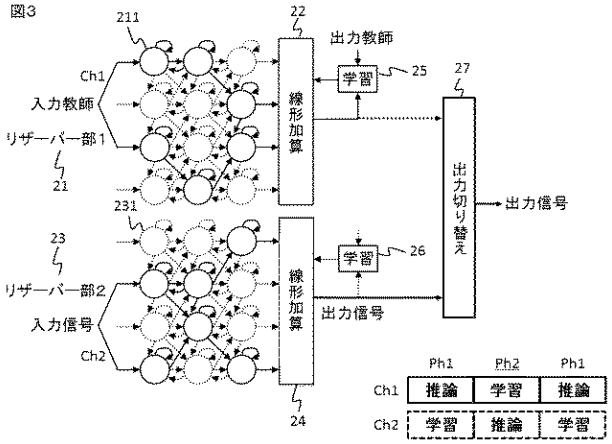


図3
211
22
出力教師
Ch1
入力教師
リザーバー部1
21
学習
25
27
線形加算
出力切り替え
出力信号
231
23
リザーバー部2
入力信号
Ch2
学習
26
線形加算
出力信号
24
Ph1
Ph2
Ph1
Ch1
推論
学習
推論
Ch2
学習
推論
学習

【図４】

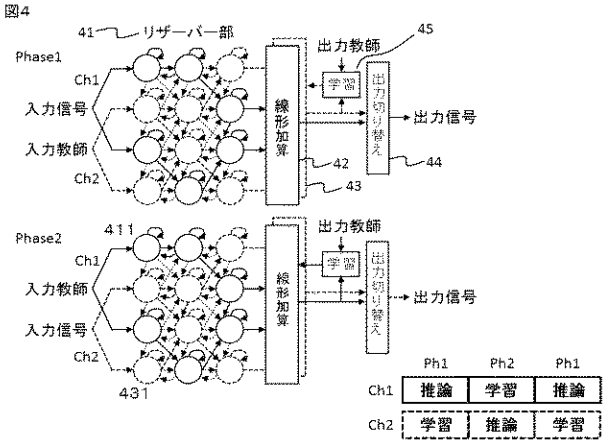
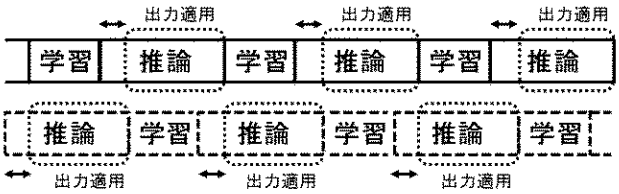


図4
41
リザーバー部
出力教師
45
Phase1
Ch1
入力信号
入力教師
Ch2
線形加算
学習
出力切り替え
出力信号
42
44
43
Phase2
411
Ch1
入力教師
入力信号
Ch2
431
線形加算
出力教師
学習
出力切り替え
出力信号
Ph1
Ph2
Ph1
Ch1
推論
学習
推論
Ch2
学習
推論
学習

【図５】

図5


出力適用
出力適用
出力適用
学習
推論
学習
推論
学習
推論
推論
学習
推論
学習
推論
学習
出力適用
出力適用
出力適用