

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-38435

(P2020-38435A)

(43) 公開日 令和2年3月12日(2020.3.12)

(51) Int. Cl.

G06N 99/00 (2019.01)

F I

G06N 99/00 180

テーマコード (参考)

審査請求 未請求 請求項の数 4 O L (全 18 頁)

(21) 出願番号 特願2018-164430 (P2018-164430)  
(22) 出願日 平成30年9月3日(2018.9.3)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(74) 代理人 100092152  
弁理士 服部 毅巖  
(72) 発明者 上村 泰紀  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 田村 泰孝  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

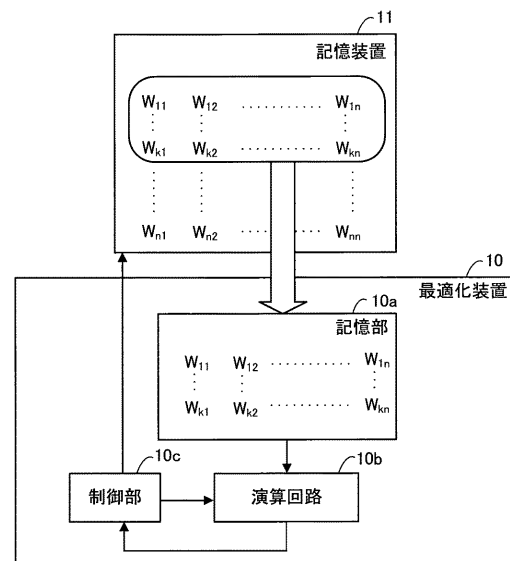
(54) 【発明の名称】最適化装置及び最適化装置の制御方法

## (57) 【要約】

【課題】計算速度の低下を抑制する。

【解決手段】記憶部10aは、記憶装置11に記憶された全重み係数のうち、全ビットの一部である複数のビットに関する重み係数群を記憶する。演算回路10bは、その重み係数群と、複数のビットのうちで値が更新されたビットの情報に基づいて、複数のビットのそれぞれの値が変化することによるイジングモデルのエネルギー変化を計算する処理と、エネルギー変化に基づいて、複数のビットのうちの1つの更新を確率的に許容する処理とを含む、更新判定処理を繰り返すことで、イジングモデルの基底状態の探索を行う。制御部10cは、更新判定処理が所定回数繰り返された場合、複数のビットに含まれないビットに関する重み係数群を記憶装置11から読み出し、その重み係数群を含むように記憶部10aに記憶されている重み係数群の一部を更新し、更新後の重み係数群を用いた更新判定処理を演算回路10bに行わせる。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

記憶装置に接続される最適化装置において、

最適化問題を変換したイジングモデルの全スピンに対応する全ビットの間の相互作用の大きさを示す、前記記憶装置に記憶された全重み係数のうち、前記全ビットの一部である複数のビットに関する第 1 の重み係数群を記憶する記憶部と、

前記第 1 の重み係数群と、前記複数のビットのうちで値が更新されたビットの情報に基づいて、前記複数のビットのそれぞれの値が変化することによる前記イジングモデルのエネルギー変化を、前記複数のビットのそれぞれについて計算する処理と、前記エネルギー変化に基づいて、前記複数のビットのうちの 1 つの更新を確率的に許容する処理とを含む、更新判定処理を繰り返すことで、前記イジングモデルの基底状態の探索を行う演算回路と、

10

前記更新判定処理が所定回数繰り返された場合、前記複数のビットに含まれないビットに関する第 2 の重み係数群を前記記憶装置から読み出し、前記第 2 の重み係数群を含むように前記記憶部に記憶されている前記第 1 の重み係数群の一部を更新し、更新後の前記第 1 の重み係数群を用いた前記更新判定処理を前記演算回路に行わせる制御部と、

を有する最適化装置。

**【請求項 2】**

前記制御部は、前記記憶部に記憶されている前記第 1 の重み係数群の一部を更新するときに、前記複数のビットのうち、識別番号が一番小さい 1 つのビットに関する第 3 の重み係数群を、前記複数のビットよりも識別番号が大きいビットのうち、最も識別番号が小さい 1 つのビットに関する前記第 2 の重み係数群に更新する、

20

請求項 1 に記載の最適化装置。

**【請求項 3】**

前記演算回路は、

前記全ビットのそれぞれが変化することによる前記エネルギー変化を、それぞれ計算する複数のエネルギー変化計算回路と、

前記複数のエネルギー変化計算回路のそれぞれが計算した前記エネルギー変化に基づいて、前記全ビットのそれぞれについて、更新を許容するか否かの判定結果を出力する複数の更新判定回路と、

30

前記全ビットのうち、前記複数のビットに含まれないビットについての前記判定結果を、更新を許容しないことを示す値に変更する複数の判定結果変更回路と、

を有する請求項 1 に記載の最適化装置。

**【請求項 4】**

最適化問題を変換したイジングモデルの全スピンに対応する全ビットの間の相互作用の大きさを示す、記憶装置に記憶された全重み係数のうち、前記全ビットの一部である複数のビットに関する第 1 の重み係数群を記憶する記憶部と、

前記第 1 の重み係数群と、前記複数のビットのうちで値が更新されたビットの情報に基づいて、前記複数のビットのそれぞれの値が変化することによる前記イジングモデルのエネルギー変化を、前記複数のビットのそれぞれについて計算する処理と、前記エネルギー変化に基づいて、前記複数のビットのうちの 1 つの更新を確率的に許容する処理とを含む、更新判定処理を繰り返すことで、前記イジングモデルの基底状態の探索を行う演算回路と、

40

制御部と、

を有し、前記記憶装置に接続された最適化装置における前記制御部が、

前記更新判定処理が所定回数繰り返された場合、前記複数のビットに含まれないビットに関する第 2 の重み係数群を前記記憶装置から読み出し、

前記第 2 の重み係数群を含むように前記記憶部に記憶されている前記第 1 の重み係数群の一部を更新し、更新後の前記第 1 の重み係数群を用いた前記更新判定処理を前記演算回路に行わせる、

50

最適化装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、最適化装置及び最適化装置の制御方法に関する。

【背景技術】

【0002】

従来、ノイマン型コンピュータが不得意とする多変数の最適化問題を、イジング型のエネルギー関数を用いた最適化装置（イジングマシンまたはボルツマンマシンと呼ばれる場合もある）によって計算する方法がある。最適化装置は、計算対象の問題を、磁性体のスピンの振る舞いを表すモデルであるイジングモデルに置き換えて計算する。

10

【0003】

最適化装置は、たとえば、ニューラルネットワークを用いて問題をモデル化することもできる。その場合、イジングモデルに含まれる複数のスピンに対応した複数のビットのそれぞれが、他のビットの値と、他のビットと自身のビットとの相互作用の大きさを示す重み係数（結合係数とも呼ばれる）とに応じて0または1を出力するニューロンとして機能する。最適化装置は、たとえば、シミュレーテッド・アニーリングなどの確率的探索法により、イジングモデルのエネルギー関数の値（以下エネルギーという）の最小値が得られる各ニューロンの状態の組み合わせを、解として求める。

【0004】

従来、デジタル回路を用いてシミュレーテッド・アニーリングを行うことでエネルギーが最小となる各ビットの値の組み合わせを計算する最適化装置がある（たとえば、特許文献1参照）。

20

【0005】

ところで、問題の規模の増大に応じてビット数が増えると重み係数の数も増加する。たとえば、ビット数が10倍になると、全ビット間の相互作用を考慮する場合、重み係数の数は100倍となる。そのため、従来の最適化装置（たとえば、1チップの半導体集積回路）では内部の記憶部に重み係数を記憶しきれなくなる場合がある。このため、最適化装置の外部の記憶装置に重み係数を記憶しておく方法がある。

【先行技術文献】

30

【特許文献】

【0006】

【特許文献1】特開2017-219948号公報

【特許文献2】特開平5-250346号公報

【特許文献3】特開2016-51350号公報

【特許文献4】特開2010-108204号公報

【特許文献5】特開2011-70253号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、最適化装置の外部の記憶装置からの重み係数の読み出しにかかる時間によって、計算速度が低下してしまう問題があった。

40

1つの側面では、本発明は、計算速度の低下を抑制可能な最適化装置、最適化装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

1つの実施態様では、記憶装置に接続される最適化装置において、最適化問題を変換したイジングモデルの全スピンに対応する全ビットの間の相互作用の大きさを示す、前記記憶装置に記憶された全重み係数のうち、前記全ビットの一部である複数のビットに関する第1の重み係数群を記憶する記憶部と、前記第1の重み係数群と、前記複数のビットのう

50

ちで値が更新されたビットの情報に基づいて、前記複数のビットのそれぞれの値が変化することによる前記イジングモデルのエネルギー変化を、前記複数のビットのそれぞれについて計算する処理と、前記エネルギー変化に基づいて、前記複数のビットのうちの1つの更新を確率的に許容する処理とを含む、更新判定処理を繰り返すことで、前記イジングモデルの基底状態の探索を行う演算回路と、前記更新判定処理が所定回数繰り返された場合、前記複数のビットに含まれないビットに関する第2の重み係数群を前記記憶装置から読み出し、前記第2の重み係数群を含むように前記記憶部に記憶されている前記第1の重み係数群の一部を更新し、更新後の前記第1の重み係数群を用いた前記更新判定処理を前記演算回路に行わせる制御部と、を有する最適化装置が提供される。

【0009】

10

また、1つの実施態様では、最適化装置の制御方法が提供される。

【発明の効果】

【0010】

1つの側面では、計算速度の低下を抑制できる。

【図面の簡単な説明】

【0011】

【図1】第1の実施の形態の最適化装置の一例を示す図である。

【図2】第1の実施の形態の最適化装置の動作の一例の流れを示すフローチャートである。

。

【図3】記憶部に記憶される重み係数群の更新例を示す図である。

20

【図4】比較例の最適化装置の動作の一例の流れを示すフローチャートである。

【図5】第2の実施の形態の最適化装置の一例を示す図である。

【図6】 $\Delta E$  計算回路と更新判定回路の一例を示す図である。

【図7】重み係数群の更新例を示す図である。

【図8】重み係数群の更新がある回数行われた後の記憶部の記憶例を示す図である。

【図9】問題規模と処理時間との関係を表すシミュレーション結果の一例を示す図である。

。

【図10】トライアル数と処理時間との関係を表すシミュレーション結果の一例を示す図である。

【発明を実施するための形態】

30

【0012】

以下、発明を実施するための形態を、図面を参照しつつ説明する。

以下に示す最適化装置は、計算対象の最適化問題を変換したイジングモデルの全スピンに対応する全ビットのそれぞれの値の組み合わせのうち、エネルギー関数が最小値となる時の各ビットの値（イジングモデルの基底状態）を探索するものである。

【0013】

イジング型のエネルギー関数  $E(x)$  は、たとえば、以下の式(1)で定義される。

【0014】

【数1】

$$E(x) = - \sum_{\langle i, j \rangle} W_{ij} x_i x_j - \sum_i b_i x_i \quad (1)$$

【0015】

右辺の1項目は、イジングモデルの全ビットの全組み合わせについて、漏れと重複なく、2つのビットの値（0または1）と重み係数との積を積算したものである。 $x_i$ は、 $i$ 番目のビットの値を表す変数（状態変数とも呼ばれる）、 $x_j$ は、 $j$ 番目のビットの値を表す変数であり、 $W_{ij}$ は、 $i$ 番目と $j$ 番目のビットの相互作用の大きさを示す重み係数である。なお、 $W_{ii} = 0$ である。また、 $W_{ij} = W_{ji}$ であることが多い（つまり、重み係数による係数行列は対称行列である場合が多い）。また重み係数 $W_{ij}$ は、所定のビ

50

ット幅（たとえば、16ビット、32ビット、64ビット、128ビットなど）をもつ。

【0016】

右辺の2項目は、全ビットのそれぞれのバイアス係数とビットの値を表す変数との積の総和を求めたものである。 $b_i$ は、 $i$ 番目のビットのバイアス係数を示している。

また、変数 $x_i$ が変化して $1 - x_i$ となると、変数 $x_i$ の増加分は、 $\Delta x_i = (1 - x_i) - x_i = 1 - 2x_i$ と表せる。スピン反転（ビットの値の変化）に伴うエネルギー変化 $\Delta E_i$ は、以下の式（2）で表される。

【0017】

【数2】

$$\Delta E_i = E(x) \Big|_{x_i \rightarrow 1-x_i} - E(x) = -\Delta x_i \left( \sum_j W_{ij} x_j + b_i \right) = -\Delta x_i h_i \quad (2)$$

【0018】

式（2）において、変数 $x_i$ が1から0に変化するとき、 $\Delta x_i$ は-1となり、変数 $x_i$ が0から1に変化するとき、 $\Delta x_i$ は1となる。なお、 $h_i$ はローカルフィールド（局所場）と呼ばれ、 $\Delta x_i$ に応じてローカルフィールド $h_i$ に符号（+1または-1）を乗じたものがエネルギー変化 $\Delta E_i$ である。

【0019】

また、変数 $x_j$ が0から1に変化したときのローカルフィールド $h_i$ の変化分 $\Delta h_i$ は、 $+W_{ij}$ 、変数 $x_j$ が1から0に変化したときの变化分 $\Delta h_i$ は、 $-W_{ij}$ と表せる。

20

（第1の実施の形態）

図1は、第1の実施の形態の最適化装置の一例を示す図である。

【0020】

第1の実施の形態の最適化装置10は記憶装置11に接続されている。

最適化装置10は、たとえば、1チップの半導体集積回路（たとえば、FPGA（Field Programmable Gate Array）など）である。

【0021】

記憶装置11は、全重み係数、バイアス係数などのデータを記憶する。記憶装置11は、SDRAM（Synchronous Dynamic Random Access Memory）などの揮発性の記憶装置、または、フラッシュメモリ、EEPROM（Electrically Erasable Programmable Read Only Memory）やHDD（Hard Disk Drive）などの不揮発性の記憶装置である。

30

【0022】

最適化装置10は、記憶部10a、演算回路10b、制御部10cを有する。

イジングモデルのビット数が増えると、記憶容量が小さい記憶部10aでは、全重み係数を保持しきれなくなる。ビット数が10倍になると、全ビット間の相互作用を考慮する場合、重み係数の数は100倍となる。たとえば、あるビット数の重み係数を保持するために16MBの記憶容量を要する場合、そのビット数が10倍になると、1.6GBの記憶容量を要することになり、1チップに搭載できる記憶部10aの記憶容量を大幅に超えてしまう。

40

【0023】

そこで、記憶部10aは、記憶装置11に記憶された全重み係数のうち、全ビットの一部のビット（複数のビット）に関する重み係数群を記憶する。記憶部10aの記憶容量は、記憶装置11の記憶容量よりも小さいが、記憶部10aから重み係数を読み出す時間は、記憶装置11から重み係数を読み出す時間よりも短い（たとえば、 $1/100 \sim 1/10$ 程度）。記憶部10aは、たとえば、レジスタまたはSRAM（Static Random Access Memory）などである。

【0024】

演算回路10bは、記憶部10aに記憶されている重み係数群と、上記複数ビットのうちで値が更新されたビット（更新ビット）の情報に基づいて、複数のビットのそれぞれの

50

値が変化することによるイジングモデルのエネルギー変化を計算する。エネルギー変化は、複数のビットのそれぞれについて計算される。そして、演算回路 10b は、計算したエネルギー変化に基づいて、複数のビットのうちの 1 つの更新を確率的に許容する処理を行う。演算回路 10b は、上記のようなエネルギー変化を計算する処理と、複数ビットのうちの 1 つの更新を確率的に許容する処理とを含む更新判定処理を繰り返すことで、イジングモデルの基底状態の探索を行う。

#### 【0025】

たとえば、演算回路 10b は、温度パラメータと乱数とから決定される熱励起エネルギー（熱雑音）と、あるビットが変化することによるエネルギー変化との大小関係に基づいて、そのビットの更新を許容するか否かを判定する。また、演算回路 10b は、更新が許容されるビットが複数ある場合には、乱数を用いて、そのうちの 1 つを決定する。また、シミュレーテッド・アニーリングが行われる場合、温度パラメータは、たとえば、制御部 10c によって、所定の更新判定処理回数ごとに、値が小さくなるように制御される。

10

#### 【0026】

制御部 10c は、上記の更新判定処理が所定回数繰り返された場合、上記複数ビットに含まれないビットに関する重み係数群を記憶装置 11 から読み出し、読み出した重み係数群を含むように、記憶部 10a に記憶されている重み係数群の一部を更新する。そして制御部 10c は、更新後の重み係数群を用いた上記の更新判定処理を演算回路 10b に行わせる。

#### 【0027】

図 2 は、第 1 の実施の形態の最適化装置の動作の一例の流れを示すフローチャートである。

20

まず、制御部 10c は、記憶装置 11 に対して、記憶部 10a に記憶する重み係数群  $W_{k1}$  を指定し（ステップ S1）、重み係数群  $W_{k1}$  を記憶装置 11 から読み出して、記憶部 10a に記憶する（ステップ S2）。重み係数群  $W_{k1}$  は、全ビットの一部である複数のビットに関する重み係数群である。

#### 【0028】

演算回路 10b は、重み係数群  $W_{k1}$  の範囲（上記複数のビットの範囲）で、更新ビットを選択する（ステップ S3）。そして、演算回路 10b は、重み係数群  $W_{k1}$  と、更新ビットの情報に基づいて、複数のビットのそれぞれの値が変化することによるイジングモデルのエネルギー変化を計算する（ステップ S4）。

30

#### 【0029】

演算回路 10b は、計算したエネルギー変化に基づいて、複数のビットのうちの 1 つの更新を確率的に許容する処理を行い、更新を許容するビットの有無を判定する（ステップ S5）。更新を許容するビットがある場合、演算回路 10b は、そのビットの値を更新する（0 から 1 または 1 から 0 に変化させる）ことで、イジングモデルの状態を更新する（ステップ S6）。

#### 【0030】

ステップ S6 の処理後、または、ステップ S5 の処理において、更新を許容するビットがない場合、演算回路 10b または制御部 10c は、更新判定処理回数  $c1$  が所定の回数  $N$  に達したか否かを判定する（ステップ S7）。更新判定処理回数  $c1$  が、回数  $N$  に達していない場合、ステップ S3 では、ステップ S6 の処理で変化したビットが更新ビットとして選択され、その後ステップ S4 からの処理が繰り返される。

40

#### 【0031】

更新判定処理回数  $c1$  が、回数  $N$  に達した場合、演算回路 10b または制御部 10c は、重み係数群  $W_{k1}$  の更新回数  $c2$  が所定の回数  $M$  に達したか否かを判定する（ステップ S8）。なお、更新判定処理回数  $c1$  が、回数  $N$  に達した場合、更新判定処理回数  $c1$  は 0 にリセットされる。

#### 【0032】

重み係数群  $W_{k1}$  の更新回数  $c2$  が回数  $M$  に達していない場合、制御部 10c は、ステ

50

ップ S 1 の処理に戻り、記憶装置 1 1 に対して、次に記憶部 1 0 a に記憶する重み係数群  $W_{k1}$  を指定する。そして、制御部 1 0 c は、ステップ S 2 の処理において、記憶部 1 0 a に記憶する重み係数群  $W_{k1}$  を更新する。その後、ステップ S 3 からの処理が繰り返される。

#### 【0033】

なお、ある複数のビットに関する重み係数群  $W_{k1}$  の更新の際、重み係数群  $W_{k1}$  の一部が、その複数のビットに含まれないビットに関する重み係数群によって更新される。このため、記憶装置 1 1 から新たに読み出す重み係数群は、重み係数群  $W_{k1}$  よりも少なくてもよい。

#### 【0034】

重み係数群  $W_{k1}$  の更新回数  $c2$  が回数  $M$  に達した場合、制御部 1 0 c は、イジングモデルの全ビットの値で表される状態を、たとえば、演算回路 1 0 b 内の図示しないレジスタから取得し、最適化装置 1 0 の外部に出力し（ステップ S 9）、処理を終える。

#### 【0035】

図 3 は、記憶部に記憶される重み係数群の更新例を示す図である。

更新回数  $c2 = 0$  のとき、図 3 の例では、1 ~ 3 番目のビットに関する重み係数群が重み係数群  $W_{k1}$  として記憶部 1 0 a に記憶されている。

#### 【0036】

更新回数  $c2 = 1$  のとき、たとえば、2 ~ 4 番目のビットに関する重み係数群が記憶部 1 0 a に記憶されるように、重み係数群  $W_{k1}$  が更新される。この場合、制御部 1 0 c は、4 番目のビットに関する重み係数  $W_{41}$ 、 $W_{42}$ 、 $W_{4n}$  だけを記憶装置 1 1 から読み出し、1 番目のビットに関する重み係数  $W_{11}$ 、 $W_{12}$ 、 $W_{1n}$  の代りに記憶部 1 0 a に記憶すればよい。

#### 【0037】

回数  $M$  は、更新回数  $c2$  が  $M$  に達した場合に、 $n$  番目のビットに関する重み係数  $W_{n1}$ 、 $W_{n2}$ 、 $W_{nn}$  を含む重み係数群を用いた更新判定処理が行われるように、設定される。

#### 【0038】

なお、上記ステップ S 1 ~ S 8 の処理を、所定回数、繰り返した後に、ステップ S 9 の処理が行われるようにしてもよい。

（比較例）

図 4 は、比較例の最適化装置の動作の一例の流れを示すフローチャートである。

#### 【0039】

図 4 では、第 1 の実施の形態の最適化装置 1 0 に対する比較例として、単に、記憶装置（外部メモリ）に記憶された全重み係数の一部を記憶する記憶部（内部メモリ）を備えた、最適化装置の動作例が示されている。

#### 【0040】

比較例の最適化装置では、全ビットの範囲で更新ビットが選択される（ステップ S 1 0）。そして、その更新ビットの情報に基づいて、全ビットのそれぞれの値が変化することによるイジングモデルのエネルギー変化の計算が可能か否か判定される（ステップ S 1 1）。

#### 【0041】

計算が可能ではない場合（計算に用いる重み係数  $W_{ij}$  が内部メモリにない場合）、外部メモリから計算に用いる重み係数  $W_{ij}$  が読み出される（ステップ S 1 2）。ステップ S 1 1 の処理で計算が可能と判定された場合、またはステップ S 1 2 の処理後、エネルギー変化の計算が行われる（ステップ S 1 3）。その後、計算したエネルギー変化に基づいて、全ビットのうちの 1 つの更新を確率的に許容する処理が行われ、更新を許容するビットの有無が判定される（ステップ S 1 4）。更新を許容するビットがある場合、そのビットの値を 0 から 1 または 1 から 0 に変化させることで、イジングモデルの状態が更新される（ステップ S 1 5）。

10

20

30

40

50

## 【 0 0 4 2 】

ステップ S 1 5 の処理後、または、ステップ S 1 4 の処理において、更新を許容するビットがない場合、更新判定処理回数 c 3 が所定の回数 N 1 に達したか否かが判定される（ステップ S 1 6）。更新判定処理回数 c 3 が、回数 N 1 に達していない場合、ステップ S 1 0 では、ステップ S 1 5 の処理で変化したビットが更新ビットとして選択され、その後ステップ S 1 1 からの処理が繰り返される。

## 【 0 0 4 3 】

更新判定処理回数 c 3 が、回数 N 1 に達した場合、イジングモデルの全ビットの値で表される状態が、比較例の最適化装置の外部に出力され（ステップ S 1 7）、処理が終わる。

10

## 【 0 0 4 4 】

このような比較例の最適化装置では、選択される更新ビットによっては、内部メモリに記憶されている重み係数だけではエネルギー変化を計算できない場合があり、重み係数の外部メモリからの読み出し頻度が増加する。

## 【 0 0 4 5 】

これに対し最適化装置 1 0 は、記憶部 1 0 a に記憶した一部のビットに関する重み係数群を用いて、その一部のビットから更新ビットを選択する更新判定処理を所定回数行った後に、重み係数群を別のビットに関する重み係数群を含むように更新する。これにより、記憶装置 1 1 からの重み係数の読み出しの頻度を抑えられ、読み出しにかかる時間による計算速度の低下を抑制できる。

20

## 【 0 0 4 6 】

また、第 1 の実施の形態の最適化装置 1 0 は、記憶部 1 0 a に記憶された重み係数群の更新の際、全てを別のビットに関する重み係数群に変更するのではなく、一部を別のビットに関する重み係数群を含むように変更する。重み係数群の更新の際、全てを別のビットに関する重み係数群に変更した場合、更新前の重み係数群を用いて更新判定処理が行われるビットと、更新後の重み係数群を用いて更新判定処理が行われるビットとの間の相互作用の影響が基底状態の探索に考慮されなくなる。この場合、解の精度が悪化する可能性がある。上記のように、重み係数群の更新の際、一部を別のビットに関する重み係数群を含むように変更することで、相互作用の影響が考慮されなくなるビット対を少なくでき、解の精度が悪化することを抑制できる。また、記憶装置 1 1 から読み出すデータ量も少なくできる。また、記憶部 1 0 a に記憶された複数ビットに関する重み係数群のうち、1 つのビットに関する重み係数群を、上記複数ビットに含まれない 1 つのビットに関する重み係数群に更新することで、相互作用の影響が考慮されなくなるビット対をより少なくでき、解の精度が悪化することをより抑制できる。

30

## 【 0 0 4 7 】

（第 2 の実施の形態）

図 5 は、第 2 の実施の形態の最適化装置の一例を示す図である。

第 2 の実施の形態の最適化装置 2 0 は、たとえば、1 チップの半導体集積回路（たとえば、FPGA など）である。最適化装置 2 0 は記憶装置 3 0 に接続されている。

## 【 0 0 4 8 】

記憶装置 3 0 は、全重み係数、バイアス係数などのデータを記憶する。記憶装置 3 0 は、SDRAM などの揮発性の記憶装置、または、フラッシュメモリ、EEPROM や HDD などの不揮発性の記憶装置である。

40

## 【 0 0 4 9 】

最適化装置 2 0 は、記憶部 2 1、演算回路 2 2、制御部 2 3 を有する。

記憶部 2 1 は、記憶装置 3 0 に記憶された全重み係数のうち、全ビットの一部である複数のビットに関する重み係数群を記憶する。図 5 の例では、記憶部 2 1 は、n 個のビットのうち、1 番目から k 番目のビットに関する重み係数群を記憶している。記憶部 2 1 の記憶容量は、記憶装置 3 0 の記憶容量よりも小さい。記憶部 2 1 は、レジスタまたは SRAM などである。

50

## 【 0 0 5 0 】

演算回路 2 2 は、選択回路 2 2 a、 $\Delta E$  計算回路 2 2 b 1 , 2 2 b 2 , , 2 2 b n、更新判定回路 2 2 c 1 , 2 2 c 2 , , 2 2 c n、判定結果変更回路 2 2 d 1 , 2 2 d 2 , , 2 2 d n、更新ビット選択回路 2 2 e、オフセット生成回路 2 2 f を有する。さらに、演算回路 2 2 は、状態更新回路 2 2 g、カウンタ 2 2 h、比較回路 2 2 i を有する。

## 【 0 0 5 1 】

選択回路 2 2 a は、更新ビット選択回路 2 2 e が出力する識別番号  $i d$  に基づいて、使用する重み係数を選択して、選択した重み係数を記憶部 2 1 から読み出し、 $\Delta E$  計算回路 2 2 b 1 ~ 2 2 b n に供給する。さらに、選択回路 2 2 a は、記憶部 2 1 に記憶されている重み係数群がどの複数のビットに関するものかを示す識別番号  $i d w$  を受ける。そして、選択回路 2 2 a は、識別番号  $i d w$  に基づいて、上記複数のビットに含まれないビットについての、更新判定回路 2 2 c 1 ~ 2 2 c n の判定結果を、更新を許容しないことを示す値に変更するための信号を出力する。

10

## 【 0 0 5 2 】

たとえば、図 5 の例では、記憶部 2 1 には、1 ~ k 番目のビットに関する重み係数群が記憶されているため、選択回路 2 2 a は、識別番号  $i d w$  として 1 を受ける。なお、この場合、識別番号  $i d w$  は、1 番目のビットだけではなく、k 番目のビットまでを示す。k の数は、記憶部 2 1 の記憶容量  $M_i$  と全ビットの数  $n$  と重み係数のデータ量  $M_w$  から決定され、 $k = M_i / (n \cdot M_w)$  で表される。k はとり得る自然数の中で最大値である場合、最も効率よく演算可能であるが、この限りではない。

20

## 【 0 0 5 3 】

$\Delta E$  計算回路 2 2 b 1 ~ 2 2 b n は、選択回路 2 2 a から供給される重み係数と、更新ビットの値（図 5 の例では、i 番目のビットの値を表す変数  $x_i$ ）に基づいて、n 個のビットのそれぞれの値が変化することによるイジングモデルのエネルギー変化を計算する。図 5 の例では、n 個のビットのそれぞれの値は変数  $x_1, x_2, , x_n$  で示されている。 $\Delta E$  計算回路 2 2 b 1 ~ 2 2 b n の回路例については後述する。

## 【 0 0 5 4 】

更新判定回路 2 2 c 1 ~ 2 2 c n は、 $\Delta E$  計算回路 2 2 b 1 ~ 2 2 b n が計算したエネルギー変化、熱励起エネルギー（温度パラメータ  $T$  と乱数とから決定される）、オフセット値  $o f f$  に基づいて、各ビットの更新を許容するか否かを判定する。更新判定回路 2 2 c 1 ~ 2 2 c n の回路例については後述する。

30

## 【 0 0 5 5 】

判定結果変更回路 2 2 d 1 ~ 2 2 d n は、選択回路 2 2 a が出力する信号に基づいて、更新判定回路 2 2 c 1 ~ 2 2 c n が出力する各ビットについての判定結果を出力するか、判定結果を、更新を許容しないことを示す値に変更して出力する。判定結果変更回路 2 2 d 1 ~ 2 2 d n は、それぞれ乗算器によって実現できる。以下では、更新を許容することを示す判定結果の値を 1、更新を許容しないことを示す判定結果の値を 0 とする。この場合、判定結果変更回路 2 2 d 1 ~ 2 2 d n のうち、選択回路 2 2 a から 0 が供給されるものは、0 を出力する。

## 【 0 0 5 6 】

更新ビット選択回路 2 2 e は、判定結果変更回路 2 2 d 1 ~ 2 2 d n のそれぞれが出力する判定結果に基づいて、更新を許容するビットが複数ある場合、そのうちの 1 つを識別する識別番号  $i d$  を出力する。なお、判定結果変更回路 2 2 d 1 ~ 2 2 d n のそれぞれが出力する判定結果が全て 0 の場合でも、何れかのビットの識別番号  $i d$  が出力される。また、更新ビット選択回路 2 2 e は、識別番号  $i d$  で識別されるビットについての更新を許容するか否かの判定結果をフラグ  $f g$  として出力する。さらに、更新ビット選択回路 2 2 e は、1 つのビットの識別番号  $i d$  を出力するたびに、トリガ信号  $t r g$  をカウンタ 2 2 h に供給する。

40

## 【 0 0 5 7 】

オフセット生成回路 2 2 f は、更新判定回路 2 2 c 1 ~ 2 2 c n に供給するオフセット

50

値  $off$  を生成する。オフセット生成回路 22f は、更新ビット選択回路 22e が出力するフラグ  $fg$  が、0 の場合、オフセット値  $off$  を増加する。一方、オフセット生成回路 22f は、フラグ  $fg$  が、1 の場合、オフセット値  $off$  を 0 にリセットする。オフセット値  $off$  が大きくなるとビットの更新が許容されやすくなり、現在の状態が局所解にある場合、その局所解からの脱出が促進される。

【0058】

状態更新回路 22g は、フラグ  $fg$  が 1 の場合、更新ビット選択回路 22e が出力した識別番号  $id$  で識別されるビットの値を 1 から 0 または 0 から 1 に更新する。状態更新回路 22g は、記憶部（たとえば、レジスタ）を有しており、 $n$  個のビットの値を保持している。

10

【0059】

カウンタ 22h は、更新判定処理回数  $c1$  をカウントする。カウンタ 22h は、更新ビット選択回路 22e がトリガ信号  $trg$  を出力するたびに、更新判定処理回数  $c1$  をカウントアップする。また、カウンタ 22h は、比較回路 22i が 1 を出力するたびに、更新判定処理回数  $c1$  を 0 にリセットする。

【0060】

比較回路 22i は、カウンタ 22h の計数値である更新判定処理回数  $c1$  と所定の回数  $N$  とを比較し、更新判定処理回数  $c1$  が、回数  $N$  に達するまでは 0 を出力し、回数  $N$  に達した場合に、1 を出力する。

【0061】

20

制御部 23 は、コントローラ 23a、カウンタ 23b、比較回路 23c を有する。

コントローラ 23a は、まず、記憶装置 30 から、1 番目のビットから  $k$  番目のビットに関する重み係数を読み出して、記憶部 21 に記憶する。そして、コントローラ 23a は、上記の更新判定処理回数  $c1$  が回数  $N1$  に達するたびに、記憶部 21 に記憶されている  $k$  個のビットに関する重み係数群のうちの一部を、 $k$  個のビットに含まれないビットに関する重み係数群で更新する。たとえば、コントローラ 23a は、更新判定処理回数  $c1$  が回数  $N1$  に達するたびに、 $k$  個のビットよりも識別番号が大きいビットのうち、最も識別番号が小さいビットに関する重み係数群を、記憶装置 30 から読み出す。そして、コントローラ 23a は、記憶部 21 に記憶されている  $k$  個のビットに関する重み係数群のうちの識別番号が一番小さいビットに関する重み係数群を、読み出した重み係数群で更新（上書き）する。

30

【0062】

また、コントローラ 23a は、上記の識別番号  $idw$  として、上記の  $k$  個のビットの識別番号のうち、最小の識別番号を出力する。

なお、コントローラ 23a は、エネルギー変化を計算するためのローカルフィールドの初期値（たとえば、バイアス係数  $b_i$ ）を、たとえば、記憶装置 30 から受け、 $\Delta E$  計算回路 22b1 ~ 22bn に対して、設定してもよい。

【0063】

また、コントローラ 23a は、所定のアニーリング条件（温度パラメータ  $T$  の最大値、最小値、温度パラメータ  $T$  の値の下げ方についての情報など）に基づいて、更新判定回路 22c1 ~ 22cn に対して温度パラメータ  $T$  を設定する。コントローラ 23a は、アニーリング条件に基づいて、温度パラメータ  $T$  の値を徐々に小さくしていく。また、コントローラ 23a は、比較回路 23c が 1 を出力した場合、状態更新回路 22g に保持されている各ビットの値を解として、たとえば、記憶装置 30 に出力する。

40

【0064】

コントローラ 23a は、たとえば、ASIC (Application Specific Integrated Circuit) や FPGA などの特定用途の電子回路にて実現できる。なお、コントローラ 23a は、CPU (Central Processing Unit) や DSP (Digital Signal Processor) などのプロセッサであってもよい。その場合、プロセッサは、メモリ（たとえば、記憶部 21）に記憶されたプログラムを実行することで、上記のようなコントローラ 23a の処理を行

50

う。

#### 【 0 0 6 5 】

カウンタ 2 3 b は、記憶部 2 1 に記憶する重み係数群  $W_{k1}$  の更新回数  $c 2$  をカウントする。カウンタ 2 3 b は、比較回路 2 2 i が 1 を出力するたびに、更新回数  $c 2$  をカウントアップする。また、カウンタ 2 3 b は、比較回路 2 3 c が 1 を出力すると、更新回数  $c 2$  を 0 にリセットする。

#### 【 0 0 6 6 】

比較回路 2 3 c は、カウンタ 2 3 b の計数值である更新回数  $c 2$  と所定の回数  $M$  とを比較し、更新回数  $c 2$  が、回数  $M$  に達するまでは 0 を出力し、回数  $M$  に達した場合に、1 を出力する。回数  $M$  は、更新回数  $c 2$  が  $M$  に達した場合に、 $n$  番目のビットに関する重み係数  $W_{n1}$ ,  $W_{n2}$ , ...,  $W_{nn}$  を含む重み係数群を用いた更新判定処理が行われるように、設定される。

10

#### 【 0 0 6 7 】

なお、カウンタ 2 3 b や比較回路 2 3 c は、演算回路 2 2 に含まれていてもよい。

(  $\Delta E$  計算回路と更新判定回路の一例 )

図 6 は、 $\Delta E$  計算回路と更新判定回路の一例を示す図である。

#### 【 0 0 6 8 】

図 6 では、図 5 に示した  $\Delta E$  計算回路 2 2 b 1 と更新判定回路 2 2 c 1 の例が示されている。図 5 に示した他の  $\Delta E$  計算回路 2 2 b 2 ~ 2 2 b  $n$ 、更新判定回路 2 2 c 2 ~ 2 2 c  $n$  についても図 6 と同様の回路により実現できる。

20

#### 【 0 0 6 9 】

$\Delta E$  計算回路 2 2 b 1 は、選択回路 4 0、乗算器 4 1、加算器 4 2、レジスタ 4 3、乗算器 4 4、選択回路 4 5 を有する。

選択回路 4 0 は、更新ビットの値の変化分の演算を実現するものである。 $i$  番目 ( $i d = i$ ) のビットが更新ビットである場合、その値を示す変数  $x_i$  が 1 から 0 に変化するとき、変化分  $\Delta x_i$  は - 1 となり、変数  $x_i$  が 0 から 1 に変化するとき、 $\Delta x_i$  は 1 となる。選択回路 4 0 は、状態更新回路 2 2 g から供給される変数  $x_i$  ( $i$  番目のビットの値の更新後の値) が 0 のときには、- 1 を選択して出力し、変数  $x_i$  が 1 のときには、1 を選択して出力する。

#### 【 0 0 7 0 】

30

乗算器 4 1 は、選択回路 2 2 a が出力する重み係数と、選択回路 4 0 が出力する値との積を出力する。図 6 の例では、 $i d = i$  の場合の例が示されており、乗算器 4 1 には、1 番目のビットと  $i$  番目のビットとの間の相互作用の大きさを表す重み係数  $W_{i1}$  が入力されている。乗算器 4 1 の出力は、変数  $x_i$  が変化したことによるローカルフィールド  $h_i$  の変化分  $\Delta h_i$  を表す。

#### 【 0 0 7 1 】

加算器 4 2 は、乗算器 4 1 が出力する値と、レジスタ 4 3 に格納されている値とを加算して出力する。

レジスタ 4 3 は、図示しないクロック信号に同期して、加算器 4 2 が出力する値 (ローカルフィールド  $h_i$ ) を取り込む。レジスタ 4 3 は、たとえば、フリップフロップである。なお、レジスタ 4 3 に格納されるローカルフィールド  $h_i$  の初期値は、たとえば、バイアス係数  $b_i$  である。

40

#### 【 0 0 7 2 】

乗算器 4 4 は、レジスタ 4 3 が出力するローカルフィールド  $h_i$  と選択回路 4 5 が出力する値との積を出力する。この積が、エネルギー変化  $\Delta E_i$  である。

選択回路 4 5 は、 $\Delta x_i$  の演算を実現するものである。選択回路 4 5 は、状態更新回路 2 2 g から供給される現在の 1 番目のビットの値を示す変数  $x_i$  が 0 のときは、- 1 を出力し、変数  $x_i$  が 1 のときは 1 を出力する。

#### 【 0 0 7 3 】

更新判定回路 2 2 c 1 は、符号反転部 5 0、加算器 5 1、乱数発生回路 5 2、選択法則

50

適用部 5 3、乗算器 5 4、比較回路 5 5 を有する。

符号反転部 5 0 は、 $\Delta E$  計算回路 2 2 b 1 が出力するエネルギー変化  $\Delta E$  に - 1 を掛けて符号を反転させる。

【 0 0 7 4 】

加算器 5 1 は、符号反転部 5 0 の出力値に、オフセット生成回路 2 2 f が生成するオフセット値  $o f f$  を加える。

乱数発生回路 5 2 は、0 以上、1 以下の一様乱数  $r$  を発生する。

【 0 0 7 5 】

選択法則適用部 5 3 は、シミュレーテッド・アニーリングを行うための選択法則（メトロポリス法またはギブス法）に基づいた値を出力する。

シミュレーテッド・アニーリングが行われる場合、あるエネルギー変化  $\Delta E$  を引き起こす状態遷移の許容確率  $A(\Delta E, T)$  を以下の式 (3) のように決めれば、時刻（反復回数）無限大の極限で状態が最適解に到達することが証明されている。

【 0 0 7 6 】

【数 3】

$$A(\Delta E, T) = f(-\Delta E / T) \quad (3)$$

$$f(-\Delta E / T) = \begin{cases} \min [1, \exp(-\Delta E / T)] & \text{メトロポリス法} \\ 1 / [1 + \exp(\Delta E / T)] & \text{ギブス法} \end{cases}$$

【 0 0 7 7 】

式 (3) において  $T$  は、前述の温度パラメータ  $T$  である。

式 (3) で表される許容確率  $A(\Delta E, T)$  を用いた場合、十分な反復後に定常状態に達したとすると、各状態の占有確率は熱力学における熱平衡状態に対するボルツマン分布にしたがう。そして、高い温度から徐々に下げていくとエネルギーの低い状態の占有確率が増加するため、十分温度が下がるとエネルギーの低い状態が得られるはずである。この様子が材料を焼き鈍したときの状態変化とよく似ているため、この方法はシミュレーテッド・アニーリングと呼ばれるのである。このとき、エネルギーが上がる状態遷移が確率的に起こることは、物理学における熱励起に相当する。

【 0 0 7 8 】

許容確率  $A(\Delta E, T)$  でエネルギー変化  $\Delta E$  を引き起こす状態遷移を許容することを示すフラグ情報 (= 1) を出力する回路は、式 (3) の  $f(-\Delta E / T)$  と、一様乱数  $r$  との比較結果に基づいた値を出力する比較器によって実現できる。

【 0 0 7 9 】

ただ、次のような変形を行っても同じ機能が実現できる。2 つの数に同じ単調増加関数を作用させても大小関係は変化しない。したがって比較器の 2 つの入力に同じ単調増加関数を作用させても比較器の出力は変わらない。たとえば、 $f(-\Delta E / T)$  に作用させる単調増加関数として  $f(-\Delta E / T)$  の逆関数  $f^{-1}(-\Delta E / T)$ 、一様乱数  $r$  に作用させる単調増加関数として  $f^{-1}(-\Delta E / T)$  の  $-\Delta E / T$  を  $r$  とした  $f^{-1}(r)$  を用いることができる。その場合、上記の比較器と同様の機能を有する回路は、 $-\Delta E / T$  が  $f^{-1}(r)$  より大きいとき 1 を出力する回路でよいことがわかる。さらに温度パラメータ  $T$  が正であることから、その回路は、 $-\Delta E$  が  $T \cdot f^{-1}(r)$  より大きいとき 1 を出力する回路でよい。

【 0 0 8 0 】

図 6 の選択法則適用部 5 3 は、入力される一様乱数  $r$  を上記の  $f^{-1}(r)$  の値に変換する変換テーブルを用いて、 $f^{-1}(r)$  の値を出力する。メトロポリス法が適用される場合、 $f^{-1}(r)$  は、 $\log(r)$  である。変換テーブルは、たとえば、RAM (Random Access Memory)、フラッシュメモリなどのメモリに記憶されている。

【 0 0 8 1 】

10

30

40

50

乗算器 54 は、コントローラ 23a から供給される温度パラメータ  $T$  と、 $f^{-1}(r)$  との積 ( $T \cdot f^{-1}(r)$ ) を出力する。 $T \cdot f^{-1}(r)$  は、熱励起エネルギーに相当する。

#### 【0082】

比較回路 55 は、加算器 51 による加算結果と、 $T \cdot f^{-1}(r)$  とを比較し、加算結果が  $T \cdot f^{-1}(r)$  より大きい場合、1 番目のビットの更新 (状態遷移) を許容するか否かの判定結果として 1 (更新を許容することを示す値) を出力する。また、比較回路 55 は、加算結果が  $T \cdot f^{-1}(r)$  より小さい場合、判定結果として 0 (更新を許容しないことを示す値) を出力する。

#### 【0083】

(最適化装置 20 の動作例)

第 2 の実施の形態の最適化装置 20 の動作の流れは、図 2 に示したフローチャートと同様である。

#### 【0084】

図 2 のステップ S1, S2 に相当する処理として、コントローラ 23a は、記憶装置 30 に対して、記憶部 21 に記憶する重み係数群  $W_{k1}$  を指定し、重み係数群  $W_{k1}$  を記憶部 21 に記憶する。

#### 【0085】

そして、ステップ S3 に相当する処理として、演算回路 22 は、重み係数群  $W_{k1}$  の範囲で、更新ビットを選択する。この処理を行うために、前述のように、コントローラ 23a は、識別番号  $idw$  を出力する。たとえば、図 5 に示されているように記憶部 21 に、1 番目から  $k$  番目のビットに関する重み係数群が記憶されている場合、コントローラ 23a は、識別番号  $idw$  として 1 を出力する。このとき、選択回路 22a は、判定結果変更回路 22d1 ~ 22dn のうち、1 ~  $k$  番目のビットに関する判定結果を入力する判定結果変更回路に対しては、1 を供給する。また、選択回路 22a は、 $k+1$  ~  $n$  番目のビットに関する判定結果を入力する判定結果変更回路に対しては、0 を供給する。これにより、 $k+1$  ~  $n$  番目のビットに関する判定結果は、全て 0 になる。更新ビット選択回路 22e は、判定結果が 1 になるビットから更新ビットを選択するため、 $k+1$  ~  $n$  番目のビットは、更新ビットとして選択されず、1 ~  $k$  番目のビットの中から更新ビットが選択される。つまり、記憶部 21 に記憶されている重み係数群  $W_{k1}$  の範囲で、更新ビットが選択される。

#### 【0086】

ステップ S4 に相当する処理として、演算回路 22 は、重み係数群  $W_{k1}$  と、更新ビットの情報 (識別番号  $id$  や更新後の値) に基づいて、 $k$  個のビットのそれぞれの値が変化することによるイジングモデルのエネルギー変化を計算する。この処理は、演算回路 22 の  $\Delta E$  計算回路 22b1 ~ 22bn を用いて行われる。

#### 【0087】

ステップ S5 に相当する処理として、演算回路 22 は、計算したエネルギー変化に基づいて、複数のビットのうちの 1 つの更新を確率的に許容する処理を行い、更新を許容するビットの有無を判定する。この処理は、演算回路 22 の更新判定回路 22c1 ~ 22cn、更新ビット選択回路 22e を用いて行われる。

#### 【0088】

ステップ S6 に相当する処理として、演算回路 22 の状態更新回路 22g は、更新を許容するビットがある場合、そのビットの値を 0 から 1 または 1 から 0 に変化させることで、イジングモデルの状態を更新する。

#### 【0089】

ステップ S7 に相当する処理として、演算回路 22 のカウンタ 22h と比較回路 22i により、更新判定処理回数  $c1$  が所定の回数  $N$  に達したか否かが判定される。

また、ステップ S8 に相当する処理として、制御部 23 のカウンタ 23b と比較回路 23c により、重み係数群  $W_{k1}$  の更新回数  $c2$  が所定の回数  $M$  に達したか否かが判定され

10

20

30

40

50

る。

#### 【 0 0 9 0 】

更新判定処理回数  $c_1$  が所定の回数  $N$  に達し、重み係数群  $W_{k-1}$  の更新回数  $c_2$  が回数  $M$  に達していない場合、コントローラ 23a は、再度、ステップ  $S_1$  ,  $S_2$  に相当する処理を行う。すなわち、コントローラ 23a は、記憶装置 30 に対して、次に記憶部 21 に記憶する重み係数群  $W_{k-1}$  を指定し、記憶部 21 に記憶する重み係数群  $W_{k-1}$  を更新する。その後、ステップ  $S_3$  に相当する処理が再び行われる。

#### 【 0 0 9 1 】

図 7 は、重み係数群の更新例を示す図である。

更新回数  $c_2 = 0$  のとき、記憶部 21 には、コントローラ 23a によって記憶装置 30 から読み出された  $1 \sim k$  番目のビットに関する重み係数群が、重み係数群  $W_{k-1}$  として記憶されている。

10

#### 【 0 0 9 2 】

1 回目の更新の際（更新回数  $c_2 = 1$ ）には、 $2 \sim k+1$  番目のビットに関する重み係数群が記憶部 21 に記憶されるように、重み係数群  $W_{k-1}$  が更新される。この場合、コントローラ 23a は、 $k+1$  番目のビットに関する重み係数  $W_{(k+1)1}$  ,  $W_{(k+2)2}$  , ,  $W_{(k+1)n}$  だけを記憶装置 30 から読み出し、1 番目のビットに関する重み係数  $W_{11}$  ,  $W_{12}$  , ,  $W_{1n}$  の代りに記憶部 21 に記憶すればよい。

#### 【 0 0 9 3 】

図 8 は、重み係数群の更新がある回数行われた後の記憶部の記憶例を示す図である。

20

図 8 には、記憶部 21 に重み係数群  $W_{k-1}$  として、 $p \sim q$  番目のビット（ $k$  個のビット）に関する重み係数群が記憶されている。この場合、コントローラ 23a は、識別番号  $idw$  として  $p$  を出力する。そして、選択回路 22a は、判定結果変更回路 22d1 ~ 22dn のうち、 $p \sim q$  番目のビットに関する判定結果を入力する判定結果変更回路 22dp , , 22di , , 22dq に対しては、1 を供給する。また、選択回路 22a は、その他のビットに関する判定結果を入力する判定結果変更回路に対しては、0 を供給する。これにより、 $p \sim q$  番目のビット以外のビットに関する判定結果は、全て 0 になる。更新ビット選択回路 22e は、判定結果が 1 になるビットから更新ビットを選択するため、 $p \sim q$  番目のビット以外のビットは、更新ビットとして選択されず、 $p \sim q$  番目のビットの中から更新ビットが選択される。

30

#### 【 0 0 9 4 】

たとえば、 $p < i < q$  である  $i$  番目のビットが更新ビットとして選択された場合、選択回路 22a には識別番号  $id = i$  が入力される。このとき、選択回路 22a は、 $\Delta E$  計算回路 22bp には重み係数  $W_{pi}$  を選択して供給し、 $\Delta E$  計算回路 22bi には重み係数  $W_{ii}$  を選択して供給し、 $\Delta E$  計算回路 22bq には重み係数  $W_{qi}$  を選択して供給する。

#### 【 0 0 9 5 】

そして、 $\Delta E$  計算回路 22bp は、重み係数  $W_{pi}$  と、 $i$  番目のビットの更新後の値を示す変数  $x_i$  に基づいて、 $p$  番目のビットの値を示す変数  $x_p$  が変化することによるイジングモデルのエネルギー変化を計算する。 $\Delta E$  計算回路 22bi は、重み係数  $W_{ii}$  と、 $i$  番目のビットの更新後の値を示す変数  $x_i$  に基づいて、変数  $x_i$  がさらに変化することによるイジングモデルのエネルギー変化を計算する。 $\Delta E$  計算回路 22bq は、重み係数  $W_{qi}$  と、 $i$  番目のビットの更新後の値を示す変数  $x_i$  に基づいて、 $q$  番目のビットの値を示す変数  $x_q$  が変化することによるイジングモデルのエネルギー変化を計算する。

40

#### 【 0 0 9 6 】

更新判定回路 22cp は、 $\Delta E$  計算回路 22bp が計算したエネルギー変化と、熱励起エネルギーと、オフセット値  $off$  に基づいて、 $p$  番目のビットの更新を許容するか否かを判定する。更新判定回路 22ci は、 $\Delta E$  計算回路 22bi が計算したエネルギー変化と、熱励起エネルギーと、オフセット値  $off$  に基づいて、 $i$  番目のビットの更新を許容するか否かを判定する。更新判定回路 22cq は、 $\Delta E$  計算回路 22bq が計算したエネ

50

ルギー変化と、熱励起エネルギーと、オフセット値  $off$  に基づいて、 $q$  番目のビットの更新を許容するか否かを判定する。

【0097】

重み係数群  $W_{k1}$  の更新回数  $c2$  が回数  $M$  に達した場合、コントローラ 23a は、ステップ S9 に相当する処理として、イジングモデルの全ビットの値で表される状態を、たとえば、状態更新回路 22g 内の図示しないレジスタから取得する。そして、コントローラ 23a は、取得した状態を最適化装置 20 の外部に出力し、処理を終える。

【0098】

上記のような第2の実施の形態の最適化装置 20 によれば、第1の実施の形態の最適化装置 10 と同様の効果が得られる。

図9は、問題規模と処理時間との関係を表すシミュレーション結果の一例を示す図である。図9において、横軸はある問題の規模（ビット数  $n$ ）を表し、縦軸は処理時間（ $s$ （秒））を表している。

【0099】

シミュレーション条件は以下の通りである。記憶部 21（内部メモリ）から重み係数を読み出すためのアクセス時間は  $10ns$ 、記憶装置 30（外部メモリ）から重み係数を読み出すためのアクセス時間は  $100ns$  である。トライアル数（ $N \times M$  回）は、 $1000000$  回、1回の更新判定処理にかかる時間は  $5ns$ 、結合数は全結合（つまり、重み係数の数は  $n^2$ ）、記憶部 21 の記憶容量は  $2MB$ 、各重み係数のビット幅は  $16$  ビットである。

【0100】

図9には、第2の実施の形態の最適化装置 20 を用いたシミュレーション結果 60 が示されている。さらに、図9には、図4に示した処理を行う最適化装置（一部の重み係数群を内部メモリに保持するが、エネルギー変化の計算に用いる重み係数がない場合にはその都度外部メモリから重み係数を読み出すもの）を用いたシミュレーション結果 61 が示されている。

【0101】

シミュレーション結果 60 に示されるように、最適化装置 20 を用いた場合、問題の規模が増加しても処理時間の増加は少ない。図4に示した処理を行う最適化装置を用いたシミュレーション結果 61 とシミュレーション結果 60 とを比較した場合、最適化装置 20 は、問題規模の増加の影響をほとんど受けないとみなせる。

【0102】

図10は、トライアル数と処理時間との関係を表すシミュレーション結果の一例を示す図である。図10において、横軸はトライアル数を表し、縦軸は処理時間（ $s$ （秒））を表している。

【0103】

シミュレーション条件は以下の通りである。記憶部 21（内部メモリ）から重み係数を読み出すためのアクセス時間は  $10ns$ 、記憶装置 30（外部メモリ）から重み係数を読み出すためのアクセス時間は  $100ns$  である。問題の規模は  $n = 10000$  ビット、1回の更新判定処理にかかる時間は  $5ns$ 、結合数は全結合（つまり、重み係数の数は  $10000^2$ ）、記憶部 21 の記憶容量は  $2MB$ 、各重み係数のビット幅は  $16$  ビットである。

【0104】

図10には、第2の実施の形態の最適化装置 20 を用いたシミュレーション結果 62 が示されている。さらに、図10には、図4に示した処理を行う最適化装置を用いたシミュレーション結果 63 が示されている。

【0105】

シミュレーション結果 62 に示されるように、最適化装置 20 を用いた場合、トライアル数が増加に対する処理時間の増加は、図4に示した処理を行う最適化装置を用いた場合と比べて小さいことが確認できる。

10

20

30

40

50

【 0 1 0 6 】

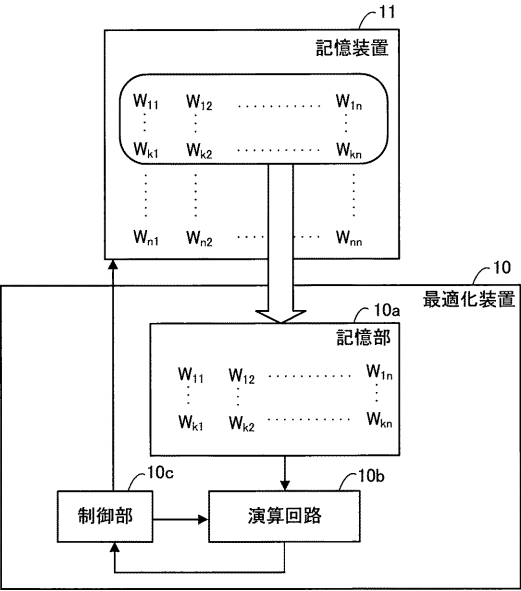
以上、実施の形態に基づき、本発明の最適化装置及び最適化装置の制御方法の一観点について説明してきたが、これらは一例にすぎず、上記の記載に限定されるものではない。

【 符号の説明 】

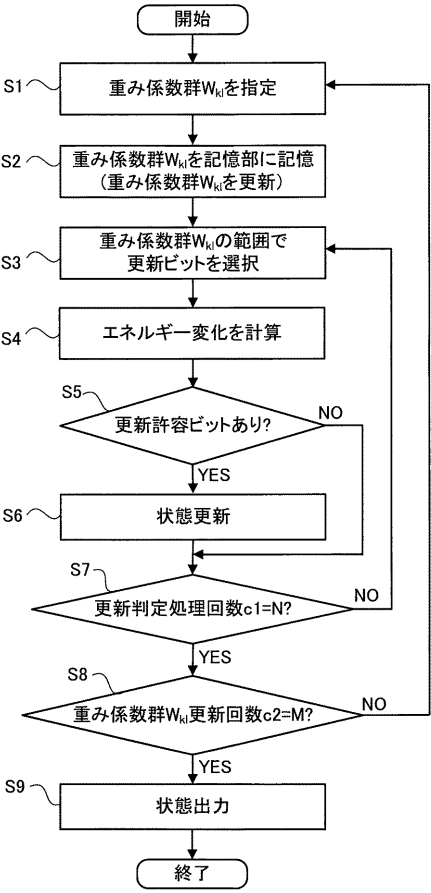
【 0 1 0 7 】

- 1 0 最適化装置
- 1 0 a 記憶部
- 1 0 b 演算回路
- 1 0 c 制御部
- 1 1 記憶装置

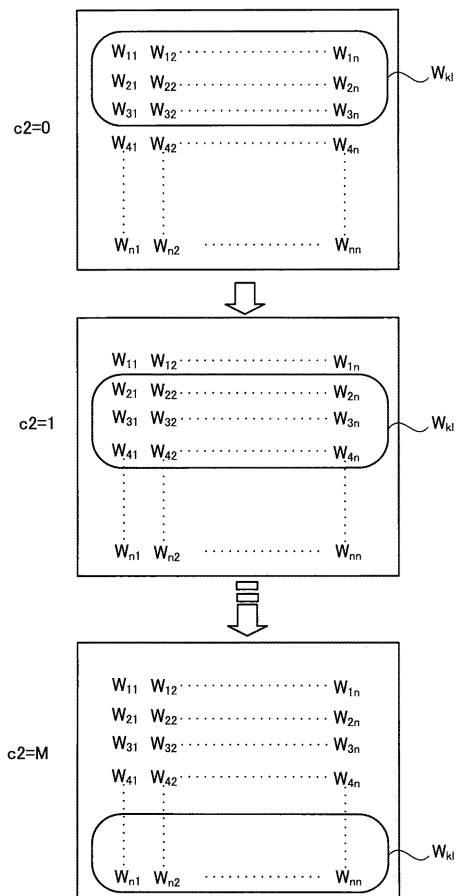
【 図 1 】



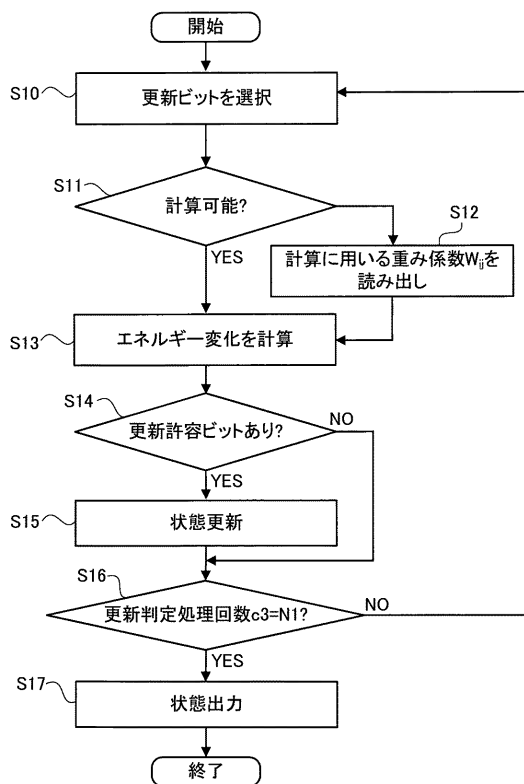
【 図 2 】



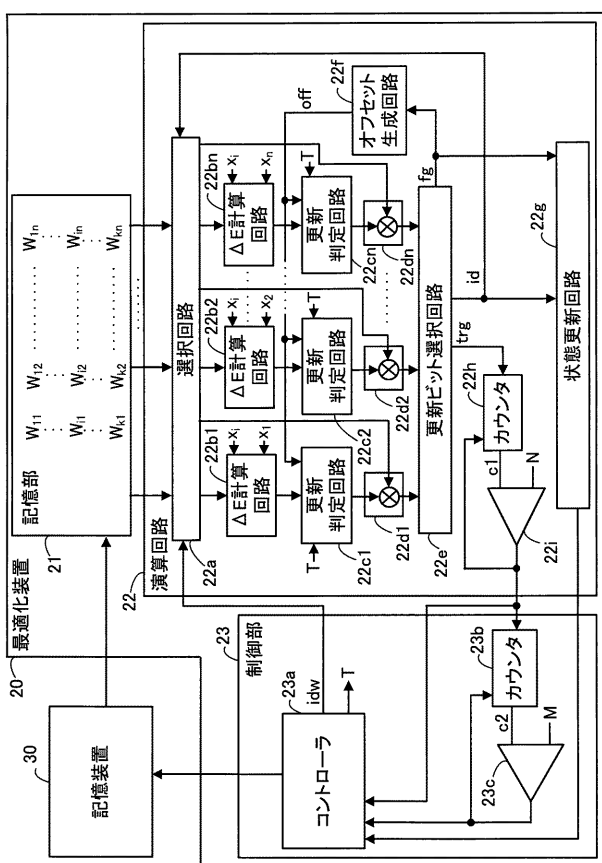
【図 3】



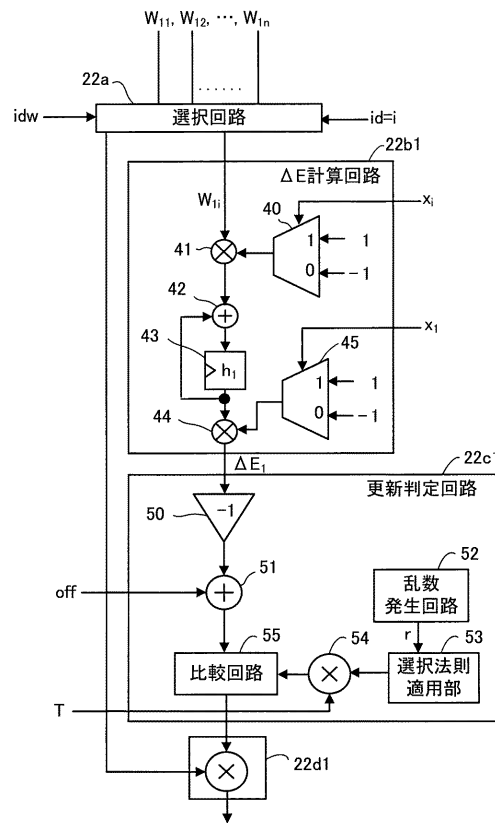
【図 4】



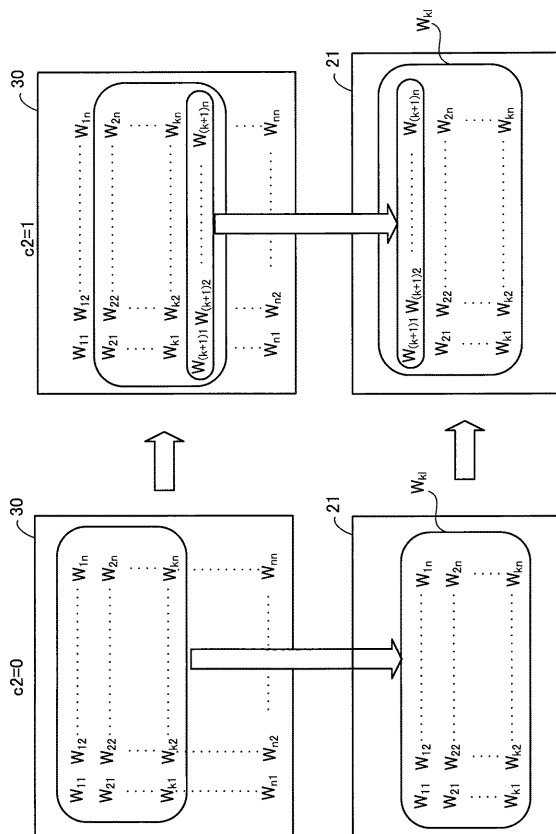
【図 5】



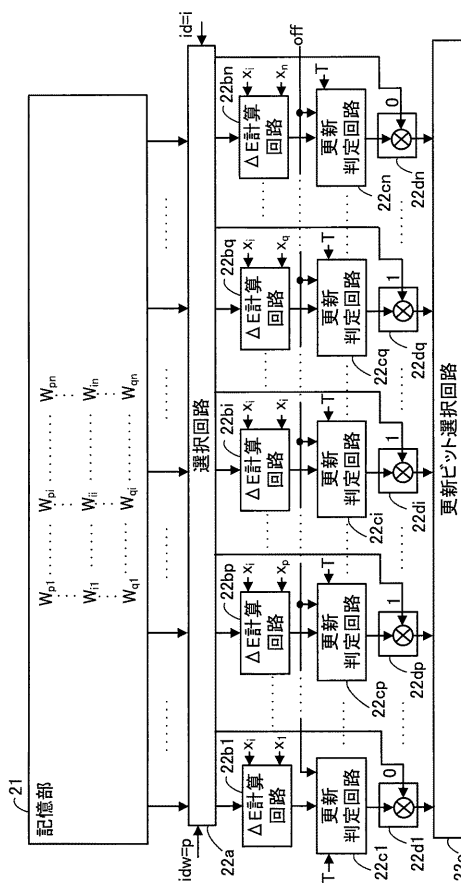
【図 6】



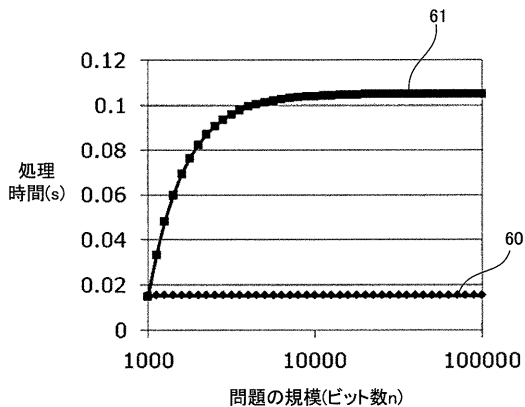
【図 7】



【図 8】



【図 9】



【図 10】

