

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-123250  
(P2020-123250A)

(43) 公開日 令和2年8月13日(2020.8.13)

(51) Int. Cl. F I テーマコード(参考)  
**GO6N 3/063 (2006.01)** GO6N 3/063 5J022  
 HO3M 1/66 (2006.01) HO3M 1/66 C

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2019-16024 (P2019-16024)	(71) 出願人	504137912 国立大学法人 東京大学 東京都文京区本郷七丁目3番1号
(22) 出願日	平成31年1月31日 (2019. 1. 31)	(74) 代理人	100079108 弁理士 稲葉 良幸
		(74) 代理人	100109346 弁理士 大貫 敏史
		(74) 代理人	100117189 弁理士 江口 昭彦
		(74) 代理人	100134120 弁理士 内藤 和彦
		(72) 発明者	上ノ原 誠二 東京都文京区本郷七丁目3番1号 国立大 学法人東京大学内 Fターム(参考) 5J022 AB06 BA06

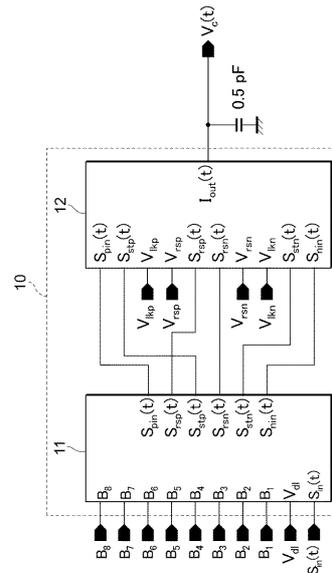
(54) 【発明の名称】 デジタル-アナログ変換器及び人工ニューロン回路

(57) 【要約】

【課題】実装面積がより小さく、より高密度で集積可能なデジタル - アナログ変換器及び人工ニューロン回路を提供する。

【解決手段】デジタル - アナログ変換器 10は、入力信号  $S_{in}(t)$  をトリガとして、複数のビット  $B_1 \sim B_N$  のいずれかに対応するサンプリング信号  $S_{B_1}(t) \sim S_{B_N}(t)$  を出力するサンプリング回路 11aと、サンプリング信号が出力される度に、複数のビットのいずれかと、当該ビットに対応するサンプリング信号との論理積に従って、単調に時間変化する電流  $I_{out}(t)$  を遮断又は出力する電流源 12a, 12bと、を備える。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

入力信号をトリガとして、複数のビットのいずれかに対応するサンプリング信号を出力するサンプリング回路と、

前記サンプリング信号が出力される度に、前記複数のビットのいずれかと、当該ビットに対応する前記サンプリング信号との論理積に従って、単調に時間変化する電流を遮断又は出力する電流源と、

を備えるデジタル - アナログ変換器。

## 【請求項 2】

前記電流源は、前記複数のビットの最上位ビットに基づいて、単調減少する電流を遮断若しくは出力するか又は単調増加する電流を遮断若しくは出力する、

請求項 1 に記載のデジタル - アナログ変換器。

## 【請求項 3】

前記電流の時定数は、前記複数のビットの数に応じて定められている、

請求項 2 に記載のデジタル - アナログ変換器。

## 【請求項 4】

前記電流の最大値又は最小値が可変である、

請求項 1 から 3 のいずれか一項に記載のデジタル - アナログ変換器。

## 【請求項 5】

請求項 1 から 4 のいずれか一項に記載のデジタル - アナログ変換器から出力される電流により充電又は放電されるコンデンサと、

前記コンデンサの電圧に基づいて、発火信号の出力を制御する出力回路と、

前記発火信号を出力した場合に前記コンデンサの電圧をリセットするリセット回路と、

を備える人工ニューロン回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、デジタル - アナログ変換器及び人工ニューロン回路に関する。

## 【背景技術】

## 【0002】

従来、デジタル信号をアナログ信号に変換するデジタル - アナログ変換器が用いられている。例えば、下記非特許文献 1 には、電流源スイッチ型のデジタル - アナログ変換器が記載されている。電流源スイッチ型のデジタル - アナログ変換器は、動作が比較的高速であり、映像信号処理や通信に用いられることがあるが、消費電力が比較的大きく、分解能を増やす毎に回路規模が指数関数的に増大してしまう。

## 【0003】

また、下記非特許文献 2 には、抵抗ストリング型のデジタル - アナログ変換器が記載されている。抵抗ストリング型のデジタル - アナログ変換器は、動作の線形性が保証されているという特徴があるが、分解能を増やす毎に回路規模が指数関数的に増大してしまう。

## 【0004】

さらに、下記特許文献 1 には、抵抗ラダー型のデジタル - アナログ変換器が記載されている。抵抗ラダー型のデジタル - アナログ変換器は、高速動作には適さないものの、回路規模を比較的小さくできるため、サーボモータ制御等において広く用いられている。なお、高精度化には、レーザトリミングが必要となる。

## 【0005】

また、下記特許文献 2 には、容量アレイ型のデジタル - アナログ変換器が記載されている。容量アレイ型のデジタル - アナログ変換器は、抵抗ラダー型の抵抗を容量に置き換えた構成であり、消費電力が比較的小さく、回路規模を比較的小さくできる。

## 【0006】

また、下記非特許文献 3 には、デルタ - シグマ型のデジタル - アナログ変換器が記載さ

10

20

30

40

50

れている。デルタ - シグマ型のデジタル - アナログ変換器は、分解能が比較的高く、回路規模を小さくできるため、オーディオ機器等に用いられることがある。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】米国特許第3890610号明細書

【特許文献2】米国特許第5889468号明細書

【非特許文献】

【0008】

【非特許文献1】T. Miki, 外5名, "An 80 MHz 8 bit CMOS D/A converter", IEEE Journal of Solid State Circuits, Volume 21, Issue 6, 1986 10

【非特許文献2】H. U. Post and K. Schoppe, "A 14 bit monotonic NMOS D/A converter", IEEE Journal of Solid State Circuits, Volume 18, Issue 3, 1983

【非特許文献3】H. Inose, Y. Yasuda and J. Murakami, "A Telemetry System by Code Modulation Modulation", IRE Transactions on Space Electronics and Telemetry, Volume SET 8, Issue 3 1962

【発明の概要】

【発明が解決しようとする課題】

【0009】

特許文献1及び2並びに非特許文献1、2及び3に記載されたデジタル - アナログ変換器は、抵抗又は容量を構成要素とするものである。しかしながら、抵抗や容量は、実装面積が比較的大きく、チップ上に数百～数千単位で集積することが困難である。そのため、例えば、重み係数をデジタル値としてメモリに長期記憶し、アナログ回路で入力信号と重み係数の積和演算を行う人工ニューロンを数万単位で集積した人工ニューロン回路を作成するためには、より高密度で集積可能なデジタル - アナログ変換器が必要となる。 20

【0010】

そこで、本発明は、実装面積がより小さく、より高密度で集積可能なデジタル - アナログ変換器及び人工ニューロン回路を提供する。

【課題を解決するための手段】

【0011】

本発明の一態様に係るデジタル - アナログ変換器は、入力信号をトリガとして、複数のビットのいずれかに対応するサンプリング信号を出力するサンプリング回路と、サンプリング信号が出力される度に、複数のビットのいずれかと、当該ビットに対応するサンプリング信号との論理積に従って、単調に時間変化する電流を遮断又は出力する電流源と、を備える。 30

【0012】

この態様によれば、複数のビットの値に応じて電流を遮断又は出力することとして、時間変化する波形によってデジタル信号をアナログ信号に変換することで、複数のビットの数が多くなっても、電流源の数を増やす必要がなくなり、実装面積がより小さくなり、より高密度で集積可能となる。 40

【0013】

上記態様において、電流源は、複数のビットの最上位ビットに基づいて、単調減少する電流を遮断若しくは出力するか又は単調増加する電流を遮断若しくは出力してもよい。

【0014】

この態様によれば、正負両方の範囲のアナログ信号を利用して、デジタル信号をアナログ信号に変換することができる。

【0015】

上記態様において、電流の時定数は、複数のビットの数に応じて定められてもよい。

【0016】

この態様によれば、電流の変化幅を効率良く用いてデジタル信号をアナログ信号に変換 50

することができる。

【0017】

上記態様において、電流の最大値又は最小値が可変であってもよい。

【0018】

この態様によれば、デジタル信号に対応するアナログ信号の範囲を調整可能とすることができる。

【0019】

本発明の他の態様に係る人工ニューロン回路は、上記態様に記載のデジタル - アナログ変換器から出力される電流により充電又は放電されるコンデンサと、コンデンサの電圧に基づいて、発火信号の出力を制御する出力回路と、発火信号を出力した場合にコンデンサの電圧をリセットするリセット回路と、を備えてもよい。

10

【0020】

この態様によれば、入力信号と重み係数の積和演算をアナログ信号で行うことで、比較的少ない電力でニューロンの出力を演算することができる。

【発明の効果】

【0021】

本発明によれば、実装面積がより小さく、より高密度で集積可能なデジタル - アナログ変換器及び人工ニューロン回路を提供することができる。

【図面の簡単な説明】

【0022】

20

【図1】本発明の実施形態に係るデジタル - アナログ変換器の概要を示す図である。

【図2】本実施形態に係るデジタル - アナログ変換器のデジタル信号読出回路の回路図である。

【図3】本実施形態に係るデジタル - アナログ変換器のアナログ信号出力回路の回路図である。

【図4】本実施形態に係るデジタル - アナログ変換器によるデジタル - アナログ変換の第1例を示すタイミングチャートである。

【図5】本実施形態に係るデジタル - アナログ変換器によるデジタル - アナログ変換の第2例を示すタイミングチャートである。

【図6】本実施形態に係るデジタル - アナログ変換器によるデジタル - アナログ変換の例を示すグラフである。

30

【図7】本実施形態に係る人工ニューロン回路の概要を示す図である。

【図8】本実施形態に係る人工ニューロン回路の回路図である。

【図9】本実施形態に係る人工ニューロン回路による発火信号の生成を示すタイミングチャートである。

【発明を実施するための形態】

【0023】

添付図面を参照して、本発明の実施形態について説明する。なお、各図において、同一の符号を付したものは、同一又は同様の構成を有する。

【0024】

40

図1は、本発明の実施形態に係るデジタル - アナログ変換器10の概要を示す図である。デジタル - アナログ変換器10は、デジタル信号である複数のビット $B_1 \sim B_8$ を読み出して、複数のビットの値を時間波形として出力するデジタル信号読出回路11と、デジタル信号読出回路11の出力を受け付けて、アナログ信号である電流 $I_{out}(t)$ を出力するアナログ信号出力回路12とを備える。なお、本実施形態では、ビット数が8の場合について説明するが、デジタル - アナログ変換器10により変換されるデジタル信号のビット数は任意である。

【0025】

デジタル信号読出回路11は、複数のビット $B_1 \sim B_8$ 、遅延回路の電圧 $V_d$ 及び入力信号 $S_{in}(t)$ を受け付ける。そして、デジタル信号読出回路11は、最上位ビット(本例

50

の場合  $B_8$ ) が 1 の場合、複数のビット  $B_1 \sim B_7$  の値に応じた時間波形  $S_{pin}(t)$  を出力する。また、デジタル信号読出回路 1 1 は、最上位ビット (本例の場合  $B_8$ ) が 0 の場合、複数のビット  $B_1 \sim B_7$  の値に応じた時間波形  $S_{nin}(t)$  を出力する。その他の出力に関しては、次図を用いて詳細に説明する。

【 0 0 2 6 】

アナログ信号出力回路 1 2 は、時間波形  $S_{pin}(t)$  又は時間波形  $S_{nin}(t)$  に従ったタイミングで電流をオン・オフして、アナログ信号である電流  $I_{out}(t)$  を出力する。また、電流  $I_{out}(t)$  によってコンデンサ (本例では  $0.5 \text{ pF}$ ) が充放電され、アナログ信号である電圧  $V_c(t)$  が出力される。

【 0 0 2 7 】

図 2 は、本実施形態に係るデジタル - アナログ変換器 1 0 のデジタル信号読出回路 1 1 の回路図である。デジタル信号読出回路 1 1 は、入力信号  $S_{in}(t)$  をトリガとして、複数のビット  $B_1 \sim B_7$  のいずれかに対応するサンプリング信号  $S_{B,1}(t) \sim S_{B,7}(t)$  を出力するサンプリング回路 1 1 a を備える。以下では、図 4 に示すデジタル - アナログ変換の第 1 例を示すタイミングチャート及び図 5 に示すデジタル - アナログ変換の第 2 例を示すタイミングチャートを参照しつつ、デジタル信号読出回路 1 1 の構成について説明する。ここで、図 4 に示すデジタル - アナログ変換の第 1 例を示すタイミングチャートは、複数のビット  $B_1 \sim B_8$  の最上位ビット ( $B_8$ ) が 1 である場合の例を示しており、図 5 に示すデジタル - アナログ変換の第 1 例を示すタイミングチャートは、複数のビット  $B_1 \sim B_8$  の最上位ビット ( $B_8$ ) が 0 である場合の例を示している。

【 0 0 2 8 】

デジタル信号読出回路 1 1 は、最上位ビット (MSB、本例の場合  $B_8$ ) を除いた複数のビット  $B_1 \sim B_7$  に降順で対応する複数の遅延回路 (DL) によって、サンプリング信号  $S_{B,1}(t) \sim S_{B,7}(t)$  を逐次出力する。具体的には、初段の遅延回路 (DL) にはサンプリング信号  $S_{B,1}(t) \sim S_{B,7}(t)$  のパルス幅を制御する電圧  $V_{d1}$  が固定値で入力される。そして、入力信号  $S_{in}(t)$  が初段の遅延回路 (DL) に入力されると、入力信号  $S_{in}(t)$  の立ち下がりタイミングでサンプリング信号  $S_{B,7}(t)$  が出力される。サンプリング信号  $S_{B,7}(t)$  は、第 7 ビット  $B_7$  との論理積を演算する論理回路に入力されるとともに、次段の遅延回路 (DL) に入力される。そして、次段の遅延回路 (DL) は、サンプリング信号  $S_{B,7}(t)$  の立ち下がりタイミングでサンプリング信号  $S_{B,6}(t)$  を出力する。サンプリング信号  $S_{B,6}(t)$  は、第 6 ビット  $B_6$  との論理積を演算する論理回路に入力されるとともに、次段の遅延回路 (DL) に入力される。このようにして、サンプリング回路 1 1 a は、サンプリング信号  $S_{B,1}(t) \sim S_{B,7}(t)$  を逐次出力する。なお、例えば、 $V_{d1} = 180 \text{ mV}$  に設定してよい。

【 0 0 2 9 】

デジタル信号読出回路 1 1 は、最上位ビット (MSB、本例の場合  $B_8$ ) が 1 の場合 (図 4 に示すタイミングチャートの場合)、サンプリング信号  $S_{B,1}(t) \sim S_{B,7}(t)$  と、第 1 ~ 7 ビット  $B_1 \sim B_7$  との論理積を時間の経過とともに降順で演算し、演算結果が 1 である場合にハイ電圧となり、演算結果が 0 である場合にロー電圧となる時間波形  $S_{pin}(t)$  を出力する。本例の場合、 $B_7 = 1$ 、 $B_6 = 1$ 、 $B_5 = 0$ 、 $B_4 = 1$ 、 $B_3 = 0$ 、 $B_2 = 0$ 、 $B_1 = 0$  であるため、時間波形  $S_{pin}(t)$  は、入力信号  $S_{in}(t)$  の後、ハイ電圧、ハイ電圧、ロー電圧、ハイ電圧、ロー電圧、ロー電圧、ロー電圧と時間変化する波形となる。

【 0 0 3 0 】

また、デジタル信号読出回路 1 1 は、最上位ビット (MSB、本例の場合  $B_8$ ) が 0 の場合 (図 5 に示すタイミングチャートの場合)、サンプリング信号  $S_{B,1}(t) \sim S_{B,7}(t)$  と、反転した第 1 ~ 7 ビット  $B_1 \sim B_7$  との論理積を時間の経過とともに降順で演算し、演算結果が 0 である場合にハイ電圧となり、演算結果が 1 である場合にロー電圧となる時間波形  $S_{nin}(t)$  を出力する。本例の場合、 $B_7 = 1$ 、 $B_6 = 1$ 、 $B_5 = 0$ 、 $B_4 = 1$ 、 $B_3 = 0$ 、 $B_2 = 0$ 、 $B_1 = 0$  であるため、時間波形  $S_{nin}(t)$  は、入力信号  $S_{in}(t)$  の

10

20

30

40

50

後、ロー電圧、ロー電圧、ハイ電圧、ロー電圧、ハイ電圧、ハイ電圧、ハイ電圧と時間変化する波形となる。

【0031】

デジタル信号読出回路11は、最上位ビット(MSB、本例の場合 $B_8$ )が1の場合(図4に示すタイミングチャートの場合)、入力信号 $S_{in}(t)$ と最上位ビットの論理積を演算し、入力信号 $S_{in}(t)$ と同じタイミングでハイ電圧になるリセット電圧 $S_{rsp}(t)$ と、その反転電圧 $S_{stp}(t)$ とを出力する。また、デジタル信号読出回路11は、最上位ビット(MSB、本例の場合 $B_8$ )が0の場合(図5に示すタイミングチャートの場合)、入力信号 $S_{in}(t)$ と反転した最上位ビットの論理積を演算し、入力信号 $S_{in}(t)$ と同じタイミングでロー電圧になるリセット電圧 $S_{rsp}(t)$ と、その反転電圧 $S_{stp}(t)$ とを出力する。

10

【0032】

図3は、本実施形態に係るデジタル-アナログ変換器10のアナログ信号出力回路12の回路図である。アナログ信号出力回路12は、サンプリング信号 $S_{B,1}(t) \sim S_{B,7}(t)$ が出力される度に、複数のビット $B_1 \sim B_7$ のいずれかと、当該ビットに対応するサンプリング信号との論理積に従って、単調に時間変化する電流を遮断又は出力する電流源(第1電流源12a及び第2電流源12b)を備える。

【0033】

第1電流源12aは、最上位ビット(MSB、本例の場合 $B_8$ )が1の場合(図4に示すタイミングチャートの場合)、時間波形 $S_{pin}(t)$ を反転した電圧を、第1トランジスタ $M_1$ 及び第2トランジスタ $M_2$ のゲート電圧として受け付ける。第1トランジスタ $M_1$ は、PMOSトランジスタであってよく、ゲート電圧がロー電圧の場合、すなわち時間波形 $S_{pin}(t)$ がハイ電圧の場合にオンとなり、電源から電流源 $M_2$ のドレイン側に電流が流れる。この電流の値は、 $V_{gp}(t)$ によって変化する。また、第2トランジスタ $M_2$ は、NMOSトランジスタであってよく、ゲート電圧がロー電圧の場合、すなわち時間波形 $S_{pin}(t)$ がハイ電圧の場合にオフとなる。一方、第1トランジスタ $M_1$ は、ゲート電圧がハイ電圧の場合、すなわち時間波形 $S_{pin}(t)$ がロー電圧の場合にオフとなり、第2トランジスタ $M_2$ は、ゲート電圧がハイ電圧の場合、すなわち時間波形 $S_{pin}(t)$ がロー電圧の場合にオンとなり、電流源 $M_2$ のソースを接地電位とする。この時、電流源 $M_2$ のソース電圧はゲート電圧以下であるため、電流源 $M_2$ のソースドレイン間に電流は流れない。

20

30

【0034】

時間波形 $S_{pin}(t)$ が入力される直前に、アナログ信号出力回路12は、リセット電圧 $S_{rsp}(t)$ に従って、第4トランジスタ $M_4$ をオンして、電流源 $M_2$ のゲート電圧 $V_{gp}(t)$ を0Vに近い $V_{rsp}$ にリセットする。この際、反転電圧 $S_{stp}(t)$ がロー電圧にセットされることで、第4トランジスタ $M_4$ 及び第5トランジスタ $M_5$ 間を流れるリーク電流が抑えられる。その後、コンデンサとして動作する第3トランジスタ $M_3$ が充電され、電流源 $M_2$ のゲート電圧 $V_{gp}(t)$ は、単調増加して $V_{DD}$ に近付いていく。ここで、電流源 $M_2$ は、PMOSであってよく、ゲート電圧 $V_{gp}(t)$ が $V_{rsp}$ の場合にソース-ドレイン間に流れる電流が大きくなり、ゲート電圧 $V_{gp}(t)$ が $V_{DD}$ に近づくほどソース-ドレイン間に流れる電流が小さくなる。なお、例えば、 $V_{V_{kp}} = 140\text{mV}$ 、 $V_{DD} = 700\text{mV}$ に設定してよい。

40

【0035】

第1電流源12aは、電流源 $M_2$ のゲート電圧 $V_{gp}(t)$ が $V_{rsp}$ から単調増加して $V_{DD}$ に近付いていく過程で、時間波形 $S_{pin}(t)$ に従って電流源 $M_2$ をオン・オフさせて、単調減少する電流 $I_{out}(t)$ を遮断又は出力する。本例では、第7ビット、第6ビット及び第4ビットに対応する期間で時間波形 $S_{pin}(t)$ がハイ電圧であるため、その期間に流れる電流 $I_{out}(t)$ は単調減少する非零の値となり、第5ビット、第3ビット、第2ビット及び第1ビットに対応する期間で時間波形 $S_{pin}(t)$ がロー電圧であるため、その期間に流れる電流 $I_{out}(t)$ はゼロとなる。

50

## 【 0 0 3 6 】

また、電流  $I_{out}(t)$  によって充電されたコンデンサの電圧  $V_c(t)$  は、電流  $I_{out}(t)$  に応じて上昇し、最終的にデジタル信号 ( $B_8 = 1$ 、 $B_7 = 1$ 、 $B_6 = 1$ 、 $B_5 = 0$ 、 $B_4 = 1$ 、 $B_3 = 0$ 、 $B_2 = 0$ 、 $B_1 = 0$ ) に対応するアナログ信号が得られる。

## 【 0 0 3 7 】

第2電流源12bは、最上位ビット(MSB、本例の場合 $B_8$ )が0の場合(図5に示すタイミングチャートの場合)、時間波形 $S_{in}(t)$ を反転した電圧を、第6トランジスタ $M_6$ 及び第7トランジスタ $M_7$ のゲート電圧として受け付ける。第6トランジスタ $M_6$ は、PMOSTランジスタであってよく、ゲート電圧がロー電圧の場合、すなわち時間波形 $S_{in}(t)$ がハイ電圧の場合にオンとなり、電流源 $M_6$ のソース電圧は、ハイになる。この時、電流源 $M_6$ のゲート電圧は $V_{DD}$ 以下であるため、電流源 $M_6$ のソース・ドレイン間に電流は流れない。また、第7トランジスタ $M_7$ は、NMOSTランジスタであってよく、ゲート電圧がロー電圧の場合、すなわち時間波形 $S_{in}(t)$ がハイ電圧の場合にオフとなる。一方、第6トランジスタ $M_6$ は、ゲート電圧がハイ電圧の場合、すなわち時間波形 $S_{in}(t)$ がロー電圧の場合にオフとなり、第7トランジスタ $M_7$ は、ゲート電圧がハイ電圧の場合、すなわち時間波形 $S_{in}(t)$ がロー電圧の場合にオンとなり、電流源 $M_6$ のソースを接地電位とする。この時、電流源 $M_6$ のドレイン側から接地側にかけて、電流が流れる。この電流の値は、 $V_{gn}(t)$ によって変化する。

10

## 【 0 0 3 8 】

時間波形 $S_{in}(t)$ が入力される直前に、アナログ信号出力回路12は、リセット電圧 $S_{rst}(t)$ に従って、第9トランジスタ $M_9$ をオンして、電流源 $M_9$ のゲート電圧 $V_{gn}(t)$ を $V_{DD}$ に近い $V_{rst}$ にリセットする。この際、反転電圧 $S_{in}(t)$ がハイ電圧にセットされることで、第9トランジスタ $M_9$ 及び第10トランジスタ $M_{10}$ 間を流れるリーク電流が抑えられる。その後、コンデンサとして動作する第8トランジスタ $M_8$ が放電され、電流源 $M_9$ のゲート電圧 $V_{gn}(t)$ は、単調減少して0に近付いていく。ここで、電流源 $M_9$ は、NMOSであってよく、ゲート電圧 $V_{gn}(t)$ が $V_{rst}$ の場合にソース・ドレイン間に流れる電流が大きくなり、ゲート電圧 $V_{gn}(t)$ が0に近づくほどソース・ドレイン間に流れる電流が小さくなる。なお、例えば、 $V_{lkn} = 420\text{ mV}$ に設定してよい。

20

## 【 0 0 3 9 】

第2電流源12bは、電流源 $M_9$ のゲート電圧 $V_{gn}(t)$ が $V_{rst}$ から単調減少して0に近付いていく過程で、時間波形 $S_{in}(t)$ に従って電流源 $M_9$ をオン・オフさせて、非正の値からゼロに向かって単調増加する電流 $I_{out}(t)$ を遮断又は出力する。本例では、第7ビット、第6ビット及び第4ビットに対応する期間で時間波形 $S_{in}(t)$ がロー電圧であるため、その期間に流れる電流 $I_{out}(t)$ は単調増加する非零の値となり、第5ビット、第3ビット、第2ビット及び第1ビットに対応する期間で時間波形 $S_{in}(t)$ がハイ電圧であるため、その期間に流れる電流 $I_{out}(t)$ はゼロとなる。

30

## 【 0 0 4 0 】

また、電流 $I_{out}(t)$ によって放電されたコンデンサの電圧 $V_c(t)$ は、電流 $I_{out}(t)$ に応じて減少し、最終的にデジタル信号 ( $B_8 = 0$ 、 $B_7 = 1$ 、 $B_6 = 1$ 、 $B_5 = 0$ 、 $B_4 = 1$ 、 $B_3 = 0$ 、 $B_2 = 0$ 、 $B_1 = 0$ ) に対応するアナログ信号が得られる。

40

## 【 0 0 4 1 】

このように、本実施形態に係るデジタル・アナログ変換器10によれば、複数のビットの値に応じて電流を遮断又は出力することとして、時間変化する波形によってデジタル信号をアナログ信号に変換することで、複数のビットの数が増えても、電流源の数を増やす必要がなくなり、実装面積がより小さくなり、より高密度で集積可能となる。

## 【 0 0 4 2 】

また、以上説明したように、第1電流源12a及び第2電流源12bは、複数のビットの最上位ビットに基づいて、単調減少する電流を遮断若しくは出力するか又は単調増加する電流を遮断若しくは出力させてよい。これにより、正負両方の範囲のアナログ信号を利用して、デジタル信号をアナログ信号に変換することができる。

50

## 【 0 0 4 3 】

また、電流の時定数は、複数のビットの数に応じて定められていてよい。より具体的には、最下位ビットに対応する時間波形  $S_{in}(t)$ 、 $S_{in}(t)$  の入力が終わるタイミングで電流がゼロとなるような時定数が定められていることが望ましい。これにより、電流の変化幅を効率良く用いてデジタル信号をアナログ信号に変換することができる。

## 【 0 0 4 4 】

図 6 は、本実施形態に係るデジタル - アナログ変換器 10 によるデジタル - アナログ変換の例を示すグラフである。同図では、横軸にデジタル信号のデジタルコード ( 0 ~ 2 5 5 ) を示し、縦軸にアナログ信号である電圧 (  $V_c = 3 5 0$  ) の大きさを  $mV$  の単位で示している。同図では、最上位ビットが 0 である場合と 1 である場合それぞれについて、変換パラメータを 4 種類設定して 8 ビットのデジタル信号をアナログ信号である電圧に変換する例を示している。

10

## 【 0 0 4 5 】

実線で示す第 1 グラフ G 1 は、最上位ビットが 0 であり、リセット電圧を  $V_{res} = 6 5 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。また、丸点線で示す第 2 グラフ G 2 は、最上位ビットが 0 であり、リセット電圧を  $V_{res} = 6 3 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。また、角点線で示す第 3 グラフ G 3 は、最上位ビットが 0 であり、リセット電圧を  $V_{res} = 6 1 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。また、破線で示す第 4 グラフ G 4 は、最上位ビットが 0 であり、リセット電圧を  $V_{res} = 5 9 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。

20

## 【 0 0 4 6 】

さらに、一点鎖線で示す第 5 グラフ G 5 は、最上位ビットが 1 であり、リセット電圧を  $V_{res} = 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。また、長破線で示す第 6 グラフ G 6 は、最上位ビットが 1 であり、リセット電圧を  $V_{res} = 2 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。また、長鎖線で示す第 7 グラフ G 7 は、最上位ビットが 1 であり、リセット電圧を  $V_{res} = 4 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。また、二点鎖線で示す第 8 グラフ G 8 は、最上位ビットが 1 であり、リセット電圧を  $V_{res} = 6 0 mV$  とした場合におけるデジタル - アナログ変換の例を示す。

30

## 【 0 0 4 7 】

このように、リセット電圧  $V_{res}$ 、 $V_{res}$  を調整することで、電流  $I_{out}(t)$  の最大値又は最小値が調整され、電圧  $V_c(t)$  の最大値又は最小値が調整される。電流の最大値又は最小値が可変であることで、デジタル信号に対応するアナログ信号の範囲を調整可能とすることができる。

## 【 0 0 4 8 】

図 7 は、本実施形態に係る人工ニューロン回路 20 の概要を示す図である。本例では、人工ニューロン回路 20 は、第 1 デジタル - アナログ変換器 10 a、第 2 デジタル - アナログ変換器 10 b 及び第 3 デジタル - アナログ変換器 10 c から出力された電流の総和  $\sum_{i=1}^3 I_{DAC,i}(t)$  を受け付けて、発火信号  $S_{out}(t)$  を出力する。第 1 デジタル - アナログ変換器 10 a、第 2 デジタル - アナログ変換器 10 b、第 3 デジタル - アナログ変換器 10 c 及び人工ニューロン回路 20 は、3 つの人工ニューロンから発火信号の入力を受け付けて、1 つの発火信号を出力する人工ニューロン 100 として動作する。

40

## 【 0 0 4 9 】

第 1 デジタル - アナログ変換器 10 a は、第 1 人工ニューロン ( 図示せず ) の発火信号を表す第 1 入力信号  $S_{in,1}(t)$  の入力を受け付けた場合に、第 1 人工ニューロンと人工ニューロン 100 の結合係数を表す 8 つのビット (  $B_{i,j}$  ) の値に応じたアナログ信号である電流  $I_{DAC,1}(t)$  を出力する。また、第 2 デジタル - アナログ変換器 10 b は、第 2 人工ニューロン ( 図示せず ) の発火信号を表す第 2 入力信号  $S_{in,2}(t)$  の入力を受け付けた場合に、第 2 人工ニューロンと人工ニューロン 100 の結合係数を表す 8 つのビッ

50

ト ( $B_{i,2}$ ) の値に応じたアナログ信号である電流  $I_{DAC,2}(t)$  を出力する。また、第3デジタル - アナログ変換器 10c は、第3人工ニューロン (図示せず) の発火信号を表す第3入力信号  $S_{in,3}(t)$  の入力を受け付けた場合に、第3人工ニューロンと人工ニューロン 100 の結合係数を表す8つのビット ( $B_{i,3}$ ) の値に応じたアナログ信号である電流  $I_{DAC,3}(t)$  を出力する。

#### 【0050】

図8は、本実施形態に係る人工ニューロン回路20の回路図である。人工ニューロン回路20は、第1デジタル - アナログ変換器 10a、第2デジタル - アナログ変換器 10b 及び第3デジタル - アナログ変換器 10c から出力される電流  $I_{DAC,i}(t)$  により充電又は放電されるコンデンサ  $M_{vx}$  を備える。本例では、コンデンサ  $M_{vx}$  はトランジスタで構成される。電流  $I_{DAC,i}(t)$  がゼロの場合、コンデンサ  $M_{vx}$  の電圧  $V_c(t)$  は、トランジスタ  $M_{ik}$  のソース - ドレイン間を流れる電流により放電されて  $V_{xrst}$  まで減衰する。

10

#### 【0051】

また、人工ニューロン回路20は、コンデンサ  $M_{vx}$  の電圧  $V_c(t)$  に基づいて、発火信号  $S_{out}(t)$  の出力を制御する出力回路21と、発火信号  $S_{out}(t)$  を出力した場合にコンデンサ  $M_{vx}$  の電圧  $V_c(t)$  をリセットするリセット回路22とを備える。出力回路21は、電圧  $V_c(t)$  がロー電圧 (発火しきい値より低い電圧) の場合、発火信号  $S_{out}(t)$  としてロー電圧を出力する。一方、出力回路21は、電圧  $V_c(t)$  がハイ電圧 (発火しきい値より高い電圧) の場合、発火信号  $S_{out}(t)$  としてハイ電圧を出力する。

20

#### 【0052】

リセット回路22は、出力回路21により発火信号  $S_{out}(t)$  としてハイ電圧が出力されると、スイッチをオンして、コンデンサ  $M_{vx}$  の電圧  $V_c(t)$  を  $V_{xrst}$  にリセットする。

#### 【0053】

図9は、本実施形態に係る人工ニューロン回路20による発火信号  $S_{out}(t)$  の生成を示すタイミングチャートである。同図では、第1入力信号  $S_{in,1}(t)$ 、第2入力信号  $S_{in,2}(t)$ 、第3入力信号  $S_{in,3}(t)$ 、コンデンサ  $M_{vx}$  の電圧  $V_c(t)$  及び発火信号  $S_{out}(t)$  を示している。本例では、第1入力信号  $S_{in,1}(t)$  が入力されて、第1人工ニューロンと人工ニューロン 100 の結合係数を表す8つのビット ( $B_{i,1}$ ) の値に応じた電流  $I_{DAC,1}(t)$  によってコンデンサ  $M_{vx}$  が充電され、電圧  $V_c(t)$  がアルファ関数状に時間変化する様子を示している。一度目の第1入力信号  $S_{in,1}(t)$  が入力された場合、電圧  $V_c(t)$  は発火しきい値に到達せず、その後  $V_{xrst}$  まで減衰している。

30

#### 【0054】

二度目の第1入力信号  $S_{in,1}(t)$  が入力された場合、電圧  $V_c(t)$  が減衰して小さくなる前に第2入力信号  $S_{in,2}(t)$  が入力されて、電流の総和が大きくなり、電圧  $V_c(t)$  が発火しきい値を超え、発火信号  $S_{out}(t)$  が出力されている。この際、電圧  $V_c(t)$  は、リセット回路22によって  $V_{xrst}$  にリセットされている。

#### 【0055】

その後、第3入力信号  $S_{in,3}(t)$ 、第2入力信号  $S_{in,2}(t)$  の順に入力があり、電圧  $V_c(t)$  が減衰して小さくなる前に第2入力信号  $S_{in,2}(t)$  が入力されて、電流の総和が大きくなり、電圧  $V_c(t)$  が発火しきい値を超え、発火信号  $S_{out}(t)$  が出力されている。この際、電圧  $V_c(t)$  は、リセット回路22によって  $V_{xrst}$  にリセットされた後、第1入力信号  $S_{in,1}(t)$  の入力によって再び上昇し、発火しきい値に到達せずに  $V_{xrst}$  まで減衰している。

40

#### 【0056】

このように、本実施形態に係る人工ニューロン回路20によれば、入力信号と重み係数の積和演算をアナログ信号で行うことで、比較的少ない電力でニューロンの出力を演算することができる。

50

【 0 0 5 7 】

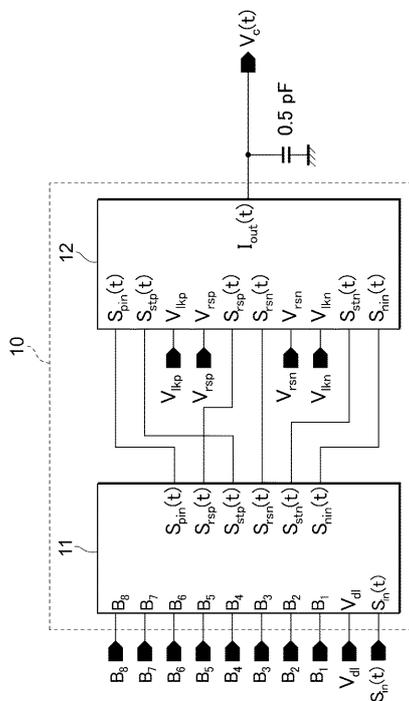
以上説明した実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。実施形態が備える各要素並びにその配置、材料、条件、形状及びサイズ等は、例示したものに限定されるわけではなく適宜変更することができる。また、異なる実施形態で示した構成同士を部分的に置換し又は組み合わせることが可能である。

【 符号の説明 】

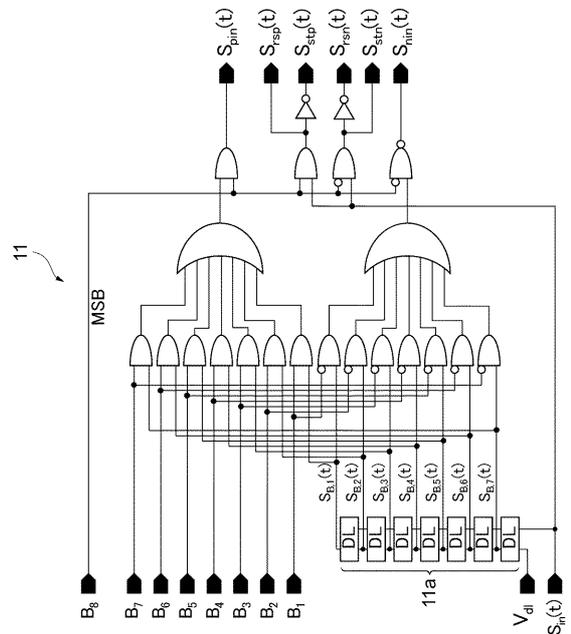
【 0 0 5 8 】

10 デジタル - アナログ変換器、 10 a 第1デジタル - アナログ変換器、 10 b 第2デジタル - アナログ変換器、 10 c 第3デジタル - アナログ変換器、 11 デジタル信号読出回路、 11 a サンプリング回路、 12 アナログ信号出力回路、 12 a 第1電流源、 12 b 第2電流源、 20 人工ニューロン回路、 21 出力回路、 22 リセット回路

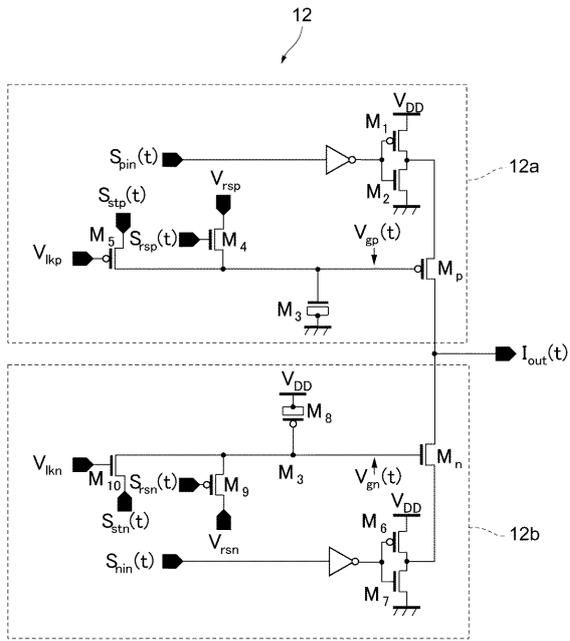
【 図 1 】



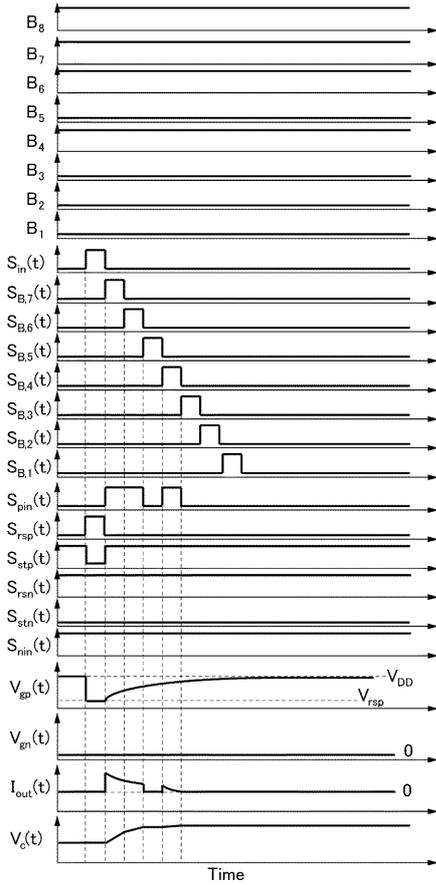
【 図 2 】



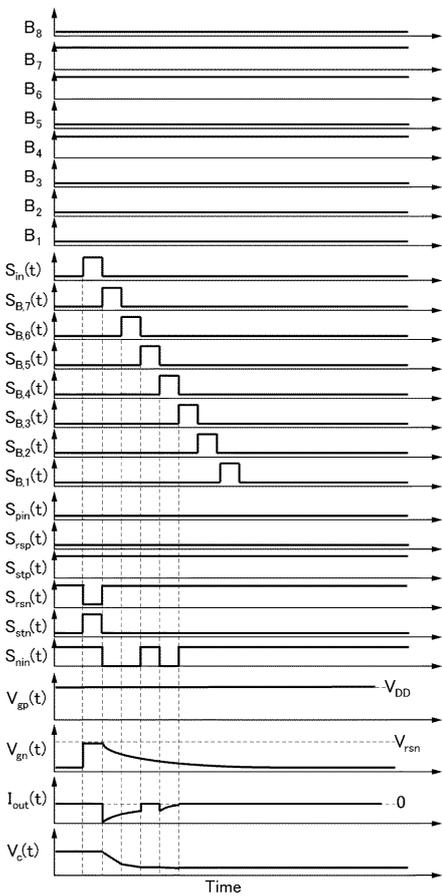
【 図 3 】



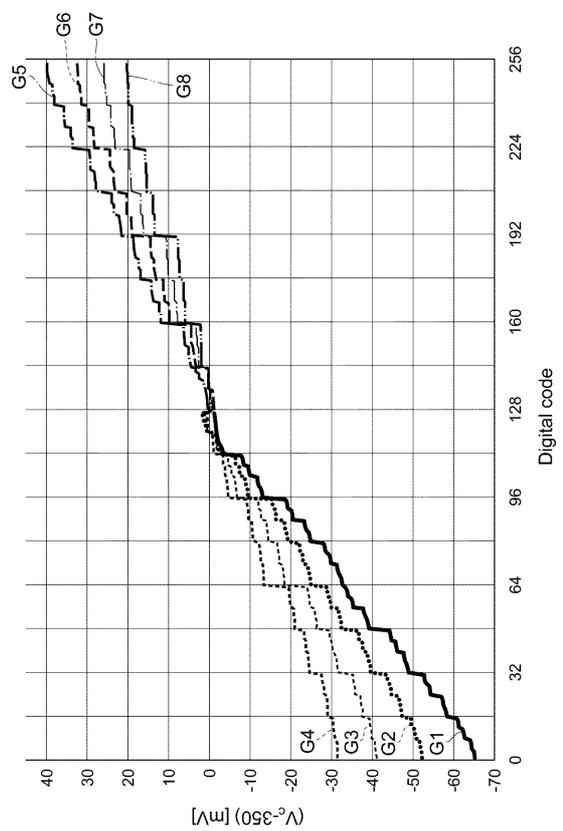
【 図 4 】



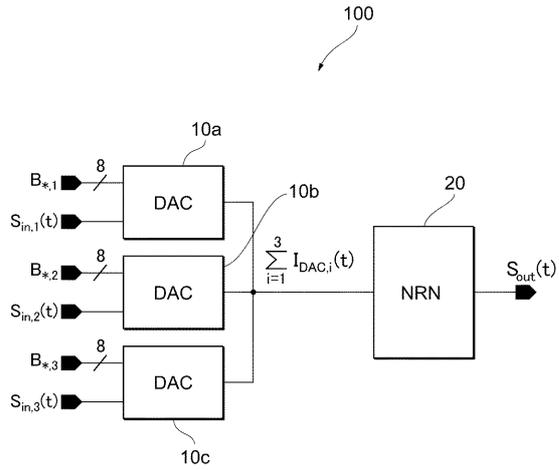
【 図 5 】



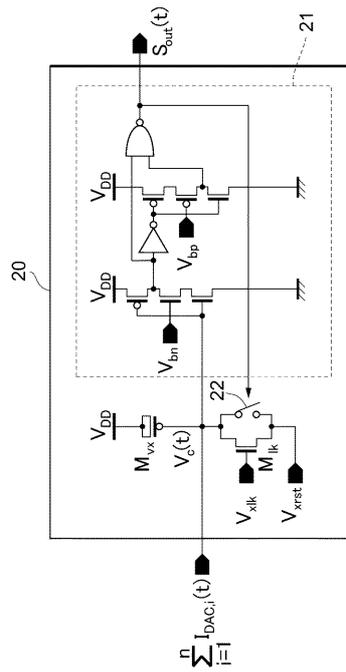
【 図 6 】



【図7】



【図8】



【図9】

