

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-80480
(P2020-80480A)

(43) 公開日 令和2年5月28日(2020.5.28)

(51) Int. Cl.

H03M 3/02 (2006.01)

F I

H03M 3/02

テーマコード(参考)

5J064

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2018-213000 (P2018-213000)
(22) 出願日 平成30年11月13日(2018.11.13)

(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 110000567
特許業務法人 サトー国際特許事務所
(72) 発明者 中村 邦彦
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 根塚 智裕
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
Fターム(参考) 5J064 AA01 BA03 BC06 BC13 BC15

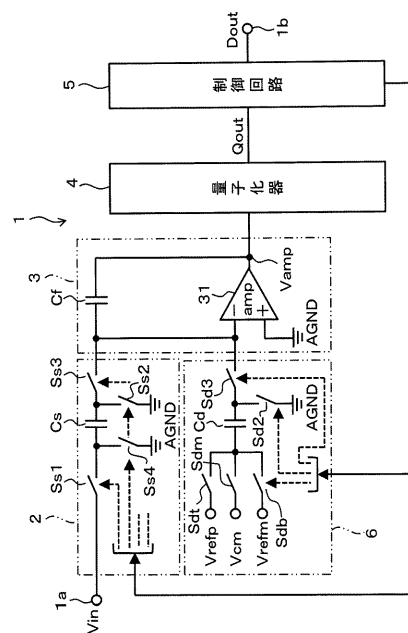
(54) 【発明の名称】 $\Delta \Sigma$ 変調器、 $\Delta \Sigma$ 変調型A/D変換器およびインクリメンタル $\Delta \Sigma$ 変調型A/D変換器

(57) 【要約】

【課題】 ホールド期間でフィードバックファクタの低下に起因した精度劣化が発生するのを回避することができるようにした 変調器を提供する。

【解決手段】 変調器 1 は、サンプリング容量 C_s を有する入力回路 2、積分回路 3、量子化器 4 および D/A 変換器 6 を備えている。入力回路 2 は、アナログ入力電圧 V_{in} をサンプリング期間でサンプリング容量 C_s に取り込み、ホールド期間で積分回路 3 に電荷を転送する。D/A 変換器 6 は、量子化器 4 のデジタル出力に基づいてサンプリング期間で選択スイッチ S_{dt} 、 S_{dm} 、 S_{db} が接続されたアナログ電位を D/A 容量 C_d に取り込み、ホールド期間で積分回路 3 から電荷を減算する。このとき、入力回路 2 および D/A 変換器 6 は、互いにホールド期間が重複しないように設定されるので、フィードバックファクタの低下に基づく誤差が抑制される。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

アナログ入力電圧に対応した電荷をサンプリング期間でサンプリング容量 (C_s) に蓄積し、ホールド期間で電荷を転送する入力回路 (2) と、

量子化結果に応じて複数のアナログ電位のうちから何れかに対応した電荷量をサンプリング期間で DAC 容量 (C_d) に蓄積し、ホールド期間で転送する D/A 変換器 (6) と

、前記入力回路で蓄積された電荷および前記 D/A 変換器で蓄積された電荷を積分する積分回路 (3) と、

前記積分回路の出力を量子化演算する量子化器 (4) と、

10

前記量子化器の量子化結果に基づいて、前記入力回路および前記 D/A 変換器によるサンプリング期間およびホールド期間の制御を行う制御回路 (5) とを備え、

前記制御回路は、前記入力回路のホールド期間と前記 D/A 変換器のホールド期間とが互いに重複しない条件で動作するように制御する 変調器。

【請求項 2】

前記制御回路は、前記入力回路のサンプリング期間に前記 D/A 変換器によるサンプリングおよびこれに続くホールド動作を実施し、前記入力回路のホールド期間では前記 D/A 変換器は待機動作を実施する請求項 1 に記載の 変調器。

【請求項 3】

前記制御回路は、前記入力回路のサンプリング期間に前記 D/A 変換器によるサンプリングおよびこれに続くホールド動作を複数回実施する請求項 2 に記載の 変調器。

20

【請求項 4】

前記制御回路は、前記入力回路のホールド期間を前記 D/A 変換器のサンプリング期間と重複するように延長し、前記入力回路のサンプリング期間は前記 D/A 変換器のホールド期間から開始させるように設定する請求項 3 に記載の 変調器。

【請求項 5】

前記制御回路は、前記入力回路のホールド期間および前記 D/A 変換器の待機期間を、前記 D/A 変換器のサンプリング期間またはホールド期間の複数回分に設定する請求項 2 または 3 に記載の 変調器。

30

【請求項 6】

前記制御回路は、前記入力回路のサンプリング期間およびホールド期間からなる 1 サイクルを、前記 D/A 変換器のサンプリング期間またはホールド期間を最小制御期間とした場合にその最小制御期間の偶数倍の期間となるように設定する請求項 1 から 5 のいずれか一項に記載の 変調器。

【請求項 7】

請求項 1 から 6 のいずれか一項に記載の 変調器を備える 変調型 A/D 変換器。

【請求項 8】

請求項 1 から 6 のいずれか一項に記載の 変調器を備えるインクリメンタル 変調型 A/D 変換器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A/D 変換に用いられる 変調器、 変調型 A/D 変換器およびインクリメンタル 変調型 A/D 変換器に関する。

【背景技術】

【0002】

変調型 A/D 変換器においては、アナログ入力電圧をサンプリング容量 C_s によりサンプリングして、充電されたサンプリング容量 C_s の電荷をアンプの入出力端子間に接続されている積分容量 C_f に転送する。一方、アンプの出力電圧を量子化した結果により

50

D/A変換器でアナログ電圧を出力する部分にはDAC容量 C_d が設けられている。

【0003】

このDAC容量 C_d によるアナログ電圧を生成して、生成した電圧に応じた電荷を積分容量 C_f に蓄積された電荷から減算する。このような処理を繰り返すことで、量子化を繰り返してデジタル出力を得るようにしている。

【0004】

この場合、従来では、サンプリング容量 C_s に蓄積された入力電圧に対応した電荷量を積分容量 C_f に転送するサンプリング容量 C_s のホールド期間とDAC容量 C_d に蓄積された量子化結果に対応した電荷量を積分容量 C_f から減算するDAC容量 C_d のホールド期間とが同じ期間になる。この結果、サンプリング容量 C_s とDAC容量 C_d と積分容量 C_f とが同時に接続されるため、フィードバックファクタが低下し、アンプゲインが低下するため、演算精度が劣化する問題があった。

10

【0005】

また、通常、A/D変換器の変換対象である入力信号は、A/D変換器の前段に設けられたドライバ回路を介してA/D変換器に入力される。変調型A/D変換器では、変換対象である入力信号のサンプリングを高速に繰り返すオーバーサンプリングを用いるため、高速なドライバ回路が必要となる。

【先行技術文献】

【特許文献】

【0006】

20

【特許文献1】特開2014-146893号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は、上記事情を考慮してなされたもので、その目的は、ホールド期間でフィードバックファクタが低下することによる精度劣化が発生するのを回避することができるようにした変調器およびその変調器を用いる変調型A/D変換器およびインクリメンタル変調型A/D変換器を提供することにある。

【課題を解決するための手段】

【0008】

30

請求項1に記載の変調器は、アナログ入力電圧に対応した電荷をサンプリング期間でサンプリング容量に蓄積し、ホールド期間で電荷を転送する入力回路と、量子化結果に応じて複数のアナログ電位のうちから何れかに対応した電荷量をサンプリング期間でDAC容量(C_d)に蓄積し、ホールド期間で転送するD/A変換器と、前記入力回路で蓄積された電荷および前記D/A変換器で蓄積された電荷を積分する積分回路と、前記積分回路の出力を量子化演算する量子化器と、前記量子化器の量子化結果に基づいて、前記入力回路および前記D/A変換器によるサンプリング期間およびホールド期間の制御を行う制御回路とを備え、前記制御回路は、前記入力回路のホールド期間と前記D/A変換器のホールド期間とが互いに重複しない条件で動作するように制御する。

【0009】

40

上記構成を採用することにより、入力回路によりアナログ入力電圧に対応した電荷をサンプリング期間でサンプリング容量に蓄積した後にホールド期間で積分回路に転送する状態では、D/A変換器はホールド期間を実施することがない。また同様に、D/A変換器によりDAC容量に取り込んだ量子化結果に対応したアナログ電位に対応した電荷をホールド期間で積分回路から減算する状態では、入力回路はホールド期間を実施することがない。これにより、ホールド期間においてサンプリング容量とDAC容量とが直接電氣的に接続された状態が回避されるようになり、フィードバックファクタ低下による精度劣化が発生するのを回避することができる。

【0010】

この場合、ホールド期間が重なっているときのホールド期間のフィードバックファクタ

50

は、積分容量 C_f 、DAC 容量 C_d 、サンプリング容量 C_s で示すと、次式 (1) のようになる。また、ホールド期間が重なっていないときには、サンプリング容量 C_s のホールド期間のフィードバックファクタは次式 (2) のようになり、DAC 容量 C_d のホールド期間のフィードバックファクタは次式 (3) のようになる。この結果、ホールド期間が重なっていないときのほうがフィードバックファクタを大きくすることができ、フィードバックファクタに比例するアンプのゲインも大きくすることができる。

$$C_f / (C_f + C_d + C_s) \quad \dots (1)$$

$$C_f / (C_f + C_s) \quad \dots (2)$$

$$C_f / (C_f + C_d) \quad \dots (3)$$

【図面の簡単な説明】

10

【0011】

【図1】第1実施形態を示す電氣的構成図

【図2】タイムチャート

【図3】第2実施形態を示すタイムチャート

【図4】第3実施形態を示すタイムチャート

【図5】第4実施形態を示すタイムチャート

【図6】第5実施形態を示すタイムチャート

【図7】第6実施形態を示す電氣的構成図

【図8】第7実施形態を示す電氣的構成図

【発明を実施するための形態】

20

【0012】

(第1実施形態)

以下、本発明を第1実施形態について、図1および図2を参照して説明する。

図1において、変調器1はアナログ入力電圧 V_{in} の入力端子1aおよびデジタル信号出力 D_{out} の出力端子1bを備えている。変調器1は、入力回路2、積分回路3、量子化器4、制御回路5およびD/A変換器6を備えている。

【0013】

入力回路2は、サンプリング容量 C_s 、4つのスイッチ $S_{s1} \sim S_{s4}$ を備えている。入力端子1aは、スイッチ S_{s1} 、サンプリング容量 C_s およびスイッチ S_{s3} を直列に介して積分回路3に接続される。サンプリング容量 C_s の入出力側はそれぞれスイッチ S_{s4} 、 S_{s2} を介してアナロググランド $AGND$ (以下単に $AGND$ とする) に接続される。4つのスイッチ $S_{s1} \sim S_{s4}$ は、制御回路5によりオンオフの動作制御がなされる。

30

【0014】

この場合、制御回路5は、サンプル動作およびホールド動作を実施する。制御回路5は、サンプル動作では、スイッチ S_{s1} 、 S_{s2} をオン、スイッチ S_{s3} 、 S_{s4} をオフさせ、ホールド動作では、スイッチ S_{s1} 、 S_{s2} をオフ、スイッチ S_{s3} 、 S_{s4} をオンさせる。

【0015】

積分回路3は、アンプ31および積分容量 C_f を備えている。アンプ31の非反転入力端子は入力回路2のスイッチ S_{s3} に接続されると共に、積分容量 C_f を介して出力端子に接続される。アンプ31の反転入力端子は $AGND$ に接続される。

40

【0016】

量子化器4は、内部にコンパレータを備える。量子化器4は、積分回路3のアンプ31から出力されるアナログ出力 V_{amp} が入力され、アナログ出力 V_{amp} を閾値電圧と比較して判定結果すなわち量子化結果 Q_{out} を制御回路5に出力する。制御回路5は量子化結果 Q_{out} に対応した制御信号を後述するD/A変換器6に出力するとともに、量子化結果 Q_{out} を積分した結果に応じて変調結果 D_{out} を出力する。

【0017】

D/A変換器6は、DAC容量 C_d 、5個のスイッチ S_{dt} 、 S_{dm} 、 S_{db} 、 S_{d2}

50

、 S_{d3} を備える。

【0018】

また、D/A変換器6は、参照電位として3つのアナログ電位 V_{refp} 、 V_{refm} 、 V_{cm} を有している。通常、 V_{cm} はAGNDに設定され、 V_{refp} はAGNDよりも高い電位に設定され、 V_{refm} はAGNDよりも低い電位に設定される。なお、 V_{refp} と V_{refm} は、AGNDが0Vの場合には、互いに絶対値が同一で正負が逆の関係にあり、 $V_{refp} = -V_{refm}$ を満たすように設定される。スイッチ S_{dt} 、 S_{dm} 、 S_{db} は選択スイッチとして機能するもので、それぞれ V_{refp} 、 V_{cm} 、 V_{refm} をDAC容量 C_d の入力側に接続する。

【0019】

DAC容量 C_d の出力側は、スイッチ S_{d2} を介してAGNDに接続されると共に、スイッチ S_{d3} を介してアンプ31の反転入力端子に接続される。5個のスイッチ S_{dt} 、 S_{dm} 、 S_{db} 、 S_{d2} 、 S_{d3} は、制御回路5によりオンオフの動作制御がなされる。

【0020】

この場合、制御回路5は、量子化器4から出力される量子化結果に対応した制御信号に基づいて、サンプル動作およびホールド動作を実施する。制御回路5は、サンプル動作では、スイッチ S_{d2} をオンさせると共に選択スイッチ S_{dt} 、 S_{dm} 、 S_{db} のうちのいずれかをオンさせる。また、制御回路5は、ホールド動作では、スイッチ S_{d2} をオフさせてスイッチ S_{d3} をオンさせると共に選択スイッチ S_{dt} 、 S_{dm} 、 S_{db} のうちのいずれかをオンさせる。

【0021】

次に、上記構成の作用について、図2も参照して説明する。図2(1)、(2)は、サンプリング容量 C_s 、DAC容量 C_d の動作状態の期間として、サンプリング(sampling)期間 S およびホールド(hold)期間 H を示している。図2(3)~(6)は各種スイッチのオンオフ状態を示している。図2(7)は量子化クロック QCK の状態を示し、図2(8)はA/D変換のクロック MCK の状態を示している。

【0022】

なお、量子化クロック QCK は、ハイレベルに立ち上がるタイミングで、量子化器4が量子化処理を実行して量子化結果 Q_{out} を出力する。また、A/D変換のクロック MCK は、サンプリング期間やホールド期間の最小制御期間を設定するもので、1サイクル毎の立ち上がりタイミングで時刻 t_0 、 t_1 、・・・とタイミング設定を行う。

【0023】

A/D変換処理の基本内容としては、図2(1)に示しているように、入力端子1aに入力されるアナログ入力電圧 V_{in} をサンプリング期間 $S(t_0 - t_1)$ でサンプリング容量 C_s に取り込むサンプリング動作を実施し、ホールド期間 $H(t_1 - t_2)$ でサンプリング容量 C_s に蓄積された入力信号 V_{in} に基づく電荷を、積分容量 C_f に転送するホールド動作を実施する。そして、入力回路2においては、サンプリング動作とホールド動作とを交互に実施する。

【0024】

このとき、制御回路5は、上記したサンプリング容量 C_s に対するサンプリング動作を実施する場合には、図2(3)、(4)に示すように、時刻 t_0 でスイッチ S_{s1} および S_{s2} をオン状態とし、スイッチ S_{s3} および S_{s4} をオフ状態とする。これにより、サンプリング容量 C_s の入力側は入力端子1aに接続され、出力側はAGNDに接続された状態となり、アナログ入力電圧 V_{in} によってサンプリング容量 C_s が充電される。

【0025】

また、制御回路5は、ホールド動作を実施する場合には、時刻 t_1 でスイッチ S_{s3} および S_{s4} をオン状態とし、スイッチ S_{s1} および S_{s2} をオフ状態とする。これにより、サンプリング容量 C_s の入力側はAGNDに接続され、出力側は積分回路3のアンプ31の非反転入力端子に接続される。サンプリング容量 C_s の端子電圧がアンプ31に入力される状態となる。

10

20

30

40

50

【 0 0 2 6 】

一方、DAC容量 C_d に対して、制御回路5は、図2(2)に示すように、サンプリング動作およびホールド動作を交互に実施する。このとき、制御回路5は、サンプリング期間 S におけるサンプリング動作では、図2(5)、(6)に示すように、時刻 t_1 でスイッチ S_{d2} をオンさせ、スイッチ S_{d3} はオフ状態に保持する。

【 0 0 2 7 】

同時に、制御回路5は、選択スイッチ S_{dt} 、 S_{dm} 、 S_{db} のうちのいずれかをオンさせる。これにより、DAC容量 C_d の入力側は、 V_{refp} 、 V_{refm} 、 V_{cm} のいずれかに接続され、出力側はAGNDに接続された状態となり、接続された電位によってDAC容量 C_d が充電される。

10

【 0 0 2 8 】

また、制御回路5は、ホールド期間 H におけるホールド動作では、図2(5)、(6)に示すように、時刻 t_2 でスイッチ S_{d2} をオフさせ、スイッチ S_{d3} をオンさせる。同時に、制御回路5は、選択スイッチ S_{dt} 、 S_{dm} 、 S_{db} のうちのいずれかをオンさせる。これにより、DAC容量 C_d の入力側は、 V_{refp} 、 V_{refm} 、 V_{cm} のいずれかに接続された状態で、出力側は積分回路3のアンプ31の非反転入力端子に接続された状態となる。DAC容量 C_d の端子電圧がアンプ31に入力される状態となる。

【 0 0 2 9 】

このとき、D/A変換器6では、サンプリング期間 S およびホールド期間 H のそれぞれにおいて、選択スイッチ S_{dt} 、 S_{dm} 、 S_{db} により選択する3つの電位である V_{refp} 、 V_{refm} 、 V_{cm} を組み合わせることによって、アンプ31の非反転入力端子に複数レベルのアナログ電位を出力することができるようになる。

20

【 0 0 3 0 】

そして、この実施形態においては、従来において発生した課題を解決するために、制御回路5により、入力回路2におけるホールド期間 H と、D/A変換器6におけるホールド期間 H とが時間的に重複しないように制御している。

【 0 0 3 1 】

図2(1)、(8)に示すように、サンプリング容量 C_s に対するサンプリング期間 S およびホールド期間 H は、それぞれクロックMCKの1サイクル毎に対応している。また、図2(2)、(8)に示すように、DAC容量 C_d に対するサンプリング期間 S およびホールド期間 H は、それぞれクロックMCKの1サイクルの期間に対応している。

30

【 0 0 3 2 】

また、量子化クロックQCKは、時刻 t_0 および t_2 で立ち上がるパルスを出力している。これにより、 t_0 および t_2 において量子化器4により量子化処理が実施され、量子化データを出力する。

【 0 0 3 3 】

上記のように、制御回路5により、それぞれのホールド期間 H の制御が実施されるので、積分回路3のアンプ31の非反転入力端子に対して、入力回路2とD/A変換器6との両者から同時に入力する状態が回避される状態となる。これによって、サンプリング容量 C_s とDAC容量 C_d とが同時にアンプ31の非反転入力端子に電氣的に接続される状態が無くなる。

40

【 0 0 3 4 】

このような第1実施形態によれば、入力回路2およびD/A変換器6におけるホールド期間 H の制御について、制御回路5により、両者のホールド期間 H が互いに時間的に重複しないように調整する構成としたので、フィードバックファクタの低下による精度劣化が発生するのを回避することができる。

【 0 0 3 5 】

なお、上記実施形態において、D/A変換器6のスイッチ S_{s1} とスイッチ S_{s2} とは、互いに同じ位相で同期してオンオフ動作するが、オンとオフのタイミングは完全に同じ位相ではなく適宜時間差を設けてもよい。スイッチ S_{s3} とスイッチ S_{s4} のオンとオフ

50

のタイミングについても同様である。

【 0 0 3 6 】

また、スイッチ S_{s1} およびスイッチ S_{s2} と、スイッチ S_{s3} およびスイッチ S_{s4} とは、オンとオフが反転した状態で動作するが、それらのスイッチのオンとオフの切り替わりの過程において、例えば、サンプリング容量 C_s の同じ一端に接続されるスイッチ S_{s1} およびスイッチ S_{s4} 、もしくは、スイッチ S_{s2} およびスイッチ S_{s3} が、同時にオフ状態になる期間を設けてもよい。また、スイッチ S_{d2} とスイッチ S_{d3} についても同様にオンとオフが反転した状態で動作するが、それらのスイッチのオンとオフの切り替わりの過程において同時にオフ状態になる期間を設けてもよい。

【 0 0 3 7 】

(第2実施形態)

図3は、第2実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、入力回路2およびD/A変換器6におけるホールド期間Hが時間的に重複しないように調整するために、制御回路5によるサンプリング期間Sおよびホールド期間Hに加えて、サンプリング動作もホールド動作も行わない待機 (wait) 期間Wを設けることで異なる制御を実施している。

【 0 0 3 8 】

この実施形態では、第1実施形態でクロックMCKの2サイクル分で、入力回路2およびD/A変換器6におけるサンプリング動作およびホールド動作を実行する制御をしていたのに対して、クロックMCKを3サイクル分で1回の動作を実施するように設定されている。

【 0 0 3 9 】

図3(1)、(8)に示すように、サンプリング容量 C_s に対するサンプリング期間S ($t_0 - t_2$) は、クロックMCKの2サイクル分の期間に対応している。また、ホールド期間H ($t_2 - t_3$) は、それぞれクロックMCKの1サイクル分の期間に対応している。

【 0 0 4 0 】

また、図3(2)、(8)に示すように、DAC容量 C_d に対するサンプリング期間S ($t_0 - t_1$)、ホールド期間H ($t_1 - t_2$) および待機期間W ($t_2 - t_3$) は、この順序で、それぞれクロックMCKの1サイクル分の期間に対応している。

【 0 0 4 1 】

この場合、制御回路5は、ホールド期間Hに続く待機期間W ($t_2 - t_3$) においては、選択スイッチ S_{dt} 、 S_{db} をオフ、 S_{dm} をオン状態にする。スイッチ S_{d2} および S_{d3} は、サンプリング動作と同様に、スイッチ S_{d2} をオンし、スイッチ S_{d3} をオフ動作させる。これによって、DAC容量 C_d は、入出力両側がAGNDに接続され、電荷をリセットした状態となる。

【 0 0 4 2 】

また、このとき、量子化クロックQCKは、各サイクルの開始時点つまり時刻 t_0 、 t_3 でハイレベルのパルスが出力されている。したがって、時刻 t_0 および t_3 のそれぞれにおいて、量子化器4により量子化処理が実行され量子化データが出力される。

【 0 0 4 3 】

このように、第2実施形態においては、入力回路2におけるサンプリング期間Sを第1実施形態で設定した期間の2倍の期間に設定し、この期間中にD/A変換器6でのサンプリング期間Sおよびホールド期間Hを設定している。そして、入力回路2のホールド期間Hでは、D/A変換器6は待機期間Wとなるように設定している。

【 0 0 4 4 】

したがって、このような第2実施形態においても、第1実施形態と同様の効果を得ることができると共に、入力回路2においては十分なサンプリング時間を確保することができるので、前段ドライバ回路に対する要求仕様を緩和することができるようになる。

【 0 0 4 5 】

10

20

30

40

50

(第3実施形態)

図4は第3実施形態を示すもので、以下、第2実施形態と異なる部分について説明する。この実施形態では、入力回路2におけるサンプリング期間 $S(t_0 - t_4)$ を第2実施形態でクロック MCK による2サイクル分としていたのに対して、4サイクル分の長さに設定している。

【0046】

図4(1)、(8)に示すように、サンプリング容量 C_s に対するサンプリング期間 $S(t_0 - t_4)$ は、クロック MCK の4サイクル分の期間に対応している。また、ホールド期間 $H(t_4 - t_5)$ は、それぞれクロック MCK の1サイクル分の期間に対応している。

10

【0047】

また、図4(2)、(8)に示すように、入力回路2のサンプリング期間 $S(t_0 - t_4)$ に対応して、 D/A 変換器6では、 DAC 容量 C_d に対するサンプリング期間 $S(t_0 - t_1, t_2 - t_3)$ 、ホールド期間 $H(t_1 - t_2, t_3 - t_4)$ を2回繰り返して実施している。そして、入力回路2のホールド期間 $H(t_4 - t_5)$ に対応して、待機期間 $W(t_4 - t_5)$ を実施している。

【0048】

この場合、 D/A 変換器6の制御回路5は、ホールド期間 H に続く待機期間 $W(t_4 - t_5)$ においては、選択スイッチ S_{dt} 、 S_{db} をオフ、 S_{dm} をオン状態とする。スイッチ S_{d2} および S_{d3} は、サンプリング動作と同様に、スイッチ S_{d2} をオンし、スイッチ S_{d3} をオフ動作させる。これによって、 DAC 容量 C_d は、入出力両側が $AGND$ に接続され、電荷はリセットされた状態となる。

20

【0049】

また、このとき、量子化クロック QCK は、入力回路2のサンプリング期間 S の開始時点つまり時刻 t_0 と期間中の時刻 t_2 でハイレベルのパルスが出力されている。したがって、時刻 t_0 および t_2 のそれぞれにおいて、量子化器4により量子化処理が実行され量子化データが出力される。

【0050】

このように、第3実施形態においては、入力回路2におけるサンプリング期間 S を第2実施形態で設定した期間の2倍の期間に設定し、この期間中に D/A 変換器6でのサンプリング期間 S およびホールド期間 H を繰り返し2回設定している。そして、入力回路2のホールド期間 H では、 D/A 変換器6は待機期間 W となるように設定している。

30

【0051】

したがって、このような第3実施形態においても、第2実施形態と同様の効果を得ることができると共に、1回のサンプリングに対し、 D/A 変換器6で複数のフィードバックが実行できるため、ドライバの動作速度が比較的低速であっても、量子化結果のフィードバックを高速に維持し、変調器1の分解能を高めることができる。

【0052】

(第4実施形態)

図5は第4実施形態を示すもので、以下、第3実施形態と異なる部分について説明する。この実施形態では、入力回路2におけるサンプリング期間 S を第3実施形態で4サイクルのクロック MCK 分としていたのに対して、サンプリング期間 S 初期のクロック MCK 1サイクル分の期間 $(t_0 - t_1)$ において、前サイクルでのホールド期間 H を延長させた設定としている。

40

【0053】

図5(1)、(8)に示すように、サンプリング期間 $S(t_1 - t_4)$ に先立って、ホールド期間 $H(t_0 - t_1)$ が設定されている。このホールド期間 H は、前サイクルから続くものである。サンプリング容量 C_s に対するサンプリング期間 $S(t_1 - t_4)$ はクロック MCK の3サイクル分の期間に対応している。また、ホールド期間 $H(t_4 - t_6)$ は、サンプリング期間 S に続いてクロック MCK の2サイクル分の期間に対応している

50

。ホールド期間Hの後半($t_4 - t_5$)は、最初のホールド期間H($t_0 - t_1$)に対応する期間である。

【0054】

また、図5(2)、(8)に示すように、入力回路2のホールド期間H($t_0 - t_1$)に対応してD/A変換器6では、DAC容量C_dに対するサンプリング期間S($t_0 - t_1$)が設定される。また、入力回路2のサンプリング期間S($t_1 - t_4$)に対応して、D/A変換器6では、DAC容量C_dに対するホールド期間H($t_1 - t_2$ 、 $t_3 - t_4$)、サンプリング期間S($t_2 - t_3$)が設定される。そして、入力回路2のホールド期間H($t_4 - t_6$)に対応して、待機期間W($t_4 - t_5$)、サンプリング期間S($t_5 - t_6$)が設定されている。

10

【0055】

このように、第4実施形態においては、入力回路2におけるサンプリング期間Sを第3実施形態で設定した期間の最初の部分を1サイクル分短く設定し、この期間をホールド期間Hに充てることで2サイクル分に延長させるようにした。これにより、入力回路2におけるサンプリング容量C_sの充電電荷の転送時間を確保することができるようになる。

【0056】

したがって、このような第4実施形態においても、第3実施形態と同様の効果を得ることができると共に、入力回路2においてはサンプリング期間Sを確保しつつ、ホールド期間Hも確保することができるようになる。

【0057】

20

(第5実施形態)

図6は第5実施形態を示すもので、以下、第3実施形態と異なる部分について説明する。この実施形態では、入力回路2におけるホールド期間Hを第3実施形態で1サイクルのクロックMCK分としていたのに対して、2サイクル分に延長して設定している。

【0058】

図6(1)、(8)に示すように、サンプリング容量C_sに対するサンプリング期間S($t_0 - t_4$)は、第3実施形態と同様にしてクロックMCKの4サイクル分の期間に対応している。

【0059】

また、図6(2)、(8)に示すように、入力回路2のサンプリング期間S($t_0 - t_4$)に対応して、D/A変換器6では、DAC容量C_dに対するサンプリング期間S($t_0 - t_1$ 、 $t_2 - t_3$)、ホールド期間H($t_1 - t_2$ 、 $t_3 - t_4$)を2回繰り返して実施している。

30

【0060】

一方、入力回路2のホールド期間H($t_4 - t_6$)は、第3実施形態におけるホールド期間Hの2倍の期間つまりクロックMCKの2サイクル分の期間に設定している。そして、D/A変換器6では、入力回路2のホールド期間H($t_4 - t_6$)に対応して、待機期間W($t_4 - t_6$)を実施している。つまり、待機期間Wも第3実施形態における待機期間Wの2倍の期間に設定している。

このように、第5実施形態においては、入力回路2におけるサンプリング期間Sを長く設定し、かつホールド期間Hも長く設定している。

40

【0061】

したがって、このような第5実施形態においても、第3実施形態と同様に入力回路2においてはサンプリング期間Sを確保しつつ、さらにホールド期間Hも確保することができるようになる。これにより、入力回路2におけるサンプリング容量C_sの充電電荷の転送時間を確保することができるようになる。

【0062】

また、第5実施形態では、入力回路2のサンプリング期間Sおよびホールド期間Hからなる1サイクルの動作をクロックMCKの偶数倍(2n倍)のサイクルとして設定するので、期間の設定のための制御信号を生成する論理回路を簡単に構成することができるよう

50

になる。

【0063】

(第6実施形態)

図7は第6実施形態として、変調型A/D変換器100に適用した場合を示している。この実施形態では、上記した第1から第5実施形態で示した変調器1を用いて変調型A/D変換器100を構成している。変調型A/D変換器100は、変調器1の出力信号Doutを処理するデジタルフィルタ101を備えている。

【0064】

この構成により、上記各実施形態で説明した変調器1の出力である変調結果のデジタル信号Doutを、一般的な変調器と同様に変調器の後段に配置したデジタルフィルタ101により処理することにより、A/D変換を実施することができる。

10

【0065】

(第7実施形態)

図8は第7実施形態として、インクリメンタル変調型A/D変換器200に適用した場合を示している。この実施形態では、上記した第1から第5実施形態で示した変調器1を用いてインクリメンタル変調型A/D変換器200を構成している。インクリメンタル変調型A/D変換器200は、変調器1の後段に変調器1の回数に応じた段数のデジタル回路で構成する積分器201を配置している。

【0066】

この構成により、変調器1の積分回路3とデジタル回路で構成する積分器201を一旦リセットしてから所定の期間動作させることで、インクリメンタル変調型A/D変換器200として動作させることができる。

20

【0067】

(他の実施形態)

なお、本発明は、上述した実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

【0068】

第3および第5実施形態では、入力回路2のサンプリング期間Sに対応してD/A変換器6のサンプリング期間Sおよびホールド期間Hを2サイクル実施する場合を示したが、3サイクル以上実施することも可能である。

30

【0069】

第5実施形態では、入力回路2のホールド期間Hの設定期間をクロックMCKの2個分としているが、3個分以上に設定することも可能である。また、その場合に、D/A変換器6の待機期間Wも同様に設定することもできるし、第4実施形態におけるように待機期間Wに加えてサンプリング期間Sを設定することもできる。

【0070】

上記した各実施形態および変形例においては、回路構成をいずれもシングルエンド型の場合で説明したが、回路構成が差動型のものにも適用することができる。

【0071】

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

40

【符号の説明】

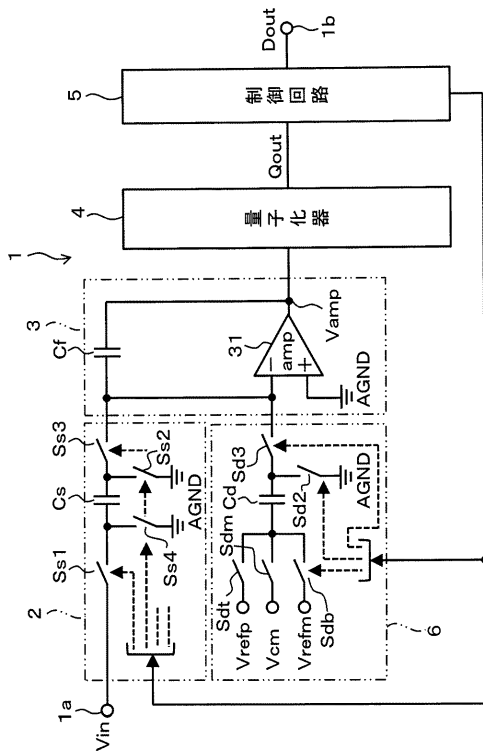
【0072】

図面中、1は変調器、2は入力回路、3は積分回路、4は量子化器、5は制御回路、6はD/A変換器、31はアンプ、100は変調型A/D変換器、101はデジタルフィルタ、200はインクリメンタル変調型A/D変換器、201は積分器、Csはサンプリング容量、Cfは積分容量、CdはDAC容量、Ss1~Ss4はスイッチ、

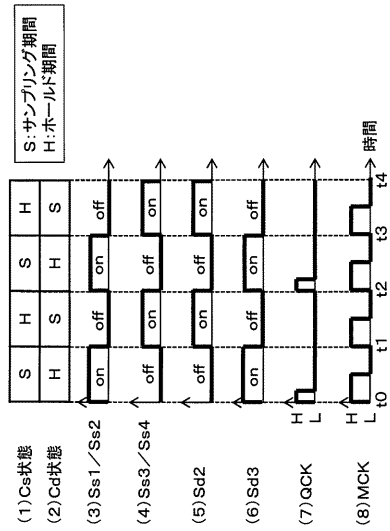
50

S d t、S d m、S d bは選択スイッチ、S d 2は接地スイッチ、S d 3は出力スイッチである。

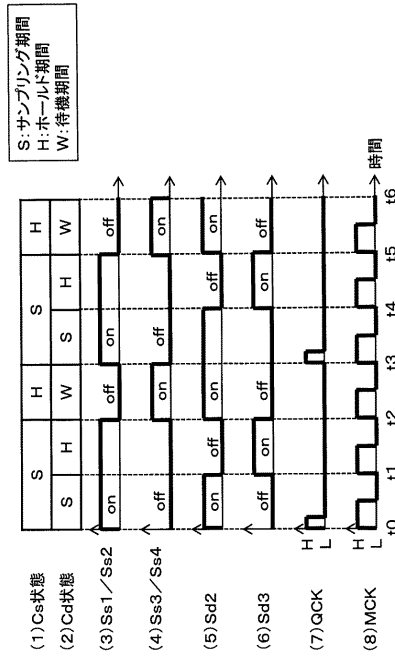
【 図 1 】



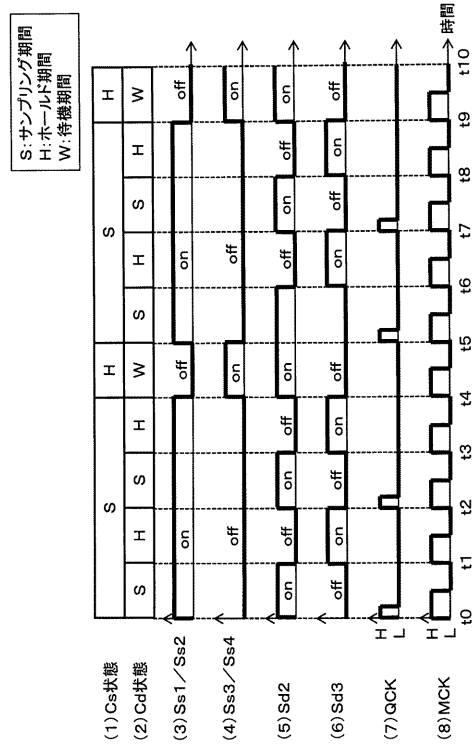
【 図 2 】



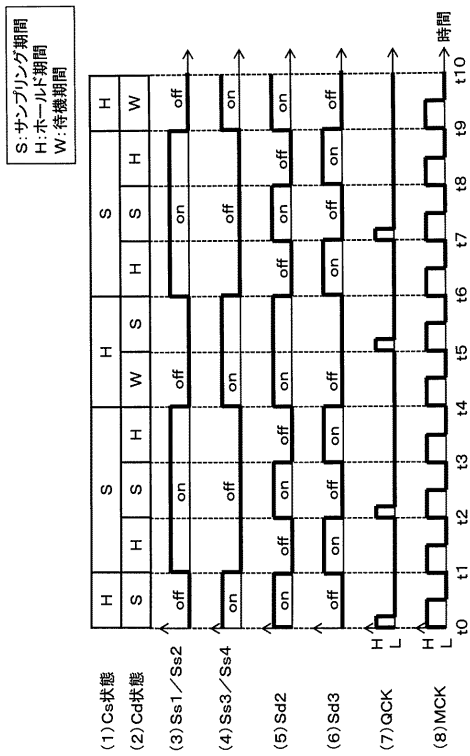
【 図 3 】



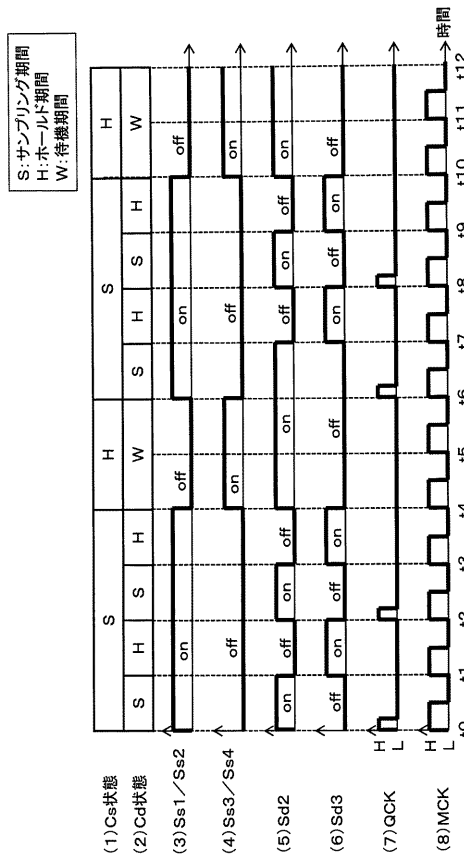
【 図 4 】



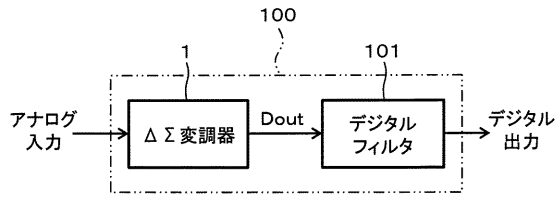
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

