

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-182713
(P2021-182713A)

(43) 公開日 令和3年11月25日(2021.11.25)

(51) Int. Cl.	F I			テーマコード (参考)		
H03F 1/02 (2006.01)	H03F	1/02	188	5J500		
H03F 3/21 (2006.01)	H03F	3/21				
H03F 3/68 (2006.01)	H03F	3/68	220			

審査請求 未請求 請求項の数 8 O L (全 26 頁)

(21) 出願番号 特願2020-87945 (P2020-87945)
(22) 出願日 令和2年5月20日 (2020.5.20)

(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
(74) 代理人 100088155
弁理士 長谷川 芳樹
(74) 代理人 100113435
弁理士 黒木 義樹
(74) 代理人 100136722
弁理士 ▲高▼木 邦夫
(74) 代理人 100174399
弁理士 寺澤 正太郎
(72) 発明者 川崎 健
大阪府大阪市中央区北浜四丁目5番33号
住友電気工業株式会社内

最終頁に続く

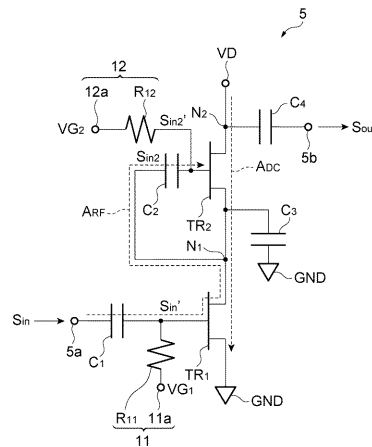
(54) 【発明の名称】 電力増幅回路

(57) 【要約】

【課題】ドハティ型の電力増幅回路のピークアンプにおいて、多段に接続された各トランジスタがオン状態となるタイミングを互いに近づける。

【解決手段】ドハティ型の電力増幅回路において、ピークアンプは、第1トランジスタ及び第2トランジスタを有する。第1トランジスタのソース端子は第1定電位線と接続される。第1トランジスタのドレイン端子及び第2トランジスタのソース端子は第1ノードと接続される。第2トランジスタのドレイン端子は第1定電位線よりも高電位の第2定電位線と接続される。第1トランジスタの制御端子は、第1バイアス電圧印加回路に接続され、入力信号が第1交流カップリング回路を介して入力される。第2トランジスタの制御端子は、第2バイアス電圧印加回路に接続され、第2交流カップリング回路を介して第1ノードと接続される。第1ノードは、第3交流カップリング回路を介して第1定電位線と接続される。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

入力信号が分岐され、それぞれに入力されるメインアンプ及びピークアンプを備え、前記メインアンプからの第 1 出力信号と前記ピークアンプからの第 2 出力信号とを合成して出力するドハティ型の電力増幅回路であって、

前記ピークアンプは、第 1 トランジスタと第 2 トランジスタとを有し、

前記第 1 トランジスタのソース端子が第 1 定電位線と接続され、

前記第 1 トランジスタのドレイン端子が第 1 ノードと接続され、

前記第 2 トランジスタのソース端子が前記第 1 ノードと接続され、

前記第 2 トランジスタのドレイン端子が前記第 1 定電位線よりも高電位の第 2 定電位線と接続され、

10

前記第 1 トランジスタの制御端子は、第 1 バイアス電圧印加回路に接続され、前記分岐された一方の入力信号が第 1 交流カップリング回路を介して入力され、

前記第 1 バイアス電圧印加回路は、前記第 1 トランジスタの制御端子に、第 1 バイアス電圧を印加し、

前記第 2 トランジスタの制御端子は、第 2 バイアス電圧印加回路に接続され、第 2 交流カップリング回路を介して前記第 1 ノードと接続され、

前記第 1 ノードは、第 3 交流カップリング回路を介して前記第 1 定電位線と接続され、

前記第 2 バイアス電圧印加回路は、前記第 2 トランジスタの制御端子に、第 2 バイアス電圧を印加し、

20

前記第 2 トランジスタのドレイン端子と前記第 2 定電位線との間の第 2 ノードは、第 4 交流カップリング回路と接続され、前記第 4 交流カップリング回路を介して前記第 2 出力信号を出力する、電力増幅回路。

【請求項 2】

前記第 1 バイアス電圧は、前記第 1 トランジスタの制御端子に入力される信号のパワーが第 1 のレベルを超えないときには前記第 1 トランジスタがピンチオフ状態となる大きさに設定され、前記信号のパワーが前記第 1 のレベルを超えるとときには前記第 1 トランジスタがオン状態となる大きさに設定される、請求項 1 に記載の電力増幅回路。

【請求項 3】

前記第 2 バイアス電圧は、前記第 1 トランジスタの制御端子に入力される前記信号のパワーが前記第 1 のレベルを超えないときに前記第 2 トランジスタがピンチオフ状態となり、前記信号のパワーが前記第 1 のレベルを超えるとときに前記第 2 トランジスタがオン状態となる大きさを有する、請求項 2 に記載の電力増幅回路。

30

【請求項 4】

前記ピークアンプは、第 3 トランジスタを更に有し、

前記第 3 トランジスタのソース端子は前記第 1 定電位線と接続され、

前記第 3 トランジスタのドレイン端子は前記第 1 ノードと接続され、

前記第 3 トランジスタの制御端子は、第 3 バイアス電圧印加回路に接続されるとともに、第 5 交流カップリング回路を介して前記第 1 トランジスタのドレイン端子と接続され、

前記第 3 バイアス電圧印加回路は、前記第 3 トランジスタの制御端子に、第 3 バイアス電圧を印加する、請求項 1 から請求項 3 のいずれか 1 項に記載の電力増幅回路。

40

【請求項 5】

前記第 2 トランジスタの総ゲート幅は、前記第 1 トランジスタの総ゲート幅と、前記第 3 トランジスタの総ゲート幅との和以上である、請求項 4 に記載の電力増幅回路。

【請求項 6】

前記第 3 バイアス電圧は、前記第 3 トランジスタの制御端子に入力される信号のパワーが第 2 のレベルを超えないときには前記第 3 トランジスタがピンチオフ状態となる大きさに設定され、該信号のパワーが前記第 2 のレベルを超えるとときには前記第 3 トランジスタがオン状態となる大きさに設定される、請求項 4 又は請求項 5 に記載の電力増幅回路。

【請求項 7】

50

前記第2のレベルは、前記第1のレベルより大きい、請求項6に記載の電力増幅回路。

【請求項8】

前記メインアンプは、各バイアス電圧の大きさを除いて前記ピークアンプと同じ構成を有する、請求項1から請求項7のいずれか1項に記載の電力増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電力増幅回路に関する。

【背景技術】

【0002】

特許文献1には、電力増幅回路に関する技術が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-151694号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

例えばマイクロ波増幅回路などの電力増幅回路では、電力効率を高めるために、いわゆるドハティ型の構成が用いられることがある。ドハティ型の電力増幅回路は、A級からAB級ないしはB級動作を行うメインアンプと、C級動作を行うピークアンプとを備え、メインアンプ及びピークアンプにおいて入力信号を個別に増幅するとともに、メインアンプからの出力信号とピークアンプからの出力信号とを合成して出力する。ドハティ型の電力増幅回路では、出力パワーが大きくなるとピークアンプのインピーダンスが減少し、その結果としてメインアンプの負荷が軽減され、高い電力効率で増幅を行うことができる。

【0005】

このようなドハティ型の電力増幅回路において、電力増幅回路に要求されるゲインに対してメインアンプ及びピークアンプを構成するトランジスタのゲインが小さい場合、トランジスタを多段に構成する必要がある。その場合、ピークアンプにおいては、多段に接続された各トランジスタがオン状態となるタイミングを互いに近づけることが望ましい。

【0006】

そこで、本開示は、ドハティ型の電力増幅回路のピークアンプにおいて、多段に接続された各トランジスタがオン状態となるタイミングを互いに近づけることができる電力増幅回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

本開示の一形態による電力増幅回路は、入力信号が分岐され、それぞれに入力されるメインアンプ及びピークアンプを備え、メインアンプからの第1出力信号とピークアンプからの第2出力信号とを合成して出力するドハティ型の電力増幅回路である。ピークアンプは、第1トランジスタと第2トランジスタとを有する。第1トランジスタのソース端子が第1定電位線と接続される。第1トランジスタのドレイン端子が第1ノードと接続される。第2トランジスタのソース端子が第1ノードと接続される。第2トランジスタのドレイン端子が第1定電位線よりも高電位の第2定電位線と接続される。第1トランジスタの制御端子は、第1バイアス電圧印加回路に接続され、分岐された一方の入力信号が第1交流カップリング回路を介して入力される。第1バイアス電圧印加回路は、第1トランジスタの制御端子に、第1バイアス電圧を印加する。第2トランジスタの制御端子は、第2バイアス電圧印加回路に接続され、第2交流カップリング回路を介して第1ノードと接続される。第1ノードは、第3交流カップリング回路を介して第1定電位線と接続される。第2バイアス電圧印加回路は、第2トランジスタの制御端子に、第2バイアス電圧を印加する。第2トランジスタのドレイン端子と第2定電位線との間の第2ノードは、第4交流カッ

10

20

30

40

50

プリング回路と接続され、第 4 交流カップリング回路を介して第 2 出力信号を出力する。

【発明の効果】

【0008】

本開示によれば、ドハティ型の電力増幅回路のピークアンプにおいて、多段に接続された各トランジスタがオン状態となるタイミングを互いに近づけることができる電力増幅回路を提供することが可能となる。

【図面の簡単な説明】

【0009】

【図 1】図 1 は、第 1 実施形態に係る電力増幅回路 1 A の構成を概略的に示す図である。

【図 2】図 2 は、ピークアンプ 5 の詳細な構成を示す回路図である。

10

【図 3】図 3 の (a) 部、(b) 部及び (c) 部は、ピークアンプ 5 の動作の具体例を説明するための図である。

【図 4】図 4 の (a) 部は、一般的なドハティ型の電力増幅回路の構成を示す図である。図 4 の (b) 部は、複数段のアンプからなるドライバアンプ 3 A をノード N A の前段に設けた構成を示す図である。

【図 5】図 5 の (a) 部は、それぞれ複数段のアンプからなるメインアンプ 4 B 及びピークアンプ 5 B によりドハティ構造を構成した例を示す図である。図 5 の (b) 部は、ピークアンプ 5 B への入力信号パワーをモニタし、該入力信号パワーに応じてゲートバイアスを制御するための回路 1 3 を設けた例を示す図である。

【図 6】図 6 は、比較例として一般的なカレントリユース構造を有する電力増幅回路を示す図である。

20

【図 7】図 7 は、第 2 実施形態に係る電力増幅回路 1 B の構成を概略的に示す図である。

【図 8】図 8 は、ピークアンプ 5 C の構成を詳細に示す回路図である。

【図 9】図 9 の (a) 部及び (b) 部は、ピークアンプ 5 C の動作の具体例を説明するための図である。

【図 10】図 10 の (a) 部及び (b) 部は、ピークアンプ 5 C の動作の具体例を説明するための図である。

【図 11】図 11 は、比較例として通常の 3 段アンプ構成を備えるアンプ回路 2 0 0 を示す図である。

【図 12】図 12 は、第 2 実施形態に係る電力増幅回路 1 B の入出力特性に関するシミュレーション結果を示すグラフである。

30

【図 13】図 13 は、メインアンプ及びピークアンプのそれぞれを図 11 に示したアンプ回路 2 0 0 とした比較例に係る、電力増幅回路の入出力特性に関するシミュレーション結果を示すグラフである。

【図 14】図 14 は、入力電力に対するドレイン電流の特性を示すグラフであって、第 2 実施形態のピークアンプ 5 C の特性を示す。

【図 15】図 15 は、入力電力に対するドレイン電流の特性を示すグラフであって、第 2 実施形態のメインアンプ 4 C の特性を示す。

【図 16】図 16 は、入力電力に対するドレイン電流の特性を示すグラフであって、比較例のピークアンプの特性を示す。

40

【図 17】図 17 は、入力電力に対するドレイン電流の特性を示すグラフであって、比較例のメインアンプの特性を示す。

【発明を実施するための形態】

【0010】

[本開示の実施形態の説明]

最初に、本開示の実施形態を列記して説明する。一実施形態に係る電力増幅回路は、入力信号が分岐され、それぞれに入力されるメインアンプ及びピークアンプを備え、メインアンプからの第 1 出力信号とピークアンプからの第 2 出力信号とを合成して出力するドハティ型の電力増幅回路である。ピークアンプは、第 1 トランジスタと第 2 トランジスタとを有する。第 1 トランジスタのソース端子が第 1 定電位線と接続される。第 1 トランジスタ

50

タのドレイン端子が第1ノードと接続される。第2トランジスタのソース端子が第1ノードと接続される。第2トランジスタのドレイン端子が第1定電位線よりも高電位の第2定電位線と接続される。第1トランジスタの制御端子は、第1バイアス電圧印加回路に接続され、分岐された一方の入力信号が第1交流カップリング回路を介して入力される。第1バイアス電圧印加回路は、第1トランジスタの制御端子に、第1バイアス電圧を印加する。第2トランジスタの制御端子は、第2バイアス電圧印加回路に接続され、第2交流カップリング回路を介して第1ノードと接続される。第1ノードは、第3交流カップリング回路を介して第1定電位線と接続される。第2バイアス電圧印加回路は、第2トランジスタの制御端子に、第2バイアス電圧を印加する。第2トランジスタのドレイン端子と第2定電位線との間の第2ノードは、第4交流カップリング回路と接続され、第4交流カップリング回路を介して第2出力信号を出力する。この構成によれば、ドハティ型の電力増幅回路のピークアンプにおいて、多段に接続された各トランジスタがオン状態となるタイミングを互いに近づけることができる。

10

【0011】

上記の電力増幅回路において、第1バイアス電圧は、第1トランジスタの制御端子に入力される信号のパワーが第1のレベルを超えないときには第1トランジスタがピンチオフ状態となる大きさに設定され、その信号のパワーが第1のレベルを超えるとときには第1トランジスタがオン状態となる大きさに設定されてもよい。

【0012】

上記の電力増幅回路において、第2バイアス電圧は、第1トランジスタの制御端子に入力される信号のパワーが第1のレベルを超えないときに第2トランジスタがピンチオフ状態となり、その信号のパワーが第1のレベルを超えるとときに第2トランジスタがオン状態となる大きさを有してもよい。

20

【0013】

上記の電力増幅回路において、前記ピークアンプは、第3トランジスタを更に有し、第3トランジスタのソース端子は第1定電位線と接続され、第3トランジスタのドレイン端子は第1ノードと接続され、第3トランジスタの制御端子は、第3バイアス電圧印加回路に接続されるとともに、第5交流カップリング回路を介して第1トランジスタのドレイン端子と接続され、第3バイアス電圧印加回路は、第3トランジスタの制御端子に、第3バイアス電圧を印加してもよい。

30

【0014】

上記の電力増幅回路において、第2トランジスタの総ゲート幅は、第1トランジスタの総ゲート幅と、第3トランジスタの総ゲート幅との和以上であってもよい。

【0015】

上記の電力増幅回路において、第3バイアス電圧は、第3トランジスタの制御端子に入力される信号のパワーが第2のレベルを超えないときには第3トランジスタがピンチオフ状態となる大きさに設定され、その信号のパワーが第2のレベルを超えるとときには第3トランジスタがオン状態となる大きさに設定されてもよい。

【0016】

上記の電力増幅回路において、第2のレベルは、第1のレベルより大きくてもよい。

40

【0017】

上記の電力増幅回路において、メインアンプは、各バイアス電圧の大きさを除いてピークアンプと同じ構成を有してもよい。

【0018】

[本開示の実施形態の詳細]

本開示の電力増幅回路の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。以下の説明では、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。なお、下記の説明において、接続されるとは、電氣的に接続されることを意味し、明示する

50

【 0 0 2 3 】

第 1 トランジスタ $T R_1$ の制御端子 (ゲート) は、第 1 交流カップリング回路としてのカップリングコンデンサ C_1 を介して、ピークアンプ 5 の入力端 5 a と交流的に接続され、直流的に遮断されている。第 1 トランジスタ $T R_1$ の制御端子は、入力端 5 a からカップリングコンデンサ C_1 を介して入力信号 S_{in} を受ける。入力信号 S_{in} は、図 1 のノード N_A において分岐された他方の信号である。また、第 1 トランジスタ $T R_1$ の制御端子は、該制御端子に第 1 バイアス電圧 $V G_1$ を印加する回路 1 1 と接続されている。第 1 トランジスタ $T R_1$ の制御端子においては、カップリングコンデンサ C_1 を介して伝搬する、入力信号 S_{in} の高周波信号成分に、第 1 バイアス電圧 $V G_1$ が印加された、信号 S_{in}' が入力される。本実施形態では、回路 1 1 は電圧入力端子 1 1 a 及び抵抗 R_{11} を含む。電圧入力端子 1 1 a は、抵抗 R_{11} を介して第 1 トランジスタ $T R_1$ の制御端子と接続されている。第 1 トランジスタ $T R_1$ を C 級動作させる為に、第 1 バイアス電圧 $V G_1$ は、入力信号 S_{in} (正確にはの入力信号 S_{in}') のパワーが第 1 のレベルを超えないときには第 1 トランジスタ $T R_1$ がピンチオフ状態となり、入力信号 S_{in} (正確にはの入力信号 S_{in}') のパワーが第 1 のレベルを超えるとときに第 1 トランジスタ $T R_1$ がオン状態となるような大きさに設定される。一実施例では、第 1 トランジスタ $T R_1$ がオン状態となる第 1 のレベルは - 0 . 4 V であるとし、入力信号 S_{in} のパワーが第 1 のレベルを超えずに第 1 トランジスタ $T R_1$ がピンチオフ状態となるための第 1 バイアス電圧 $V G_1$ は - 1 V を設定している。なお、第 1 のレベルは、メインアンプ 4 が飽和するレベルに基づいて決定される。

10

【 0 0 2 4 】

第 2 トランジスタ $T R_2$ の制御端子 (ゲート) は、第 2 交流カップリング回路としてのカップリングコンデンサ C_2 を介して、第 1 ノード N_1 と交流的に接続され、直流的に遮断されている。第 1 ノード N_1 には、入力信号 S_{in}' が、第 1 トランジスタ $T R_1$ を介して、入力信号 S_{in2} として伝搬される。また、第 2 トランジスタ $T R_2$ の制御端子は、該制御端子に第 2 バイアス電圧 $V G_2$ を印加する回路 1 2 と接続されている。第 2 トランジスタ $T R_2$ の制御端子には、カップリングコンデンサ C_2 を介して伝搬する、入力信号 S_{in2} の高周波信号成分に、第 2 バイアス電圧 $V G_2$ が印加された、信号 S_{in2}' が入力される。本実施形態では、回路 1 2 は電圧入力端子 1 2 a 及び抵抗 R_{12} を含む。電圧入力端子 1 2 a は、抵抗 R_{12} を介して第 2 トランジスタ $T R_2$ の制御端子と接続されている。第 2 バイアス電圧 $V G_2$ は、入力信号 S_{in2}' のパワーが上記第 1 のレベルを超えないときに第 2 トランジスタ $T R_2$ がピンチオフ状態となり、入力信号 S_{in2}' のパワーが上記第 1 のレベルを超えるとときに第 2 トランジスタ $T R_2$ がオン状態となる大きさを有する。一実施例では、第 2 バイアス電圧 $V G_2$ は 3 . 6 V である。

20

30

【 0 0 2 5 】

第 1 ノード N_1 は、第 3 交流カップリング回路としてのカップリングコンデンサ C_3 を介して、接地電位線 GND と交流的に接続され、直流的に遮断されている。第 2 トランジスタ $T R_2$ と電源電位線 VD との間の第 2 ノード N_2 は、第 4 交流カップリング回路としてのカップリングコンデンサ C_4 を介して、ピークアンプ 5 の出力端 5 b と交流的に接続され、直流的に遮断されている。ピークアンプ 5 は、増幅後の出力信号 S_{out} を、第 2 ノード N_2 からカップリングコンデンサ C_4 を介して出力する。

40

【 0 0 2 6 】

以上の構成を備えるピークアンプ 5 の動作を説明する。入力端 5 a に入力信号 S_{in} を受けると、高周波信号である入力信号 S_{in} はカップリングコンデンサ C_1 を通過して第 1 トランジスタ $T R_1$ の制御端子に達する。また、第 1 トランジスタ $T R_1$ の制御端子には、回路 1 1 から第 1 バイアス電圧 $V G_1$ が印加される。従って、第 1 トランジスタ $T R_1$ の制御端子には、第 1 バイアス電圧 $V G_1$ と入力信号 S_{in} とを合成した電圧が入力信号 S_{in}' として印加される。第 1 バイアス電圧 $V G_1$ が適切な大きさに設定されることにより、入力信号 S_{in}' のパワーが第 1 のレベルを超えないときには、第 1 トランジスタ $T R_1$ はピンチオフ状態となり、第 1 トランジスタ $T R_1$ の電流端子間の電流は僅かに流れるのみである。また、入力信号 S_{in}' のパワーが第 1 のレベルを超えるとときには、第 1 トランジスタ

50

$T R_1$ はオン状態となり、第1トランジスタ $T R_1$ の電流端子間には入力信号 S_{in}' の大きさに応じた電流が流れる。

【0027】

更に、第1トランジスタ $T R_1$ の制御端子への印加電圧のうち入力信号 S_{in}' に起因する高周波成分は、増幅されたのち第1ノード N_1 からカップリングコンデンサ C_2 を通過して第2トランジスタ $T R_2$ の制御端子に入力信号 S_{in}' として入力される。図2の矢印 A_{RF} は、このような高周波成分の流れを示している。また、第2トランジスタ $T R_2$ の制御端子には、回路12から第2バイアス電圧 $V G_2$ が印加される。従って、第2トランジスタ $T R_2$ の制御端子には、第2バイアス電圧 $V G_2$ と、入力信号 S_{in} が増幅された高周波成分とを合成した電圧が入力信号 S_{in2}' として印加される。第2バイアス電圧 $V G_2$ が適切な大きさに設定されることにより、入力信号 S_{in2}' のパワーが上記第1のレベルを超えないときには、第2トランジスタ $T R_2$ はピンチオフ状態となり、第2トランジスタ $T R_2$ の電流端子間の電流は僅かに流れるのみである。また、入力信号 S_{in2}' のパワーが上記第1のレベルを超えるときには、第2トランジスタ $T R_2$ はオン状態となり、第2トランジスタ $T R_2$ の電流端子間には増幅された高周波成分の大きさに応じた電流が流れる。

10

【0028】

電源電位線 $V D$ と接地電位線 $G N D$ との間において第1トランジスタ $T R_1$ 及び第2トランジスタ $T R_2$ は直列に接続されているので、これらを流れる電流は共通となる。図2の矢印 A_{DC} は、このような共通電流の流れを示している。この電流により生じる第2ノード N_2 の電位には、入力信号 S_{in} を2段階で増幅した高周波成分が含まれる。この高周波成分は、カップリングコンデンサ C_4 を通過して、出力端5bからピークアンプ5の外部(図1に示されたノード $N B$)へ出力信号 S_{out} として出力される。なお、第1トランジスタ $T R_1$ 及び第2トランジスタ $T R_2$ を流れる共通電流の大きさは、主に第1バイアス電圧 $V G_1$ の大きさによって定まる。

20

【0029】

なお、図1に示したメインアンプ4は、上述したピークアンプ5と同じ構成を有してもよく、或いはピークアンプ5と異なる構成を有してもよい。メインアンプ4がピークアンプ5と同じ構成を有する場合、メインアンプ4はA級からAB級ないしはB級動作を行うため、第1バイアス電圧 $V G_1$ の大きさがピークアンプ5と異なる。すなわち、第1トランジスタ $T R_1$ をA級からAB級ないしはB級動作させる為に、第1バイアス電圧 $V G_1$ は、入力信号 S_{in} のパワーにかかわらず第1トランジスタ $T R_1$ が常にオン状態となる大きさを有する。一実施例では、第1バイアス電圧 $V G_1$ は-1.0Vである。

30

【0030】

図3の(a)部、(b)部及び(c)部は、ピークアンプ5の動作の具体例を説明するための図である。これらの図には、電圧の大きさを示す縦軸に、第1バイアス電圧 $V G_1$ 、第1トランジスタ $T R_1$ のソース電圧 $V S_1$ (すなわち0V)、第2バイアス電圧 $V G_2$ 、第2トランジスタ $T R_2$ のソース電圧 $V S_2$ (第1トランジスタ $T R_1$ のドレイン電圧 $V D_1$ と等しい)、及び電源電位線 $V D$ の各レベルが併せて示されている。これらの電圧のうち、第1バイアス電圧 $V G_1$ 、第1トランジスタ $T R_1$ のソース電圧 $V S_1$ 、第2バイアス電圧 $V G_2$ 、及び電源電位線 $V D$ は、固定のバイアス電圧であるが、第2トランジスタ $T R_2$ のソース電圧 $V S_2$ (第1トランジスタ $T R_1$ のドレイン電圧 $V D_1$ と等しい)のみは、第1トランジスタ $T R_1$ 及び第2トランジスタ $T R_2$ の動作状態によって変動する電位である。

40

【0031】

図3の(a)部は、ピークアンプ5への入力信号 S_{in} のパワーが低い場合を示す。図3の(b)部は、ピークアンプ5への入力信号 S_{in} のパワーが上昇し始め、ピークアンプ5がオフ状態からオン状態へ移行する場合を示す。図3の(c)部は、ピークアンプ5への入力信号 S_{in} のパワーが上昇し、ピークアンプ5がオン状態である場合を示す。

【0032】

図3の(a)部、(b)部、及び(c)部には、第1トランジスタ $T R_1$ の制御端子(

50

ゲート)における入力信号 S_{in}' と第2トランジスタ T_{R2} の制御端子(ゲート)における入力信号 S_{in2}' それぞれの入力波形の電圧レベルのイメージも示されている。そしてその結果、第1トランジスタ T_{R1} のゲート・ソース間に印加される電圧 V_{g1s1} と第1トランジスタ T_{R2} のゲート・ソース間に印加される電圧 V_{g2s2} のレベルが矢印と共に示されている。

【0033】

ピークアンプ5への入力信号 S_{in} のパワーが低い場合(図3の(a)部)、入力信号 S_{in}' と入力信号 S_{in2}' のパワーも低い。第1トランジスタ T_{R1} と第2トランジスタ T_{R2} とがピンチオフ状態となるように第1バイアス電圧 V_{G1} 及び第2バイアス電圧 V_{G2} が設定されており、第1トランジスタ T_{R1} 及び第2トランジスタ T_{R2} のゲート・ソース間電圧 V_{g1s1} と V_{g2s2} は、それぞれレベル(ここでは $-0.4V$ を想定)を超えないので、これらトランジスタの電流は僅かに流れるのみである。

10

【0034】

一方、回路の構成上、第1トランジスタ T_{R1} のドレイン電流 I_{D1} と第2トランジスタ T_{R2} のドレイン電流 I_{D2} とが互いに等しくなる。そのため、第1トランジスタ T_{R1} のゲート・ソース間電圧 V_{g1s1} に対して、 I_{D1} と I_{D2} とが互いに等しくなるように、第1トランジスタ T_{R1} のドレイン電位 V_{D1} (第2トランジスタ T_{R2} のソース電位 V_{S2} でもある)が決まり、第1トランジスタ T_{R1} のドレイン・ソース間電圧 V_{D1S1} 、そして、第2トランジスタ T_{R2} のゲート・ソース間電圧 V_{g2s2} 、第2トランジスタ T_{R2} のドレイン・ソース間電圧 V_{D2S2} が決まる。なお、実際は、第1トランジスタ T_{R1} のドレイン・ソース間電圧 V_{D1S1} と第2トランジスタ T_{R2} のドレイン・ソース間電圧 V_{D2S2} とが互いに異なり、僅かではあるが $V_{G1S1} < V_{G2S2}$ となる。

20

【0035】

その後、ピークアンプ5への入力信号 S_{in} のパワーが上昇し始めると、入力信号 S_{in}' と入力信号 S_{in2}' のパワーも上昇し始める。そして、第1トランジスタ T_{R1} 及び第2トランジスタ T_{R2} のゲート・ソース間電圧 V_{g1s1} と V_{g2s2} とがレベル($-0.4V$)を超えると、図3の(b)部に示すように、第1トランジスタ T_{R1} がオン状態となり、第1トランジスタ T_{R1} のドレイン電流 I_{D1} が流れ始める。この場合においても $I_{D1} = I_{D2}$ を満たすように V_{S2} の電位(V_{D1} の電位でもある)が決まり、 V_{D1S1} 、 V_{D2S2} 、及び V_{g2s2} が決まるが、 I_{D2} が流れる際には $I_{D1} = I_{D2}$ を満たすように V_{S2} の電位(V_{D1} の電位でもある)が下がる。

30

【0036】

そして、ピークアンプ5への入力信号 S_{in} のパワーがさらに上昇すると(図3の(c)部)、入力信号 S_{in}' と入力信号 S_{in2}' のパワーもさらに上昇する。第1トランジスタ T_{R1} のドレイン電流 I_{D1} がさらに流れ、 $I_{D1} = I_{D2}$ を満たすように V_{S2} の電位(V_{D1} の電位でもある)が決まり、 V_{D1S1} 、 V_{D2S2} 、及び V_{g2s2} が決まるが、 I_{D2} が流れる際には $I_{D1} = I_{D2}$ を満たすように V_{S2} の電位(V_{D1} の電位でもある)が更に下がる。なお、このときの動作は、メインアンプ4がピークアンプ5と同じ構成を有する場合のメインアンプ4の動作と同様である。

【0037】

以上に説明した本実施形態の電力増幅回路1Aによって得られる効果について、従来の課題と共に説明する。図4の(a)部は、一般的なドハティ型の電力増幅回路の構成を示す図である。同図に示すように、一般的なドハティ型の電力増幅回路は、A級からAB級ないしはB級動作を行う単段アンプのメインアンプ4Aと、C級動作を行う単段アンプのピークアンプ5Aとを備え、メインアンプ4A及びピークアンプ5Aにおいて入力信号を個別に増幅するとともに、メインアンプ4Aからの出力信号とピークアンプ5Aからの出力信号とを合成して出力する。ドハティ型の電力増幅回路では、出力パワーが大きくなるとピークアンプ5Aのインピーダンスが減少し、その結果としてメインアンプ4Aの負荷が軽減され、高い電力効率で増幅を行うことができる。

40

【0038】

50

このようなドハティ型の電力増幅回路において、アンプのゲインが小さい（例えば10 dB未満の）場合、例えば図4の（b）部に示すように、複数段のアンプからなるドライバアンプ3AをノードNAの前段に設けることが考えられる。しかしながら、この例のように最後部の1段のみをドハティ構造としても、電力増幅回路全体の電力効率への寄与が小さい。入力信号の周波数が高くなるほど、アンプのゲインは小さくなるのでこのような問題が顕著となる。

【0039】

そこで、図5の（a）部に示すように、それぞれ複数段のアンプからなるメインアンプ4B及びピークアンプ5Bによりドハティ構造を構成することが考えられる。しかし、この場合、C級動作を行うピークアンプ5Bの複数段のアンプがほぼ同時に立ち上がる（オン状態となる）必要がある。従って、或るアンプが立ち上がったのち該アンプの出力に基づいてその後段のアンプが立ち上がる構成の場合、各段のアンプを構成するトランジスタのゲートバイアスを比較的浅く設定する必要がある。故に、各段のトランジスタの温度特性のばらつきやプロセスばらつきの影響が顕著となり、また、リーク電流が大きくなるので電力効率が低下するといった問題が生じる。また、そのような問題を回避するために、後段のアンプを構成するトランジスタのゲートバイアスを前段とは独立して制御することも考えられる。しかしながらその場合、図5の（b）部に示すように、ピークアンプ5Bへの入力信号パワーをモニタし、該入力信号パワーに応じてゲートバイアスを制御するための回路13が必要となり、電力増幅回路が複雑化してしまう。また、電力増幅回路への入力周波数の上限が回路13の動作速度に律速されてしまう。

【0040】

上記の課題に対し、本実施形態のピークアンプ5では、2段のトランジスタ TR_1 及び TR_2 が、互いに直列に接続されたカレントリユース構成を成し、更に、高周波信号経路（図2の矢印 A_{RF} ）と、直流信号経路（図2の矢印 A_{DC} ）とが互いに分離している。これにより、電力効率を高めると共に、図5の（b）部に示した回路13を設けなくとも、トランジスタ TR_2 がトランジスタ TR_1 への入力信号に即時に連動するので、トランジスタ TR_1 及び TR_2 がオン状態となるタイミングを互いに近づけることができる。また、各トランジスタ TR_1 及び TR_2 のゲートバイアスを浅くする必要がないので、図5の（a）部に示した構成と比較してリーク電流を大幅に低減できる。

【0041】

ここで、比較例として、一般的なカレントリユース構成を有する電力増幅回路を図6に示す。この電力増幅回路100は、次の点において本実施形態のピークアンプ5と異なる。すなわち、この電力増幅回路100は、第1トランジスタ TR_1 と接地電位線GNDとの間に互いに並列に接続された抵抗 R_{100} 及びコンデンサ C_{100} を有する。また、この電力増幅回路100は、第2トランジスタ TR_2 と第1ノード N_1 との間に抵抗 R_{101} を有する。また、この電力増幅回路100は、図2に示した回路11に代えて、第1トランジスタ TR_1 の制御端子と接地電位線GNDとの間に互いに直列に接続された抵抗 R_{102} 及び分布定数回路 L_{100} を有する。更に、この電力増幅回路100は、図2に示したカップリングコンデンサ C_2 を有しておらず、第1ノード N_1 と第2トランジスタ TR_2 の制御端子とが互いに短絡されている。

【0042】

図6に示す電力増幅回路100では、第1トランジスタ TR_1 のソース端子と接地電位線GNDとの間に抵抗 R_{100} を設けるとともに、第2トランジスタ TR_2 のソース端子と第1トランジスタ TR_1 のドレイン端子との間に抵抗 R_{101} を設けている。そして、抵抗 R_{100} の電圧降下によって第1トランジスタ TR_1 のゲートバイアスが定まり、抵抗 R_{101} の電圧降下によって第2トランジスタ TR_2 のゲートバイアスが定まる。電力増幅回路100では、このような自己バイアス構成をとることにより、入力信号 S_{in} に対し、トランジスタ TR_1 、 TR_2 のゲートへの入力信号 S_{in1} 、 S_{in2} の電位としてそれぞれ同程度の電圧レベルのゲートバイアスを設定することが可能となる。

【0043】

しかしながら、このような自己バイアス構成でC級動作を実現させるため、入力信号 S_{in} のレベルが低い時に、トランジスタ $T R_1$ がオフ状態になるようなバイアス設計を行う必要があり、トランジスタ $T R_1$ のゲートへの入力信号 S_{in}' のみならずトランジスタ $T R_2$ のゲートへの入力信号 S_{in2} の電位レベルも同程度に十分にオフしている状態になるようなバイアス設計とならざるを得ない。その結果、入力信号 S_{in} のレベルが高くなった際に、トランジスタ $T R_1$ がオン状態になるのに連動してトランジスタ $T R_2$ がオン状態になるまでには、どうしてもタイミングの遅れが生じてしまう。

【0044】

これに対し、本実施形態のピークアンプ5によれば、カップリングコンデンサ C_2 を設けることによって第1トランジスタ $T R_1$ のゲートバイアスと第2トランジスタ $T R_2$ のゲートバイアスとをそれぞれ独立して入力することが可能になり、C級動作を実現しつつ、トランジスタ $T R_1$ がオン状態になるタイミングとトランジスタ $T R_2$ がオン状態になるタイミングを近付けることが可能な電力増幅回路を実現できる。なお、本実施形態のメインアンプ4はA級からAB級ないしはB級動作を行うので、図6に示す電力増幅回路100の構成を有してもよい。

10

【0045】

また、本実施形態によれば、各トランジスタ $T R_1$, $T R_2$ に印加するドレイン・ソース間電圧 $V D 1 S 1$, $V D 2 S 2$ をある程度任意に変えることが可能である。従って、第1トランジスタ $T R_1$ のドレイン・ソース間電圧 $V D 1 S 1$ と、第2トランジスタ $T R_2$ のドレイン・ソース間電圧 $V D 2 S 2$ との比を変えることにより、各トランジスタ $T R_1$, $T R_2$ の総ゲート幅を変えることなく、各トランジスタ $T R_1$, $T R_2$ の飽和パワーを変更することが可能になる。

20

【0046】

前述したように、第1バイアス電圧 $V G_1$ は、入力信号 S_{in} のパワーが第1のレベルを超えないときに、入力信号 S_{in}' に対して、第1トランジスタ $T R_1$ が十分にピンチオフ状態となる大きさに設定され、入力信号 S_{in} のパワーが第1のレベルを超えるときには、入力信号 S_{in}' に対して、第1トランジスタ $T R_1$ がオン状態となる大きさに設定されてもよい。例えば第1バイアス電圧 $V G_1$ をこのように設定することにより、第1トランジスタ $T R_1$ のC級動作を実現することができる。

【0047】

そしてその一方で、第2バイアス電圧 $V G_2$ は、入力信号 S_{in} のパワーが第1のレベルを超えないときに、入力信号 S_{in2}' に対し、第2トランジスタ $T R_2$ が浅くピンチオフ状態となる程度の大きさに設定され、入力信号 S_{in} のパワーが第1のレベルを超えるときには、入力信号 S_{in2}' に対し、速やかに第2トランジスタ $T R_2$ がオン状態となる大きさに設定されてもよい。その結果、ピークアンプ5全体としては、C級動作を実現しつつ、トランジスタ $T R_1$ がオン状態になるタイミングとトランジスタ $T R_2$ がオン状態になるタイミングを近付けることが可能な電力増幅回路を実現できる。

30

【0048】

前述したように、メインアンプ4は、各バイアス電圧 $V G_1$, $V G_2$ の大きさを除いてピークアンプ5と同じ構成を有してもよい。この場合、設計のための解析等を簡略化することが可能となり、設計が容易になる。

40

【0049】

(第2実施形態)

図7は、本開示の第2実施形態に係る電力増幅回路1Bの構成を概略的に示す図である。電力増幅回路1Bと第1実施形態の電力増幅回路1Aとは、メインアンプ及びピークアンプの構成において相違し、他の構成において一致する。電力増幅回路1Bは、第1実施形態のメインアンプ4及びピークアンプ5に代えて、メインアンプ4C及びピークアンプ5Cを有する。メインアンプ4C及びピークアンプ5Cは、それぞれ3段のアンプとして構成されている。

【0050】

50

図 8 は、ピークアンプ 5 C の構成を詳細に示す回路図である。本実施形態のピークアンプ 5 C もまた、カレントリユース構成を有する。同図に示すように、ピークアンプ 5 C は、初段増幅回路としてのトランジスタ $T R_3$ と、第 2 段増幅回路としてのトランジスタ $T R_1$ と、第 3 段増幅回路としてのトランジスタ $T R_2$ とを有する。なお、本実施形態において、トランジスタ $T R_1$ は第 1 トランジスタの例であり、トランジスタ $T R_2$ は第 2 トランジスタの例であり、トランジスタ $T R_3$ は第 3 トランジスタの例である。

【 0 0 5 1 】

トランジスタ $T R_3$ は、接地電位線 $G N D$ と、第 1 ノード N_1 との間に直列に接続されている。具体的には、トランジスタ $T R_3$ の一方の電流端子（例えばソース）は接地電位線 $G N D$ と接続され、他方の電流端子（例えばドレイン）は分布定数回路 L_3 を介して第 1 ノード N_1 と接続されている。トランジスタ $T R_3$ は、トランジスタ $T R_1$ 及び $T R_2$ と同様に、例えば $G a N - H E M T$ である。

10

【 0 0 5 2 】

トランジスタ $T R_1$ は、第 1 実施形態と同様に、接地電位線 $G N D$ と、第 1 ノード N_1 との間に直列に接続されている。具体的には、トランジスタ $T R_1$ の一方の電流端子（例えばソース）は接地電位線 $G N D$ と接続され、他方の電流端子（例えばドレイン）は分布定数回路 L_2 を介して第 1 ノード N_1 と接続されている。

【 0 0 5 3 】

トランジスタ $T R_2$ は、第 1 実施形態と同様に、第 1 ノード N_1 と電源電位線 $V D$ との間に直列に接続されている。具体的には、トランジスタ $T R_2$ の一方の電流端子（例えばソース）は第 1 ノード N_1 と接続され、他方の電流端子（例えばドレイン）は分布定数回路 L_6 を介して電源電位線 $V D$ と接続されている。トランジスタ $T R_2$ の総ゲート幅 W_2 は、トランジスタ $T R_1$ 及び $T R_3$ の各総ゲート幅 W_1 、 W_3 の和（ $W_1 + W_3$ ）以上である。一実施例では、トランジスタ $T R_2$ の総ゲート幅 W_2 は、トランジスタ $T R_1$ 及び $T R_3$ の各総ゲート幅 W_1 、 W_3 の和（ $W_1 + W_3$ ）に等しい。なお、電源電位線 $V D$ と分布定数回路 L_6 との間のノードは、バイパスコンデンサ C_6 を介して接地電位線 $G N D$ と接続されてもよい。

20

【 0 0 5 4 】

トランジスタ $T R_3$ の制御端子（ゲート）は、第 5 交流カップリング回路としてのカップリングコンデンサ C_5 を介して、ピークアンプ 5 C の入力端 5 a と交流的に接続され、直流的に遮断されている。トランジスタ $T R_3$ の総ゲート幅 W_3 は、トランジスタ $T R_1$ の総ゲート幅 W_1 よりも小さい。一実施例では、トランジスタ $T R_3$ の総ゲート幅 W_3 は、トランジスタ $T R_1$ の総ゲート幅 W_1 の半分である。トランジスタ $T R_3$ の制御端子とカップリングコンデンサ C_5 との間には、分布定数回路 L_4 が介在している。トランジスタ $T R_3$ の制御端子においては、入力端 5 a からカップリングコンデンサ C_5 及び分布定数回路 L_4 を介して、入力信号 S_{in}' を受ける。入力信号 S_{in} は、図 7 のノード $N A$ において分岐された他方の信号である。

30

【 0 0 5 5 】

また、トランジスタ $T R_3$ の制御端子は、該制御端子にバイアス電圧 $V G_3$ （第 3 バイアス電圧）を印加する回路 1 3 と接続されている。回路 1 3 は、電圧入力端子 1 3 a、抵抗 R_{13} 、分布定数回路 L_{13} 、及びバイパスコンデンサ C_{13} を含む。電圧入力端子 1 3 a は、互いに直列に接続された分布定数回路 L_{13} 及び抵抗 R_{13} を介して、トランジスタ $T R_3$ の制御端子と接続されている。また、電圧入力端子 1 3 a と分布定数回路 L_{13} との間のノードは、バイパスコンデンサ C_{13} を介して接地電位線 $G N D$ と接続されている。トランジスタ $T R_3$ を C 級動作させる為に、バイアス電圧 $V G_3$ は、入力信号 S_{in}' のパワーがレベル P_1 （第 1 のレベル）を超えないときにはトランジスタ $T R_3$ がピンチオフ状態となる大きさに設定され、入力信号 S_{in}' のパワーがレベル P_1 を超えるときにはトランジスタ $T R_3$ がオン状態となる大きさに設定される。一実施例では、バイアス電圧 $V G_3$ は $-1 V$ であり、レベル P_1 は、トランジスタ $T R_3$ のゲート・ソース電圧の値として $-0.4 V$ である。なお、レベル P_1 は、例えばメインアンプ 4 が飽和するレベルに基づいて決定される。

40

50

【 0 0 5 6 】

本実施形態のトランジスタ $T R_1$ の制御端子は、カップリングコンデンサ C_1 を介して、トランジスタ $T R_3$ の第 1 ノード N_1 側の電流端子（例えばドレイン）と交流的に接続され、直流的に遮断されている。より詳細には、トランジスタ $T R_1$ の制御端子は、カップリングコンデンサ C_1 を介して、トランジスタ $T R_3$ と分布定数回路 L_3 との間のノード N_3 と交流的に接続され、直流的に遮断されている。トランジスタ $T R_1$ の制御端子は、ノード N_3 からカップリングコンデンサ C_1 を介して、トランジスタ $T R_3$ による増幅後の信号（入力信号 S_{in3}' ）を受ける。

【 0 0 5 7 】

また、トランジスタ $T R_1$ の制御端子は、該制御端子にバイアス電圧 $V G_1$ （第 1 バイアス電圧）を印加する回路 1 1 A と接続されている。回路 1 1 A は、電圧入力端子 1 1 a、抵抗 R_{11} 、分布定数回路 L_{11} 、及びバイパスコンデンサ C_{11} を含む。電圧入力端子 1 1 a は、互いに直列に接続された分布定数回路 L_{11} 及び抵抗 R_{11} を介して、トランジスタ $T R_1$ の制御端子と接続されている。また、電圧入力端子 1 1 a と分布定数回路 L_{11} との間のノードは、バイパスコンデンサ C_{11} を介して接地電位線 $G N D$ と接続されている。トランジスタ $T R_1$ を C 級動作させる為に、バイアス電圧 $V G_1$ は、入力信号 S_{in3}' のパワーがレベル P_2 （第 2 のレベル、 $P_1 < P_2$ ）を超えないときにはトランジスタ $T R_1$ がピンチオフ状態となる大きさに設定され、入力信号 S_{in3}' のパワーがレベル P_2 を超えるときにはトランジスタ $T R_1$ がオン状態となる大きさに設定される。一実施例では、バイアス電圧 $V G_1$ の大きさはバイアス電圧 $V G_3$ の大きさと同じである。

【 0 0 5 8 】

本実施形態のトランジスタ $T R_2$ の制御端子は、カップリングコンデンサ C_2 を介して、第 1 ノード N_1 と交流的に接続され、直流的に遮断されている。より詳細には、トランジスタ $T R_2$ の制御端子は、カップリングコンデンサ C_2 を介して、トランジスタ $T R_1$ と分布定数回路 L_2 との間のノード N_4 と交流的に接続され、直流的に遮断されている。トランジスタ $T R_2$ の制御端子は、ノード N_3 からノード N_1 及びノード N_4 を経由したトランジスタ $T R_3$ による増幅後の信号（出力信号 S_{in3} ）と、ノード N_4 を経由したトランジスタ $T R_1$ による増幅後の信号（出力信号 S_{in2} ）とを合わせた信号を、カップリングコンデンサ C_2 を介して入力信号 S_{in2}' として受ける。

【 0 0 5 9 】

また、トランジスタ $T R_2$ の制御端子は、該制御端子にバイアス電圧 $V G_2$ （第 2 バイアス電圧）を印加する回路 1 2 A と接続されている。回路 1 2 A は、電圧入力端子 1 2 a、抵抗 R_{12} 、分布定数回路 L_{12} 、及びバイパスコンデンサ C_{12} を含む。電圧入力端子 1 2 a は、互いに直列に接続された分布定数回路 L_{12} 及び抵抗 R_{12} を介して、トランジスタ $T R_2$ の制御端子と接続されている。また、電圧入力端子 1 2 a と分布定数回路 L_{12} との間のノードは、バイパスコンデンサ C_{12} を介して接地電位線 $G N D$ と接続されている。トランジスタ $T R_2$ を C 級動作させる為に、バイアス電圧 $V G_2$ は、入力信号 S_{in2}' のパワーがレベル P_1 を超えないときにはトランジスタ $T R_2$ がピンチオフ状態となり、入力信号 S_{in2}' のパワーがレベル P_1 を超えるときにはトランジスタ $T R_2$ がオン状態となる大きさを有する。一実施例では、バイアス電圧 $V G_2$ は 3 . 6 V である。

【 0 0 6 0 】

第 1 実施形態と同様に、第 1 ノード N_1 は、カップリングコンデンサ C_3 を介して、接地電位線 $G N D$ と交流的に接続され、直流的に遮断されている。トランジスタ $T R_2$ と電源電位線 $V D$ との間の第 2 ノード N_2 は、互いに直列に接続された分布定数回路 L_5 及びカップリングコンデンサ C_4 を介して、ピークアンプ 5 C の出力端 5 b と交流的に接続され、直流的に遮断されている。ピークアンプ 5 C は、増幅後の出力信号 S_{out} を、第 2 ノード N_2 からカップリングコンデンサ C_4 を介して出力する。

【 0 0 6 1 】

以上の構成を備えるピークアンプ 5 C の動作を説明する。入力端 5 a に入力信号 S_{in} を受けると、高周波信号である入力信号 S_{in} はカップリングコンデンサ C_5 を通過してトラ

10

20

30

40

50

ンジスタ $T R_3$ の制御端子に達する。また、トランジスタ $T R_3$ の制御端子には、回路 1 3 からバイアス電圧 $V G_3$ が印加される。従って、トランジスタ $T R_3$ の制御端子には、バイアス電圧 $V G_3$ と入力信号 S_{in} の高周波信号成分とを合成した電圧が入力信号 S_{in}' として印加される。バイアス電圧 $V G_3$ が適切な大きさに設定されることにより、入力信号 S_{in}' のパワーがレベル P_1 を超えないときには、トランジスタ $T R_3$ はピンチオフ状態となり、電流端子間の電流は僅かに流れるのみである。また、入力信号 S_{in}' のパワーがレベル P_1 を超えるときには、トランジスタ $T R_3$ はオン状態となり、電流端子間には入力信号 S_{in}' の大きさに応じた電流が流れる。

【 0 0 6 2 】

更に、トランジスタ $T R_3$ の制御端子への印加電圧のうち入力信号 S_{in}' に起因する高周波成分は、出力信号 S_{in3} として増幅されたのちノード N_3 からカップリングコンデンサ C_1 を通ってトランジスタ $T R_1$ の制御端子に入力信号 S_{in3}' として入力される。図 8 の矢印 A_{RF} は、このような高周波成分の流れを示している。また、トランジスタ $T R_1$ の制御端子には、回路 1 1 A からバイアス電圧 $V G_1$ が印加される。従って、トランジスタ $T R_1$ の制御端子には、バイアス電圧 $V G_1$ と、入力信号 S_{in3} の増幅された高周波成分とを合成した電圧が入力信号 S_{in3}' として印加される。バイアス電圧 $V G_1$ が適切な大きさに設定されることにより、入力信号 S_{in3}' のパワーがレベル P_2 を超えないときには、トランジスタ $T R_1$ はピンチオフ状態となり、電流端子間の電流は僅かに流れるのみである。また、入力信号 S_{in3}' のパワーがレベル P_2 を超えるときには、トランジスタ $T R_1$ はオン状態となり、電流端子間には増幅された高周波成分の大きさに応じた電流が流れる。

【 0 0 6 3 】

トランジスタ $T R_1$ の制御端子へ印加される電圧に含まれる高周波成分は、出力信号 S_{in2} として更に増幅されたのち、ノード N_3 からノード N_1 、ノード N_4 を経由したトランジスタ $T R_3$ による増幅後の信号（出力信号 S_{in3} ）と合わせて、ノード N_4 からカップリングコンデンサ C_2 を通ってトランジスタ $T R_2$ の制御端子に入力信号 S_{in2}' として入力される（矢印 A_{RF} を参照）。また、トランジスタ $T R_2$ の制御端子には、回路 1 2 A からバイアス電圧 $V G_2$ が印加される。従って、トランジスタ $T R_2$ の制御端子には、バイアス電圧 $V G_2$ と、入力信号 S_{in}' が更に増幅された高周波成分 S_{in3} と S_{in2} とを合成した電圧が入力信号 S_{in2}' として印加される。バイアス電圧 $V G_2$ が適切な大きさに設定されることにより、入力信号 S_{in2}' のパワーがレベル P_1 を超えないときには、トランジスタ $T R_2$ はピンチオフ状態となり、電流端子間の電流は僅かに流れるのみである。また、入力信号 S_{in2}' のパワーがレベル P_1 を超えるときには、トランジスタ $T R_2$ はオン状態となり、電流端子間には増幅された高周波成分の大きさに応じた電流が流れる。

【 0 0 6 4 】

電源電位線 $V D$ と接地電位線 $G N D$ との間においてトランジスタ $T R_1$ 及び $T R_2$ は直列に接続されているので、これらを通る電流は共通となる。また、電源電位線 $V D$ と接地電位線 $G N D$ との間においてトランジスタ $T R_3$ 及びトランジスタ $T R_2$ は直列に接続されているので、これらを通る電流は共通となる。すなわち、トランジスタ $T R_2$ を流れる電流の大きさは、トランジスタ $T R_1$ を流れる電流の大きさと、トランジスタ $T R_3$ を流れる電流の大きさととの和となる。図 8 の矢印 A_{DC} は、このような電流の流れを示している。この電流により生じる第 2 ノード N_2 の電位には、入力信号 S_{in} を 3 段階で増幅した高周波成分が含まれる。この高周波成分は、カップリングコンデンサ C_4 を通過して、出力端 5 b からピークアンプ 5 C の外部（図 7 に示されたノード $N B$ ）へ出力信号 S_{out} として出力される。なお、トランジスタ $T R_1$ 及び $T R_2$ を流れる共通電流の大きさは、主にバイアス電圧 $V G_1$ の大きさによって定まり、トランジスタ $T R_3$ 及びトランジスタ $T R_2$ を流れる共通電流の大きさは、主にバイアス電圧 $V G_3$ の大きさによって定まる。

【 0 0 6 5 】

図 7 に示したメインアンプ 4 C は、上述したピークアンプ 5 C と同じ構成を有してもよく、或いはピークアンプ 5 C と異なる構成を有してもよい。メインアンプ 4 C がピークアンプ 5 C と同じ構成を有する場合、メインアンプ 4 C は A 級から A B 級ないしは B 級動作

10

20

30

40

50

を行うため、バイアス電圧 V_{G1} 及び V_{G3} の大きさがピークアンプ5Cと異なる。すなわち、トランジスタ T_{R1} 及び T_{R3} をA級からAB級ないしはB級動作させる為に、バイアス電圧 V_{G1} 及び V_{G3} は、入力信号 S_{in} のパワーにかかわらずトランジスタ T_{R1} 及び T_{R3} が常にオン状態となる大きさを有する。メインアンプ4Cにおける一実施例では、バイアス電圧 V_{G1} 及び V_{G3} は $-0.4V$ である。

【0066】

図9の(a)部及び(b)部、並びに図10の(a)部及び(b)部は、ピークアンプ5Cの動作の具体例を説明するための図である。これらの図には、電圧の大きさを示す縦軸に、バイアス電圧 V_{G3} 、トランジスタ T_{R3} のソース電圧 V_{S3} (すなわち $0V$)、バイアス電圧 V_{G2} 、トランジスタ T_{R2} のソース電圧 V_{S2} (トランジスタ T_{R3} のドレイン電圧 V_{D3} 、及びトランジスタ T_{R1} のドレイン電圧 V_{D1} と等しい)、バイアス電圧 V_{G1} (ここでは、バイアス電圧 V_{G3} と同じ値としている)、トランジスタ T_{R1} のソース電圧 V_{S1} (すなわち $0V$)、及び電源電位線 VD の各レベルが併せて示されている。これらの電圧のうち、 V_{S2} 、 V_{D3} 、 V_{D1} のみは変動する値で、それ以外は固定の電圧値である。 V_{S2} 、 V_{D3} 、 V_{D1} は、トランジスタ T_{R1} 、 T_{R2} 、 T_{R3} の動作状態に応じて変動する電位である。

10

【0067】

図9の(a)部及び(b)部、並びに図10の(a)部及び(b)部には、第3トランジスタ T_{R3} の制御端子(ゲート)における入力信号 S_{in}' と、第2トランジスタ T_{R2} の制御端子(ゲート)における入力信号 S_{in2}' と、第1トランジスタ T_{R1} の制御端子(ゲート)における入力信号 S_{in1}' と、のそれぞれの入力波形の電圧レベルのイメージも示されている。そしてその結果、第3トランジスタ T_{R3} のゲート・ソース間に印加される電圧 V_{g3s3} と、第2トランジスタ T_{R2} のゲート・ソース間に印加される電圧 V_{g2s2} と、第1トランジスタ T_{R1} のゲート・ソース間に印加される電圧 V_{g1s1} と、のレベルが矢印と共に示されている。

20

【0068】

図9の(a)部は、ピークアンプ5Cへの入力信号 S_{in} のパワーが低い場合を示す。図9の(b)部は、ピークアンプ5Cへの入力信号 S_{in} のパワーが上昇し始め、トランジスタ T_{R3} に電流が流れ始めた場合を示す。図10の(a)部は、ピークアンプ5Cへの入力信号 S_{in} のパワーが更に上昇し、トランジスタ T_{R1} にも電流が流れ始めた場合を示す。図10の(b)部は、ピークアンプ5Cへの入力信号 S_{in} のパワーが上昇し、ピークアンプ5Cが完全にオン状態である場合を示す。

30

【0069】

ピークアンプ5Cへの入力信号 S_{in} のパワーが低い場合(図9の(a)部)、入力信号 S_{in}' と入力信号 S_{in2}' と入力信号 S_{in1}' のパワーも低い。トランジスタ T_{R3} 、 T_{R2} 及び T_{R1} がピンチオフ状態となるようにバイアス電圧 V_{G1} 及び V_{G3} が設定されるので、トランジスタ T_{R3} 、 T_{R2} 及び T_{R1} の電流は僅かに流れるのみである。図9の(a)部では、トランジスタ T_{R3} 、 T_{R2} がピンチオフ状態になるか否かの境界となるレベル P_1 (第1のレベル)を、それぞれのトランジスタ T_{R3} 、 T_{R2} のゲート・ソース間電圧が $-0.4V$ より大きいかな否かによって判断している。図9の(a)部では、 $V_{g3s3} < -0.4V$ であり、また、 $V_{g2s2} < -0.4V$ であるので、トランジスタ T_{R3} 、 T_{R2} がピンチオフ状態であると言える。

40

【0070】

同様に、トランジスタ T_{R1} がピンチオフ状態になるか否かの境界となるレベル P_2 (第2のレベル)を、トランジスタ T_{R1} のゲート・ソース間電圧が $-0.2V$ より大きいかな否かによって判断している。図9の(a)部では、 $V_{g1s1} < -0.4V$ であるので、トランジスタ T_{R1} もピンチオフ状態であると言える。

【0071】

この時に、僅かに流れるトランジスタ T_{R3} 、 T_{R2} 及び T_{R1} の電流については、トランジスタ T_{R2} のドレイン電流 I_{D2} は、トランジスタ T_{R3} のドレイン電流 I_{D3} とトラン

50

ジスタ TR_1 のドレイン電流 ID_1 との和 ($ID_3 + ID_1$) に等しいという関係が保たれる。入力端 5 a から入力された入力信号 S_{in} に応じて、トランジスタ TR_3 、 TR_2 及び TR_1 、各々のゲートに印加される入力信号 $S_{in'}$ 、 $S_{in3'}$ 及び $S_{in2'}$ が決まり、トランジスタ TR_3 、 TR_2 及び TR_1 、それぞれのドレイン電流の間において、 $ID_2 = ID_3 + ID_1$ の関係が保たれるように、トランジスタ TR_2 のソース電圧 VS_2 が決まる。つまり、トランジスタ TR_2 のドレイン・ソース間電圧 VD_2S_2 、トランジスタ TR_3 のドレイン・ソース間電圧 VD_3S_3 、及び、トランジスタ TR_1 のドレイン・ソース間電圧 VD_1S_1 が決まる。

【0072】

その後、ピークアンプ 5 C への入力信号 S_{in} のパワーが上昇し始めると、入力信号 $S_{in'}$ と入力信号 $S_{in2'}$ と入力信号 $S_{in3'}$ のパワーも上昇を始める。図 9 の (b) 部に示すように、レベル P_1 ($-0.4V$)、レベル P_2 ($-0.2V$) に対し、 $-0.2V > Vg_{3s3} > -0.4V$ であり、且つ、 $-0.2V > Vg_{2s2} > -0.4V$ であると、トランジスタ TR_3 、 TR_2 がピンチオフ状態からオン状態に変化し、ドレイン電流 ID_3 、 ID_2 が流れ始める。

10

【0073】

トランジスタ TR_1 に関しては、 $-0.2V > Vg_{1s1} > -0.4V$ であるため、依然としてピンチオフ状態に留まり、わずかなドレイン電流 ID_1 が流れるのみである。ただし、トランジスタ TR_3 、 TR_2 及び TR_1 それぞれのドレイン電流の間において、 $ID_2 = ID_3 + ID_1$ の関係が保たれるので、その上で各々のゲートに印加される入力信号 $S_{in'}$ 、 $S_{in3'}$ 及び $S_{in2'}$ に応じたドレイン電流 ID_2 、 ID_3 及び ID_1 を流すように、トランジスタ TR_2 のソース電圧 VS_2 が決まる。つまり、トランジスタ TR_2 のドレイン・ソース間電圧 VD_2S_2 、トランジスタ TR_3 のドレイン・ソース間電圧 VD_3S_3 、及び、トランジスタ TR_1 のドレイン・ソース間電圧 VD_1S_1 が決まる。

20

【0074】

図 9 の (a) 部に比べ、ドレイン電流 ID_3 が流れ始め、ドレイン電流 ID_2 も流れ始めるので、第 1 実施形態の図 3 の (b) 部と同様にソース電圧 VS_2 の電位が低下するが、本実施形態ではトランジスタ TR_3 の総ゲート幅 W_3 よりもトランジスタ TR_2 の総ゲート幅 W_2 が大きいので、第 1 実施形態と比較してソース電圧 VS_2 の変動は小さい。

【0075】

そして、ピークアンプ 5 C への入力信号 S_{in} のパワーが更に上昇すると、入力信号 $S_{in'}$ と入力信号 $S_{in2'}$ と入力信号 $S_{in3'}$ のパワーも更に上昇する。図 10 の (a) 部に示すように、レベル P_2 ($-0.2V$) に対し、 $Vg_{3s3} > -0.2V$ 、でありまた、 $Vg_{2s2} > -0.2V$ 、であると、トランジスタ TR_3 、 TR_2 はオン状態を維持し、ドレイン電流 ID_3 、 ID_2 も引き続き流れ続ける。

30

【0076】

トランジスタ TR_1 に関しても、 $Vg_{1s1} > -0.2V$ であるため、ピンチオフ状態からオン状態に変化し、ドレイン電流 ID_1 が流れ始める。図 9 の (b) 部に比べ、ドレイン電流 ID_3 、 ID_2 に加えて、ドレイン電流 ID_1 も流れ始めるので、ソース電圧 VS_2 の電位は更に低下する。

40

【0077】

続いて、ピークアンプ 5 C への入力信号 S_{in} のパワーが更に大きく上昇すると (図 10 の (b) 部)、入力信号 $S_{in'}$ と入力信号 $S_{in2'}$ と入力信号 $S_{in3'}$ のパワーも更に大きく上昇する。トランジスタ TR_3 のドレイン電流 ID_3 、及びトランジスタ TR_1 のドレイン電流 ID_1 が十分に流れ、 $ID_2 = ID_1 + ID_3$ を満たすようにソース電圧 VS_2 の電位が決まる。図 10 の (a) 部に比べ、ソース電圧 VS_2 の電位は更に低下する。なお、このときの動作は、メインアンプ 4 C がピークアンプ 5 C と同じ構成を有する場合のメインアンプ 4 C の動作と同様である。

【0078】

本実施形態の電力増幅回路 1 B のように、ピークアンプ 5 C は、第 1 実施形態の電力増

50

幅回路 1 A の構成に加えて、接地電位線 GND と第 1 ノード N_1 との間においてトランジスタ $T R_1$ と並列に接続されたトランジスタ $T R_3$ を更に有してもよい。その場合、トランジスタ $T R_3$ の制御端子は、入力信号 S_{in} をカップリングコンデンサ C_5 を介して受けるとともに、バイアス電圧 $V G_3$ を該制御端子に印加する回路 1 3 と電氣的に接続されてもよい。そして、トランジスタ $T R_1$ の制御端子は、トランジスタ $T R_3$ の第 1 ノード N_1 側の電流端子（例えばドレイン）の電圧を中間信号として受けてもよい。

【 0 0 7 9 】

この電力増幅回路 1 B では、ピークアンプ 5 C のトランジスタ $T R_1$ 及び $T R_2$ が、互いに直列に接続されたカレントリユース構成を成し、また、トランジスタ $T R_3$ 及び $T R_2$ が、互いに直列に接続されたカレントリユース構成を成す。これにより、電力効率を高めることができる。また、本実施形態においても、高周波信号経路（図 8 の矢印 A_{RF} ）と、直流信号経路（図 8 の矢印 A_{DC} ）とが互いに分離しているので、トランジスタ $T R_1$ がトランジスタ $T R_3$ への入力信号に即時に連動し、且つ、トランジスタ $T R_2$ がトランジスタ $T R_1$ への入力信号に即時に連動する。よって、トランジスタ $T R_1$ 、 $T R_2$ 及び $T R_3$ がオン状態となるタイミングを互いに近づけることができる。また、各トランジスタ $T R_1$ 、 $T R_2$ 及び $T R_3$ のゲートバイアスを浅くする必要がないので、リーク電流を大幅に低減できる。

【 0 0 8 0 】

ここで、比較例として、通常の 3 段アンプ構成を備えるアンプ回路 2 0 0 を図 1 1 に示す。このアンプ回路 2 0 0 は、互いに同一の構成を有する 3 段の増幅部 2 0 1 を有する。各段の増幅部 2 0 1 は、トランジスタ $T R$ を含むソース接地型の構成を有する。初段のトランジスタ $T R$ のゲートは、分布定数回路 L_{21} 及びカップリングコンデンサ C_{21} を介して信号入力端子 2 0 0 a と接続されている。第 2 段及び第 3 段のトランジスタ $T R$ のゲートは、分布定数回路 L_{21} 及びカップリングコンデンサ C_{21} を介して前段のトランジスタ $T R$ のドレインと接続されている。また、各段のトランジスタ $T R$ のゲートは、バイアス電圧 $V G$ をゲートに印加する回路 2 1 1 と接続されている。各段の回路 2 1 1 は、バイアス電圧入力端子 2 1 1 a とトランジスタ $T R$ のゲートとの間において互いに直列に接続された分布定数回路 L_{22} 及び抵抗 R_{21} を有する。更に、各段の回路 2 1 1 は、バイアス電圧入力端子 2 1 1 a と接地電位線 GND との間において接続されたバイパスコンデンサ C_{22} を有する。各段のトランジスタ $T R$ のソースは接地電位線 GND と接続され、各段のトランジスタ $T R$ のドレインは分布定数回路 L_{23} を介して電源電位線 $V D$ と接続されている。なお、電源電位線 $V D$ と接地電位線 GND との間には、バイパスコンデンサ C_{23} が接続されている。第 3 段（最終段）のトランジスタ $T R$ のドレインは、更に、分布定数回路 L_{24} 及びカップリングコンデンサ C_{24} を介して信号出力端子 2 0 0 b に接続されている。

【 0 0 8 1 】

図 1 2 は、本実施形態に係る電力増幅回路 1 B の入出力特性に関するシミュレーション結果を示すグラフである。図 1 2 において、グラフ G 1 1 はメインアンプ 4 C の入出力特性を示し、グラフ G 1 2 はピークアンプ 5 C の入出力特性を示し、グラフ G 1 3 は電力増幅回路 1 B 全体の入出力特性を示す。但し、メインアンプ 4 C はバイアス電圧を除いてピークアンプ 5 C と同一の構成を有するものとし、具体的な条件を下記のように設定した。

- ・入力周波数：73.5 GHz
- ・電源電位線 $V D$ ：8 V（メインアンプ 4 C、ピークアンプ 5 C 共通）
- ・バイアス電圧 $V G_1$ ：-0.4 V 固定（メインアンプ 4 C）、-1 V 固定（ピークアンプ 5 C）
- ・バイアス電圧 $V G_2$ ：3.6 V 固定（メインアンプ 4 C、ピークアンプ 5 C）
- ・バイアス電圧 $V G_3$ ：-0.4 V 固定（メインアンプ 4 C）、-1 V 固定（ピークアンプ 5 C）
- ・トランジスタ $T R_1$ の総ゲート幅：100 μm （メインアンプ 4 C、ピークアンプ 5 C）
- ・トランジスタ $T R_2$ の総ゲート幅：150 μm （メインアンプ 4 C、ピークアンプ 5 C）

)

- ・トランジスタ TR_3 の総ゲート幅： $50\ \mu\text{m}$ （メインアンプ4C、ピークアンプ5C）
- ・トランジスタ TR_2 、 TR_1 及び TR_3 のゲート長： $0.1\ \mu\text{m}$ （メインアンプ4C、ピークアンプ5C）

【0082】

図13は、メインアンプ及びピークアンプのそれぞれを図11に示したアンプ回路200とした比較例に係る、電力増幅回路の入出力特性に関するシミュレーション結果を示すグラフである。図13において、グラフG21はメインアンプの入出力特性を示し、グラフG22はピークアンプの入出力特性を示し、グラフG23は電力増幅回路全体の入出力特性を示す。この比較例では、具体的な条件を下記のように設定した。

10

- ・入力周波数： $73.5\ \text{GHz}$
- ・電源電位線VD： $4\ \text{V}$ （メインアンプ、ピークアンプ共通）
- ・バイアス電圧VG： $-0.4\ \text{V}$ 固定（メインアンプ）、 $-1\ \text{V}$ 固定（ピークアンプ）
- ・トランジスタTRの総ゲート幅： $50\ \mu\text{m}$ （初段）、 $100\ \mu\text{m}$ （第2段）、 $150\ \mu\text{m}$ （第3段）（メインアンプ、ピークアンプ）
- ・トランジスタTRのゲート長： $0.1\ \mu\text{m}$ （メインアンプ、ピークアンプ）

【0083】

図12及び図13を参照すると、メインアンプの入出力特性（グラフG11，G21）は本実施形態及び比較例においてほぼ同様であるが、ピークアンプの入出力特性に関しては、比較例（グラフG22）においては入力パワーに対する出力パワーの立ち上がりが遅く、しかも比較的低い出力パワーで飽和している。これは、総ゲート幅が大きくなるとC級動作に必要となる入力パワーも大きくなることに起因する。従って、本実施形態のように多段化した場合、この傾向が顕著に現れる。この問題を回避するためにピークアンプの前段にパワーモニタ回路（図4の（b）部の回路13）を設け、後段（例えば第3段）のバイアス電圧VGに対してフィードバック制御を行うと、電力増幅回路が複雑するとともに、電力増幅回路への入力周波数の上限がパワーモニタ回路の動作速度に律速されてしまう。また、この問題を回避するために各段のバイアス電圧VGを浅く設定すると、各段のトランジスタTRの温度特性のばらつきやプロセスばらつきの影響が顕著となり、また、リーク電流が大きくなるので電力効率が低下するといった問題が生じる。これに対し、本実施形態（グラフG12）においては、比較例に比べ、入力パワーに対する出力パワーの立ち上がりがより速く、しかも出力パワーが飽和する値もより高い値まで出力できている。本実施形態によれば、カレントリユース構成を採用しているため初段のトランジスタ TR_3 及び第2段のトランジスタ TR_1 への入力パワーに応じて、第3段のトランジスタ TR_2 が応答し、かつ電流が増加出来るので、パワーモニタ回路を用いなくても、電力効率が高く、入力パワーに対する出力パワーの立ち上がりがより速いピークアンプを好適に実現できる。

20

30

【0084】

また、カレントリユース構成として、後段（第3段）のトランジスタ TR_2 の電源を、後段（第3段）のトランジスタ TR_2 を介して、互いに並列する初段のトランジスタ TR_3 と第2段のトランジスタ TR_1 とに供給する構成をとっている。そして、トランジスタ TR_3 がオン状態になるレベル P_1 は、メインアンプ4Cが飽和するレベルに基づいて決定されるのに対し、トランジスタ TR_1 がオン状態になるレベル P_2 は、レベル P_1 より大きい値に設定する。このように設定することにより、トランジスタ TR_1 は、メインアンプ4Cが飽和しトランジスタ TR_3 がオン状態になった後に、オン状態になる。その結果、トランジスタ TR_1 が、ピンチオフ状態時のリーク電流を抑えつつ、電力効率を落とさずに、ピークアンプ5Cの電流値を大きくすることが出来る。さらに、トランジスタ TR_1 がオン状態に入るタイミングを、トランジスタ TR_3 がオン状態に入るタイミングとは独立に設定できるので、ピークアンプ5Cの出力パワーが飽和する値を高めることが出来る。

40

【0085】

図14～図17は、上記のシミュレーション条件における入力電力に対するドレイン電

50

流の特性を示すグラフである。図 1 4 は本実施形態のピークアンプ 5 C の特性を示し、図 1 5 は本実施形態のメインアンプ 4 C の特性を示す。図 1 6 は比較例のピークアンプの特性を示し、図 1 7 は比較例のメインアンプの特性を示す。各図において、グラフ G 3 1 は初段のトランジスタ（本実施形態の場合、トランジスタ $T R_3$ ）の特性を示し、グラフ G 3 2 は第 2 段のトランジスタ（本実施形態の場合、トランジスタ $T R_1$ ）の特性を示し、グラフ G 3 3 は第 3 段のトランジスタ（本実施形態の場合、トランジスタ $T R_2$ ）の特性を示す。

【 0 0 8 6 】

図 1 5 及び図 1 7 を比較すると、メインアンプに関しては、本実施形態と比較例との間に顕著な相違はみられない。しかし、図 1 4 及び図 1 6 を比較すると、ピークアンプに関しては、第 3 段のトランジスタを流れるドレイン電流の特性（グラフ G 3 3）が、本実施形態と比較例とで大きく異なる。すなわち、比較例（図 1 6）では、入力電力に対して第 3 段のトランジスタのドレイン電流の立ち上がりが遅いのに対し、本実施形態（図 1 4）では、入力電力に対して第 3 段のトランジスタ（トランジスタ $T R_3$ ）のドレイン電流の立ち上がりが早い。例えば、比較例（図 1 6）では、入力電力が 1 2 d B m に達してようやく第 3 段のドレイン電流が 1 0 m A 近くまで上昇するのに対し、本実施形態（図 1 4）では、入力電力が 8 d B m に達した段階で第 3 段のドレイン電流が 1 0 m A 近くに上昇する。従って、本実施形態によれば、高周波信号に対するピークアンプを好適に実現できる。

10

【 0 0 8 7 】

前述したように、トランジスタ $T R_2$ の総ゲート幅 W_2 は、トランジスタ $T R_1$ の総ゲート幅 W_1 と、トランジスタ $T R_3$ の総ゲート幅 W_3 との和（ $W_1 + W_3$ ）以上であってもよい。この場合、トランジスタ $T R_2$ を流れる電流量に見合う総ゲート幅を確保することができる。

20

【 0 0 8 8 】

前述したように、バイアス電圧 $V G_3$ は、トランジスタ $T R_3$ の制御端子に入力される信号のパワーがレベル P_1 を超えないときにはトランジスタ $T R_3$ がピンチオフ状態となる大きさに設定され、該信号のパワーがレベル P_1 を超えるときにはトランジスタ $T R_3$ がオン状態となる大きさに設定されてもよい。例えばバイアス電圧 $V G_3$ をこのように設定することにより、トランジスタ $T R_3$ の C 級動作を実現することができる。

30

【 0 0 8 9 】

前述したように、バイアス電圧 $V G_2$ は、トランジスタ $T R_3$ の制御端子に入力される信号のパワーがレベル P_1 を超えないときにトランジスタ $T R_2$ がピンチオフ状態となり、該信号のパワーがレベル P_1 を超えるときにトランジスタ $T R_2$ がオン状態となる大きさを有してもよい。例えばバイアス電圧 $V G_2$ をこのように設定することにより、トランジスタ $T R_2$ の C 級動作を実現することができる。

【 0 0 9 0 】

前述したように、バイアス電圧 $V G_1$ は、トランジスタ $T R_3$ の制御端子に入力される信号のパワーがレベル P_2 を超えないときにはトランジスタ $T R_1$ がピンチオフ状態となる大きさに設定され、該信号のパワーがレベル P_2 を超えるときにはトランジスタ $T R_1$ がオン状態となる大きさに設定されてもよい。例えばバイアス電圧 $V G_1$ をこのように設定することにより、トランジスタ $T R_1$ の C 級動作を実現することができる。

40

【 0 0 9 1 】

本開示による電力増幅回路は、上述した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、第 1 実施形態ではトランジスタ $T R_1$ が初段のトランジスタを構成しており、第 2 実施形態ではトランジスタ $T R_3$ が初段のトランジスタを構成しているが、これらのトランジスタの前段に別のトランジスタが設けられることにより更に多段化されてもよい。トランジスタ $T R_3$ の前段に別のトランジスタが設けられる場合、トランジスタ $T R_3$ の制御端子には、入力信号 S_{in} に基づく信号（例えば入力信号 S_{in} を前段にて増幅した信号）が入力される。

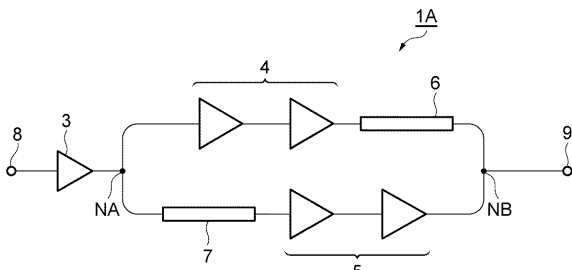
50

【符号の説明】

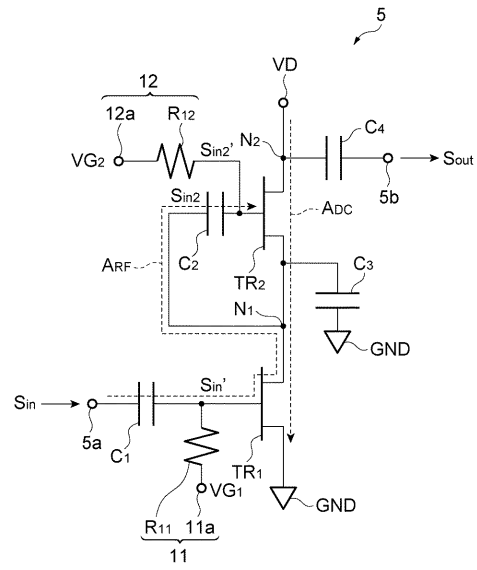
【0092】

1 A , 1 B ... 電力増幅回路	
3 , 3 A ... ドライバアンプ	
4 , 4 A , 4 B , 4 C ... メインアンプ	
5 , 5 A , 5 B , 5 C ... ピークアンプ	
5 a ... 入力端	
5 b ... 出力端	
6 , 7 ... / 4 線路	
8 ... 信号入力端	10
9 ... 信号出力端	
1 1 , 1 1 A , 1 2 , 1 2 A , 1 3 ... 回路	
1 1 a , 1 2 a , 1 3 a ... 電圧入力端子	
1 0 0 ... 電力増幅回路	
2 0 0 ... アンプ回路	
2 0 0 a ... 信号入力端子	
2 0 0 b ... 信号出力端子	
2 0 1 ... 増幅部	
C ₁ , C ₂ , C ₂₁ , C ₂₄ , C ₃ , C ₄ , C ₅ ... カップリングコンデンサ	
C ₁₁ , C ₁₂ , C ₁₃ , C ₂₂ , C ₂₃ , C ₆ ... バイパスコンデンサ	20
GND ... 接地電位線	
L ₁₁ , L ₁₂ , L ₁₃ , L ₂ , L ₂₁ , L ₂₂ , L ₂₃ , L ₂₄ , L ₃ , L ₄ , L ₅ , L ₆ ... 分布定数回路	
N ₁ ... 第1ノード	
N ₂ ... 第2ノード	
N ₃ , N ₄ , N _A , N _B ... ノード	
R ₁₁ , R ₁₂ , R ₁₃ , R ₂₁ ... 抵抗	
S _{in} ... 入力信号	
S _{out} ... 出力信号	
T R ₁ ... 第1トランジスタ	
T R ₂ ... 第2トランジスタ	30
T R ₃ ... 第3トランジスタ	
V D ... 電源電位線	
V G ₁ ... 第1バイアス電圧	
V G ₂ ... 第2バイアス電圧	
V G ₃ ... 第3バイアス電圧	

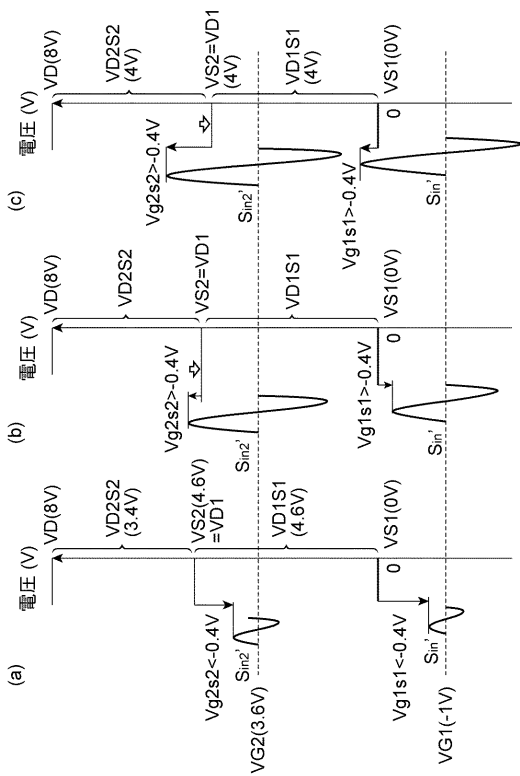
【図1】



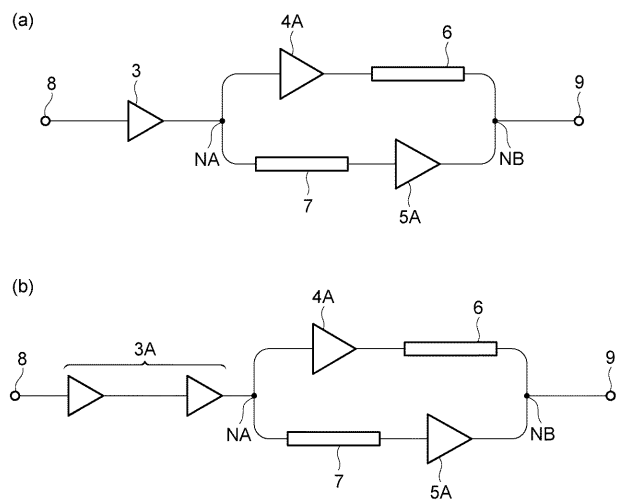
【図2】



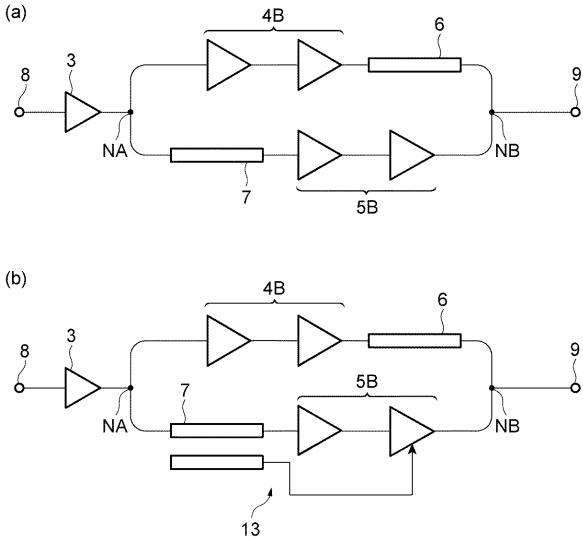
【図3】



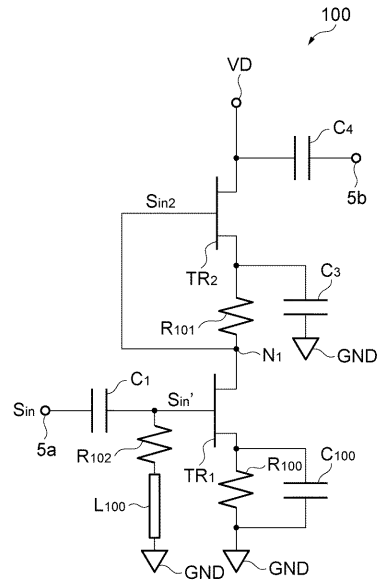
【図4】



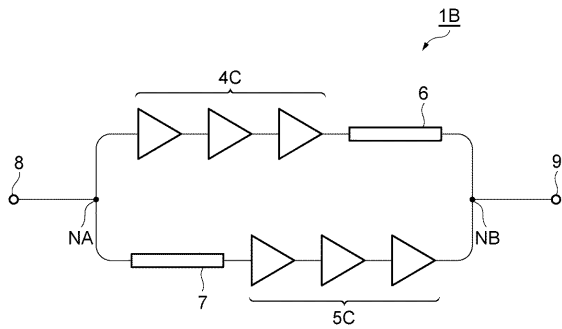
【 図 5 】



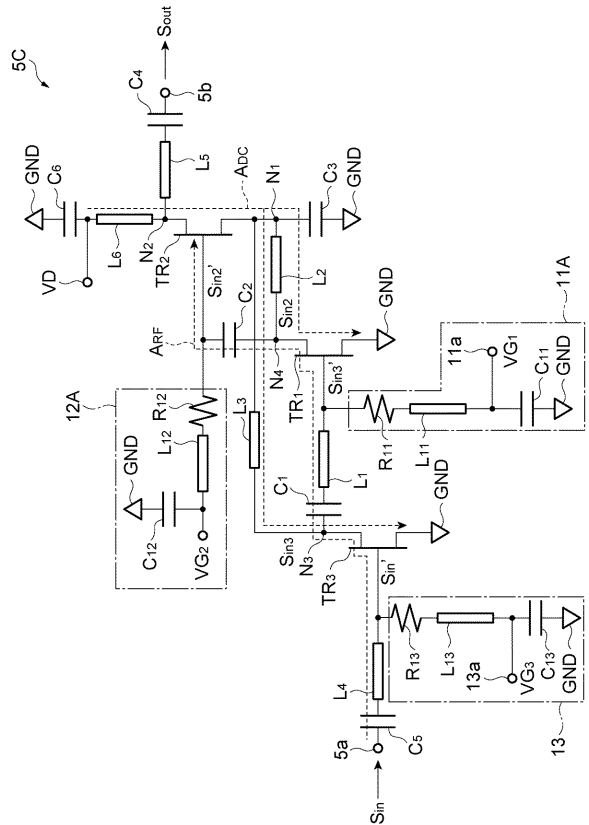
【 図 6 】



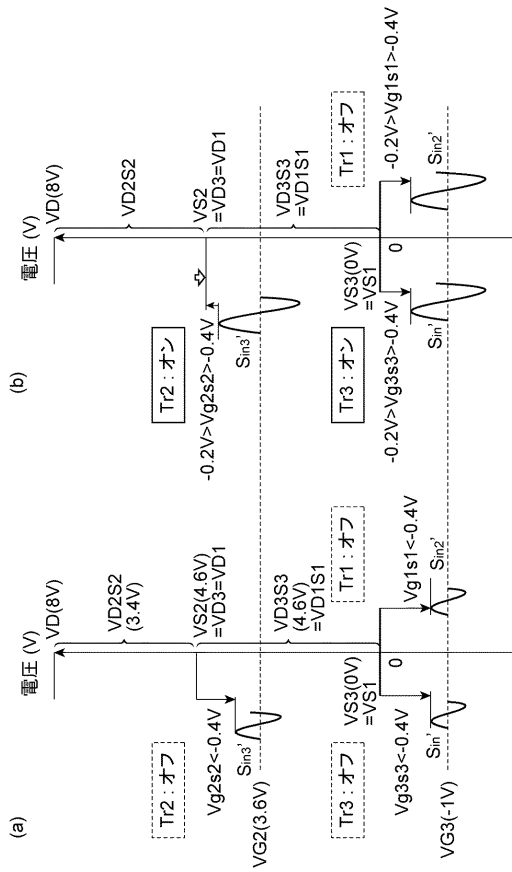
【 図 7 】



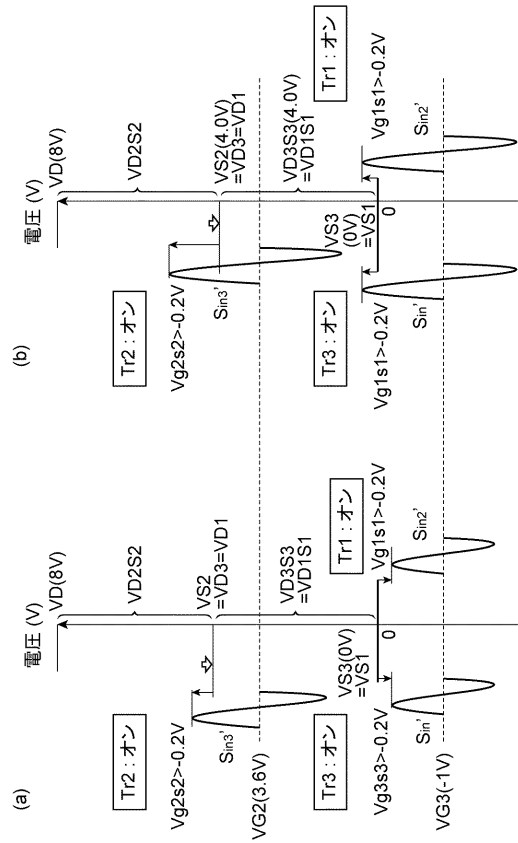
【 図 8 】



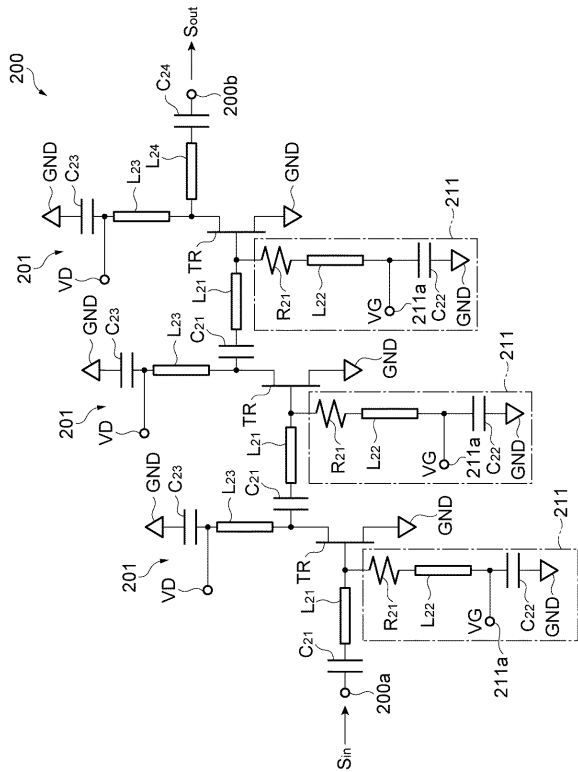
【 図 9 】



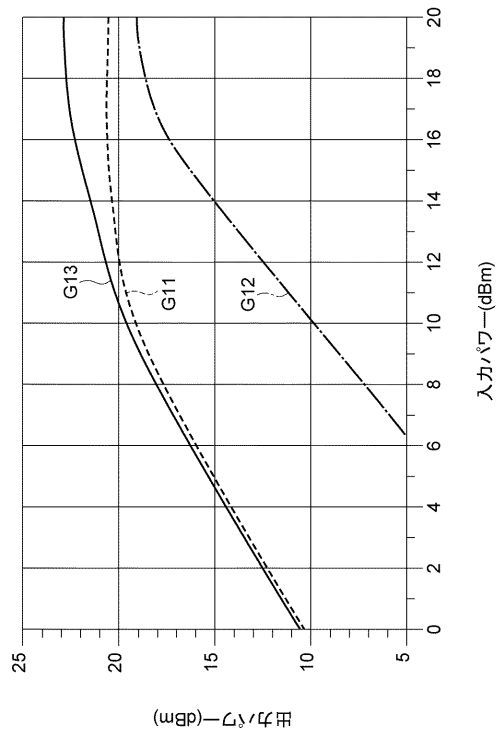
【 図 10 】



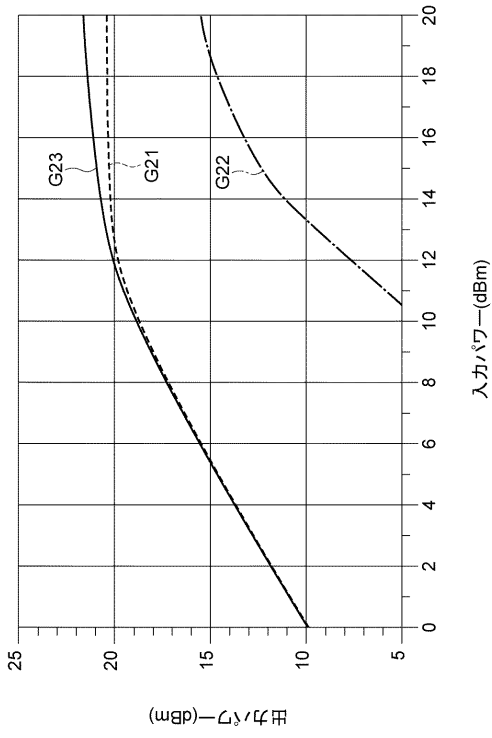
【 図 11 】



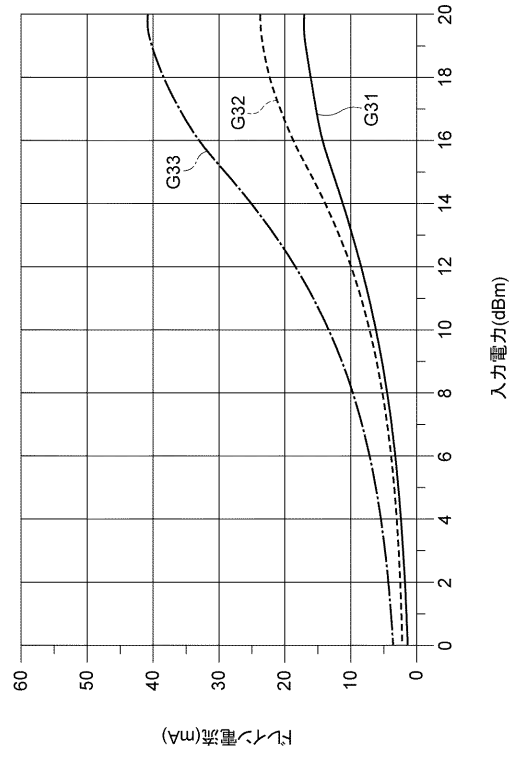
【 図 12 】



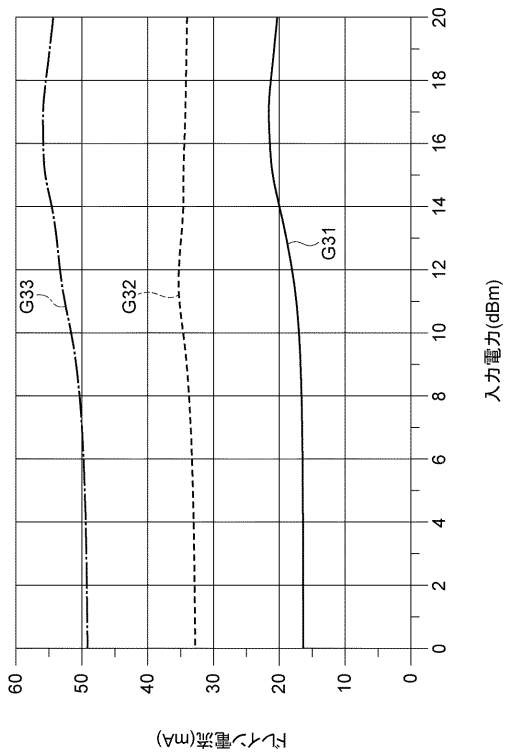
【図 1 3】



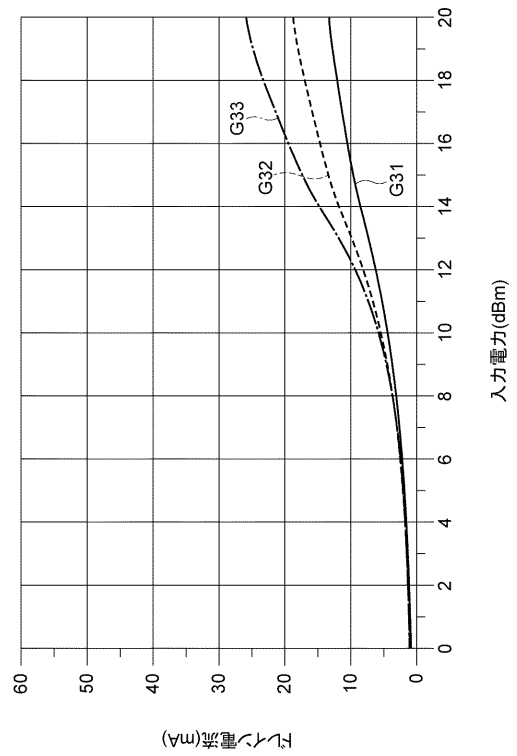
【図 1 4】



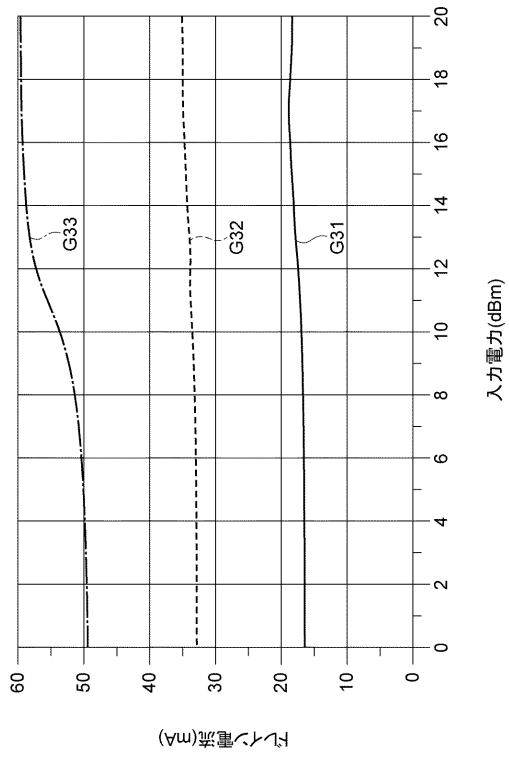
【図 1 5】



【図 1 6】



【 図 1 7 】



フロントページの続き

Fターム(参考) 5J500 AA04 AA21 AA41 AA62 AA63 AA64 AA65 AC35 AC36 AF10
AF15 AH12 AH25 AH32 AK16 AK47 AM08 AM18 AM21 AT01
AT02 AT06 RG09 WU08