

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2023-95278
(P2023-95278A)

(43)公開日

令和5年7月6日(2023.7.6)

(51)Int. Cl.	F I	テーマコード(参考)
G 1 1 B 33/12 (2006.01)	G 1 1 B 33/12 3 1 3 C	5 D 0 5 9
G 1 1 B 21/02 (2006.01)	G 1 1 B 21/02 6 0 1 E	
G 1 1 B 5/60 (2006.01)	G 1 1 B 5/60 P	
G 1 1 B 21/21 (2006.01)	G 1 1 B 21/21 C	

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21)出願番号 特願2021-211073(P2021-211073)
(22)出願日 令和3年12月24日(2021.12.24)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(71)出願人 317011920
東芝デバイス&ストレージ株式会社
東京都港区芝浦一丁目1番1号
(74)代理人 110002147
弁理士法人酒井国際特許事務所
(72)発明者 徳田 孝太
東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内
(72)発明者 山本 展大
東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

最終頁に続く

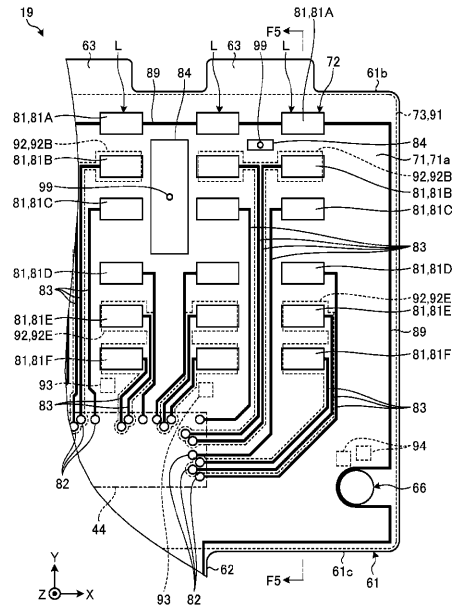
(54)【発明の名称】 ディスク装置

(57)【要約】 (修正有)

【課題】フレキシブルプリント回路板の剥離を抑制可能なディスク装置を提供する。

【解決手段】ディスク装置は、磁気ディスクと、磁気ヘッドと、第1のフレキシブルプリント回路板と、第2のフレキシブルプリント回路板であるFPC19を備える。第1のフレキシブルプリント回路板は、複数の第1の端子を有する。第2のフレキシブルプリント回路板は、表面と、表面に設けられるとともに接合体によって複数の第1の端子に接合される複数の第2の端子と、表面と直交する方向に複数の第2の端子のうち少なくとも一つを覆う第1のベタランドとを有する。複数の第2の端子は、第1のリード端子を含む。第1のベタランドは、表面に沿う方向において第1のリード端子の少なくとも一部から離間している。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

磁気ディスクと、

前記磁気ディスクに対して情報を読み書きするよう構成された磁気ヘッドと、

複数の第 1 の端子を有し、前記磁気ヘッドが実装され、前記複数の第 1 の端子のうち少なくとも一つと前記磁気ヘッドとが電氣的に接続された、第 1 のフレキシブルプリント回路板と、

表面と、前記表面に設けられるとともにそれぞれが導電性の接合体によって前記複数の第 1 の端子のうち対応する一つに接合される複数の第 2 の端子と、前記表面と直交する方向に前記複数の第 2 の端子のうち少なくとも一つを覆う第 1 のベタグランドと、を有する第 2 のフレキシブルプリント回路板と、

10

を具備し、

前記複数の第 2 の端子は、前記磁気ヘッドが前記磁気ディスクから読み出した情報の電気信号が流れる第 1 のリード端子を含み、

前記第 1 のベタグランドは、前記表面に沿う方向において前記第 1 のリード端子の少なくとも一部から離間している、

ディスク装置。

【請求項 2】

前記複数の第 2 の端子は、前記磁気ヘッドが前記磁気ディスクに書き込む情報の電気信号が流れるライト端子を含み、

20

前記第 1 のベタグランドは、前記表面に沿う方向において、前記ライト端子から離間している、

請求項 1 のディスク装置。

【請求項 3】

前記磁気ディスクと前記磁気ヘッドとの間の接触を検知して電気信号を出力する H D I センサ、

をさらに具備し、

前記複数の第 2 の端子は、前記 H D I センサに電氣的に接続される H D I 端子を含み、

前記第 1 のベタグランドは、前記表面に沿う方向において、前記 H D I 端子から離間している、

30

請求項 1 又は請求項 2 のディスク装置。

【請求項 4】

前記複数の第 2 の端子は、当該複数の第 2 の端子のうち前記表面に沿う第 1 の方向に並べられた二つ以上をそれぞれが含む複数の列を形成し、

前記複数の列のそれぞれが前記第 1 のリード端子を含み、

前記第 1 のベタグランドは、前記表面に沿う方向において前記複数の列のそれぞれの前記第 1 のリード端子の少なくとも一部から離間している、

請求項 1 乃至請求項 3 のいずれか一つのディスク装置。

【請求項 5】

前記第 2 のフレキシブルプリント回路板に実装され、前記磁気ヘッドが前記磁気ディスクに書き込む情報の電気信号を当該磁気ヘッドへ出力し、前記磁気ヘッドが前記磁気ディスクから読み出した情報の電気信号を当該磁気ヘッドから入力される、プリアンプ、

40

をさらに具備し、

前記第 2 のフレキシブルプリント回路板は、前記プリアンプに接続される第 2 のリード端子と、前記第 1 のリード端子と前記第 2 のリード端子とを接続するリード配線と、を有し、

前記第 1 のベタグランドは、前記表面に沿う方向において、第 2 のリード端子及び前記リード配線の少なくとも一部から離間している、

請求項 1 乃至請求項 4 のいずれか一つのディスク装置。

【請求項 6】

50

前記第 1 のベタグラウンドに、孔が設けられ、
前記表面に沿う方向において、前記第 1 のリード端子、前記リード配線、及び前記第 2 のリード端子の少なくとも一部は、前記孔の縁の内側に位置する、
請求項 5 のディスク装置。

【請求項 7】

磁気ディスクと、
前記磁気ディスクに対して情報を読み書きするよう構成された磁気ヘッドと、
複数の第 1 の端子を有し、前記磁気ヘッドが実装され、前記複数の第 1 の端子のうち少なくとも一つと前記磁気ヘッドとが電氣的に接続された、第 1 のフレキシブルプリント回路板と、

表面と、前記表面に設けられるとともにそれぞれが導電性の接合体によって前記複数の第 1 の端子のうち対応する一つに接合される複数の第 2 の端子と、前記表面に設けられる複数の第 3 の端子と、前記複数の第 2 の端子と前記複数の第 3 の端子とを接続する複数の配線と、前記表面と直交する方向に前記複数の第 2 の端子のうち少なくとも一つ、前記複数の第 3 の端子のうち少なくとも一つ、及び前記複数の配線のうち少なくとも一つを覆う第 1 のベタグラウンドと、を有する第 2 のフレキシブルプリント回路板と、

前記複数の第 3 の端子に接続され、前記磁気ヘッドが前記磁気ディスクに書き込む情報の電気信号を当該磁気ヘッドへ出力し、前記磁気ヘッドが前記磁気ディスクから読み出した情報の電気信号を当該磁気ヘッドから入力される、プリアンプと、

を具備し、

前記第 1 のベタグラウンドは、前記表面に沿う方向において、前記複数の配線のうち一つと、当該複数の配線のうち一つに接続された前記複数の第 2 の端子のうち一つ及び前記複数の第 3 の端子のうち一つと、から少なくとも部分的に離間している、

ディスク装置。

【請求項 8】

前記第 1 のベタグラウンドに、前記表面に沿う方向において前記複数の第 2 の端子のうち一つと前記プリアンプとの間に位置する第 1 の開口部が設けられた、請求項 5 乃至請求項 7 のいずれか一つのディスク装置。

【請求項 9】

前記第 2 のフレキシブルプリント回路板は、前記表面に沿う第 2 の方向に延びる縁と、前記表面に沿うとともに前記第 2 の方向と交差する第 3 の方向に前記縁から突出する凸部と、を有し、

前記複数の第 2 の端子は、前記表面に沿う方向において、前記縁と前記プリアンプとの間に位置し、

前記第 1 のベタグラウンドは、前記表面に沿う方向において、前記凸部から離間している、

請求項 5 乃至請求項 8 のいずれか一つのディスク装置。

【請求項 10】

前記第 2 のフレキシブルプリント回路板は、ベース層と、当該ベース層に積層された導電層と、を有し、

前記導電層は、前記複数の第 2 の端子と、前記表面に沿う方向において当該複数の第 2 の端子から離間する第 2 のベタグラウンドと、を有し、

前記第 2 のベタグラウンドの少なくとも一部は、前記表面に沿う方向において前記複数の第 2 の端子のうち二つの間に位置する、

請求項 1 乃至請求項 9 のいずれか一つのディスク装置。

【請求項 11】

前記第 2 のフレキシブルプリント回路板は、前記第 1 のベタグラウンドと前記第 2 のベタグラウンドとを接続するバイアスを有する、請求項 10 のディスク装置。

【請求項 12】

前記第 2 のフレキシブルプリント回路板に、ネジが通る挿通孔が設けられ、

10

20

30

40

50

前記第 1 のベタグラウンドに、前記表面に沿う方向において前記複数の第 2 の端子のうち前記挿通孔に最も近い一つと前記挿通孔との間に位置する、第 2 の開口部が設けられた、請求項 1 乃至請求項 11 のいずれか一つのディスク装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、ディスク装置に関する。

【背景技術】

【0002】

ハードディスクドライブ（HDD）のようなディスク装置は、磁気ディスクと、当該磁気ディスクに対して情報を読み書きする磁気ヘッドとを有する。例えば、複数のフレキシブルプリント回路板（FPC）が、HDDを制御する制御装置と磁気ヘッドとの間を電氣的に接続する。一方のFPCの端子と他方のFPCの端子とが半田によって接合されることで、二つのFPCが互いに接続される。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開昭64-064389号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

二つのFPCの端子が半田によって接合されるとき、半田は例えばレーザ光によって加熱される。半田を通じて端子周辺が過剰に加熱されると、FPCに剥離が生じてしまう虞がある。

【0005】

本発明が解決する課題の一例は、フレキシブルプリント回路板の剥離を抑制可能なディスク装置を提供することである。

【課題を解決するための手段】

【0006】

一つの実施形態に係るディスク装置は、磁気ディスクと、磁気ヘッドと、第1のフレキシブルプリント回路板と、第2のフレキシブルプリント回路板と、を備える。前記磁気ヘッドは、前記磁気ディスクに対して情報を読み書きするよう構成される。前記第1のフレキシブルプリント回路板は、複数の第1の端子を有し、前記磁気ヘッドが実装され、前記複数の第1の端子のうち少なくとも一つと前記磁気ヘッドとが電氣的に接続される。前記第2のフレキシブルプリント回路板は、表面と、前記表面に設けられるとともにそれぞれが導電性の接合体によって前記複数の第1の端子のうち対応する一つに接合される複数の第2の端子と、前記表面と直交する方向に前記複数の第2の端子のうち少なくとも一つを覆う第1のベタグラウンドと、を有する。前記複数の第2の端子は、前記磁気ヘッドが前記磁気ディスクから読み出した情報の電気信号が流れる第1のリード端子を含む。前記第1のベタグラウンドは、前記表面に沿う方向において前記第1のリード端子の少なくとも一部から離間している。

30

【図面の簡単な説明】

【0007】

【図1】図1は、一つの実施形態に係るハードディスクドライブを概略的に示す例示的な斜視図である。

【図2】図2は、上記実施形態のFPC及びフレキシヤを模式的に示す例示的な図である。

【図3】図3は、上記実施形態のFPCの一部とフレキシヤの一部とを模式的に示す例示的な平面図である。

40

【図4】図4は、上記実施形態のFPCの一部を模式的に示す例示的な平面図である。

50

【図5】図5は、上記実施形態のFPCの一部及びフレキシャの一部を図4のF5 - F5線に沿って模式的に示す例示的な断面図である。

【発明を実施するための形態】

【0008】

以下に、一つの実施形態について、図1乃至図5を参照して説明する。なお、本明細書において、実施形態に係る構成要素及び当該要素の説明が、複数の表現で記載されることがある。構成要素及びその説明は、一例であり、本明細書の表現によって限定されない。構成要素は、本明細書におけるものとは異なる名称でも特定され得る。また、構成要素は、本明細書の表現とは異なる表現によっても説明され得る。

【0009】

図1は、一つの実施形態に係るハードディスクドライブ(HDD)1を概略的に示す例示的な斜視図である。HDD1は、ディスク装置の一例である。なお、ディスク装置は、HDD1に限らず、ハイブリッドハードディスクドライブのような他のディスク装置であっても良い。

【0010】

図1に示すように、HDD1は、筐体11と、複数の磁気ディスク12と、スピンドルモータ13と、クランプパネ14と、複数の磁気ヘッド15と、アクチュエータアセンブリ16と、ボイスコイルモータ(VCM)17と、ランプロード機構18と、フレキシブルプリント回路板(FPC)19と、を有する。FPC19は、第2のフレキシブルプリント回路板の一例である。

【0011】

筐体11は、板状に形成された底壁11aと、底壁11aの外縁から突出した側壁11bとを有する。筐体11は、さらに、側壁11bに取り付けられて筐体11の内部を覆うカバーを有する。筐体11に、磁気ディスク12、スピンドルモータ13、クランプパネ14、磁気ヘッド15、アクチュエータアセンブリ16、VCM17、ランプロード機構18、及びFPC19の少なくとも一部が収容される。

【0012】

磁気ディスク12は、例えば、上面及び下面のうち少なくとも一方に設けられた磁気記録層を有するディスクである。磁気ディスク12の直径は、例えば、3.5インチであるが、この例に限られない。

【0013】

スピンドルモータ13は、間隔を介して重ねられた複数の磁気ディスク12を支持するとともに回転させる。クランプパネ14は、複数の磁気ディスク12をスピンドルモータ13のハブに保持する。

【0014】

磁気ヘッド15は、磁気ディスク12の記録層に対して、情報の記録及び再生を行う。言い換えると、磁気ヘッド15は、磁気ディスク12に対して情報を読み書きする。磁気ヘッド15は、アクチュエータアセンブリ16に支持される。

【0015】

アクチュエータアセンブリ16は、磁気ディスク12から離間した位置に配置された支持軸21に、回転可能に支持される。VCM17は、アクチュエータアセンブリ16を回転させ、所望の位置に配置する。VCM17によるアクチュエータアセンブリ16の回転により、磁気ヘッド15が磁気ディスク12の最外周に移動すると、ランプロード機構18は、磁気ディスク12から離間したアンロード位置に磁気ヘッド15を保持する。

【0016】

筐体11の底壁11aの外部に、プリント回路板(PCB)が取り付けられている。当該PCBに、スピンドルモータ13、磁気ヘッド15、及びVCM17を制御する制御装置が実装されている。

【0017】

制御装置は、例えば、リードライトチャネル(RWC)、ハードディスクコントローラ

10

20

30

40

50

(HDC)、プロセッサ、RAM、ROM、バッファメモリ、及びサーボコンボICのような、種々の電子部品を含む。当該制御装置は、FPC19を介して、磁気ヘッド15及びVCM17に電氣的に接続される。

【0018】

アクチュエータアセンブリ16は、アクチュエータブロック31と、複数のアーム32と、複数のヘッドサスペンションアセンブリ33とを有する。ヘッドサスペンションアセンブリ33は、ヘッドジンバルアセンブリ(HGA)とも称され得る。

【0019】

アクチュエータブロック31は、例えば、軸受を介して、支持軸21に回転可能に支持される。複数のアーム32は、アクチュエータブロック31から、支持軸21と略直交する方向に突出している。なお、アクチュエータアセンブリ16が分割され、複数のアクチュエータブロック31のそれぞれから複数のアーム32が突出しても良い。

【0020】

複数のアーム32は、支持軸21が延びる方向に、間隔を介して配置される。アーム32はそれぞれ、隣り合う磁気ディスク12の間に進入可能な板状に形成される。複数のアーム32は、略平行に延びている。

【0021】

アクチュエータブロック31から突出した突起に、VCM17のボイスコイルが設けられる。VCM17は、一对のヨークと、当該ヨークの間に配置されたボイスコイルと、ヨークに設けられた磁石と、を有する。

【0022】

ヘッドサスペンションアセンブリ33は、対応するアーム32の先端部分に取り付けられ、当該アーム32から突出する。これにより、複数のヘッドサスペンションアセンブリ33は、支持軸21が延びる方向に、間隔を介して配置される。

【0023】

図2は、本実施形態のFPC19及びフレキシヤ43を模式的に示す例示的な図である。複数のヘッドサスペンションアセンブリ33はそれぞれ、図1に示すベースプレート41及びロードビーム42と、図2に示すフレキシヤ43、プリアンプ44、及びHDIセンサ45とを有する。さらに、ヘッドサスペンションアセンブリ33に磁気ヘッド15が取り付けられる。フレキシヤ43は、第1のフレキシブルプリント回路板の一例であり、中継FPCとも称され得る。プリアンプ44は、ヘッドIC又はヘッドアンプとも称され得る。

【0024】

図1のベースプレート41は、板状に形成され、アーム32の先端部に取り付けられる。ロードビーム42は、ベースプレート41よりも薄い板状に形成される。ロードビーム42は、ベースプレート41の先端部に取り付けられ、ベースプレート41から突出する。

【0025】

図2に示すように、フレキシヤ43は、細長い帯状に形成される。なお、フレキシヤ43の形状は、この例に限られない。フレキシヤ43は、例えば、ステンレス等の金属板(裏打ち層)と、金属板上に形成された絶縁層と、絶縁層上に形成され複数の配線(配線パターン)を構成する導電層と、導電層を覆う保護層(絶縁層)と、を有する積層板である。フレキシヤ43は、第1の取付部51と、第2の取付部52と、中間部53とを有する。

【0026】

第1の取付部51は、フレキシヤ43の一方の端部に設けられる。第2の取付部52は、フレキシヤ43の他方の端部に設けられる。中間部53は、第1の取付部51と第2の取付部52との間で延びている。

【0027】

第1の取付部51は、ベースプレート41及びロードビーム42に取り付けられる。第

10

20

30

40

50

1の取付部51は、ロードビーム42の上に位置するとともに変位可能なジンバル部（弾性支持部）を有する。磁気ヘッド15は、当該ジンバル部に実装される。

【0028】

中間部53は、第1の取付部51から、ベースプレート41の側縁の外側に張り出す。中間部53は、ベースプレート41の外側において、アーム32の側縁に沿って、アクチュエータブロック31に向かって延びている。

【0029】

第2の取付部52は、中間部53の長手方向に延びる矩形状に形成される。第2の取付部52は、複数のパッド55を有している。パッド55は、第1の端子の一例である。パッド55は、第2の取付部52の長手方向に間隔を介して並べられ、フライングリードを構成する。

10

【0030】

フレキシヤ43は、複数の配線56をさらに有する。パッド55及び配線56は、フレキシヤ43の導電層に設けられる。配線56は、中間部53を通して、第1の取付部51と第2の取付部52との間で延びている。複数の配線56は、複数のパッド55の少なくとも一つと、磁気ヘッド15のリード素子、ライト素子、ヒータ、又は他の部品とを電氣的に接続する。言い換えると、配線56は、パッド55と、磁気ヘッド15に接続される電極と、の間で延び、パッド55と磁気ヘッド15との間の電氣的経路の少なくとも一部を形成する。

【0031】

図3は、本実施形態のFPC19の一部とフレキシヤ43の一部とを模式的に示す例示的な平面図である。図3に示すように、FPC19は、接合部61と、延部62と、複数の凸部63とを有する。

20

【0032】

接合部61は、例えば複数のネジ65によって、アクチュエータブロック31に取り付けられる。接合部61に、ネジ65が通る複数の挿通孔66が設けられる。延部62は、接合部61と、上述の制御装置が実装されたPCBとの間で延びている。複数の凸部63は、接合部61から突出する。

【0033】

FPC19の接合部61に、複数のフレキシヤ43の第2の取付部52が取り付けられる。FPC19は、上述の制御装置が実装されたPCBと、フレキシヤ43とを電氣的に接続する。すなわち、制御装置は、PCB、FPC19、及びフレキシヤ43を介して、磁気ヘッド15に電氣的に接続される。

30

【0034】

図4は、本実施形態のFPC19の一部を模式的に示す例示的な平面図である。図5は、本実施形態のFPC19の一部及びフレキシヤ43の一部を図4のF5-F5線に沿って模式的に示す例示的な断面図である。

【0035】

図5に示すように、FPC19は、例えば、ベース層71と、二つの導電層72,73と、二つのカバー層74,75とを有する。また、FPC19の複数の層の間には、接着剤の層が介在する。なお、FPC19はこの例に限られず、より少ない層を有しても良いし、より多い層を有しても良い。

40

【0036】

ベース層71及びカバー層74,75は、例えば、可撓性及び絶縁性を有するフィルムであり、ポリエステル又はポリイミドのような合成樹脂によって作られる。ベース層71は、互いに反対側に設けられた二つの面71a,71bを有する。面71bは、アクチュエータブロック31に向く。

【0037】

導電層72,73は、例えば、銅のような導電性の金属により作られる。導電層72は、ベース層71の面71aに積層される。導電層73は、ベース層71の面71bに積層

50

される。このため、ベース層 7 1 は、二つの導電層 7 2 , 7 3 の間に位置する。

【 0 0 3 8 】

カバー層 7 4 は、ベース層 7 1 の面 7 1 a 及び導電層 7 2 に積層される。すなわち、カバー層 7 4 は、ベース層 7 1 の面 7 1 a の少なくとも一部と、導電層 7 2 の少なくとも一部とを覆う。

【 0 0 3 9 】

カバー層 7 5 は、ベース層 7 1 の面 7 1 b 及び導電層 7 3 に積層される。すなわち、カバー層 7 5 は、ベース層 7 1 の面 7 1 b の少なくとも一部と、導電層 7 3 の少なくとも一部とを覆う。このため、ベース層 7 1 は、二つのカバー層 7 4 , 7 5 の間に位置する。なお、図 4 は、説明のため、カバー層 7 4 を省略している。

10

【 0 0 4 0 】

接合部 6 1 において、F P C 1 9 のカバー層 7 5 に、アルミニウム等の金属板（裏打ち層）が取り付けられる。これにより、接合部 6 1 は、略平坦に形成される。接合部 6 1 は、金属板を介して、アクチュエータブロック 3 1 に取り付けられる。図 1 に示すように、延部 6 2 は、撓むことでアクチュエータアセンブリ 1 6 の回転に伴う接合部 6 1 の変位を吸収できる。

【 0 0 4 1 】

図 3 に示すように、F P C 1 9 の接合部 6 1 は、表面 6 1 a と、二つの縁 6 1 b , 6 1 c とを有する。表面 6 1 a は、接合部 6 1 の一方の表面であり、例えば、カバー層 7 4 や、当該カバー層 7 4 の孔によって露出された導電層 7 2 及びベース層 7 1 によって形成される。なお、表面 6 1 a は、他の部分によって形成されても良い。

20

【 0 0 4 2 】

図 3 を含む複数の図面に示されるように、表面 6 1 a が平坦であると仮定して、本明細書では便宜上、X 軸、Y 軸及び Z 軸が定義される。X 軸と Y 軸と Z 軸とは、互いに直交する。X 軸は、表面 6 1 a の幅に沿って設けられる。Y 軸は、表面 6 1 a の長さに沿って設けられる。Z 軸は、表面 6 1 a と直交して設けられる。

【 0 0 4 3 】

さらに、本明細書において、X 方向、Y 方向及び Z 方向が定義される。X 方向は、X 軸に沿う方向であって、X 軸の矢印が示す + X 方向と、X 軸の矢印の反対方向である - X 方向とを含む。Y 方向は、Y 軸に沿う方向であって、Y 軸の矢印が示す + Y 方向と、Y 軸の矢印の反対方向である - Y 方向とを含む。Z 方向は、Z 軸に沿う方向であって、Z 軸の矢印が示す + Z 方向と、Z 軸の矢印の反対方向である - Z 方向とを含む。

30

【 0 0 4 4 】

X 方向及び Y 方向は、表面 6 1 a に沿う方向である。X 方向及び Y 方向は、互いに交差（本実施形態では直交）する。Z 方向は、表面 6 1 a と直交する方向である。X 方向は、第 2 の方向の一例である。Y 方向は、第 1 の方向及び第 3 の方向の一例である。なお、以下の説明における、表面 6 1 a に沿う方向における各要素の配置は、表面 6 1 a と直交する方向に見た場合における各要素の配置に等しい。

【 0 0 4 5 】

接合部 6 1 は、表面 6 1 a が曲面状になるように、又は表面 6 1 a が凹凸を有するように撓んでも良い。この場合、X 方向は、表面 6 1 a に沿う接合部 6 1 の幅方向であり、Y 方向は表面 6 1 a に沿う接合部 6 1 の長さ方向となる。

40

【 0 0 4 6 】

接合部 6 1 の縁 6 1 b は、+ Y 方向における接合部 6 1 の端に設けられる。接合部 6 1 の縁 6 1 c は、- Y 方向における接合部 6 1 の端に設けられる。二つの縁 6 1 b , 6 1 c は、略平行に X 方向に延びている。複数の凸部 6 3 は、縁 6 1 b から略 + Y 方向に突出する。複数の凸部 6 3 は、X 方向に互いに間隔を介して配置される。延部 6 2 は、縁 6 1 c から略 - Y 方向に延びている。

【 0 0 4 7 】

図 4 に示すように、接合部 6 1 において、導電層 7 2 は、複数の接続パッド 8 1 と、複

50

数の実装パッド 8 2 と、複数の配線 8 3 と、複数のベタグランド 8 4 とを有する。ベタグランド 8 4 は、第 2 のベタグランドの一例である。ベタグランド 8 4 は、ベタパターン又はグランドプレーンとも称され得る。

【 0 0 4 8 】

接続パッド 8 1 及び実装パッド 8 2 は、表面 6 1 a に設けられる。具体的には、図 5 に示すように、接続パッド 8 1 及び実装パッド 8 2 は、カバー層 7 4 に設けられた複数の孔 7 4 a を通じて、F P C 1 9 の外部に露出される。これにより、接続パッド 8 1 及び実装パッド 8 2 が表面 6 1 a に設けられる。

【 0 0 4 9 】

図 4 に示すように、複数の実装パッド 8 2 よりも、複数の接続パッド 8 1 は、接合部 6 1 の縁 6 1 b に近い。複数の実装パッド 8 2 は、複数の接続パッド 8 1 と延部 6 2 との間に位置する。また、ネジ 6 5 よりも、複数の接続パッド 8 1 は、接合部 6 1 の縁 6 1 b に近い。

10

【 0 0 5 0 】

図 3 の例において、複数の接続パッド 8 1 は、六列で Y 方向に並べられる。言い換えると、複数の接続パッド 8 1 は六つの列 L を形成する。図 3 の例では、列 L のそれぞれは、複数の接続パッド 8 1 のうち Y 方向に並べられた六つを含む。なお、接続パッド 8 1 の列 L の数と、各列 L に含まれる複数の接続パッド 8 1 の数とは、この例に限られない。

【 0 0 5 1 】

各列 L において、複数の接続パッド 8 1 は、Y 方向に間隔を介して並べられる。また、接続パッド 8 1 の複数の列 L は、X 方向に間隔を介して並べられる。各列 L の接続パッド 8 1 の数は、例えば、磁気ヘッド 1 5 の機能に対応する。

20

【 0 0 5 2 】

図 4 に示すように、以下、各列に含まれる接続パッド 8 1 を、接続パッド 8 1 A , 8 1 B , 8 1 C , 8 1 D , 8 1 E , 8 1 F と個別に称することがある。別の表現によれば、複数の接続パッド 8 1 のそれぞれは、複数の接続パッド 8 1 A , 8 1 B , 8 1 C , 8 1 D , 8 1 E , 8 1 F を含む。

【 0 0 5 3 】

接続パッド 8 1 B は、ライト端子の一例である。接続パッド 8 1 E は、H D I 端子の一例である。接続パッド 8 1 F は、第 1 のリード端子の一例である。

30

【 0 0 5 4 】

複数の接続パッド 8 1 A , 8 1 B , 8 1 C , 8 1 D , 8 1 E , 8 1 F は、Y 方向に順に並べられる。接続パッド 8 1 A は、他の複数の接続パッド 8 1 B , 8 1 C , 8 1 D , 8 1 E , 8 1 F よりも、接合部 6 1 の縁 6 1 b に近い。接続パッド 8 1 F は、他の複数の接続パッド 8 1 A , 8 1 B , 8 1 C , 8 1 D , 8 1 E よりも、接合部 6 1 の縁 6 1 c に近い。

【 0 0 5 5 】

複数の接続パッド 8 1 A は、X 方向に間隔を介して並べられる。複数の接続パッド 8 1 B は、複数の接続パッド 8 1 A から - Y 方向に離間するとともに、X 方向に間隔を介して並べられる。同じく、複数の接続パッド 8 1 C , 8 1 D , 8 1 E , 8 1 F は、隣接する複数の接続パッド 8 1 から - Y 方向に離間するとともに、X 方向に間隔を介して並べられる。

40

【 0 0 5 6 】

一つの接続パッド 8 1 A と、対応する接続パッド 8 1 B , 8 1 C , 8 1 D , 8 1 E , 8 1 F は、X 方向において略同一位置に配置される。なお、互いに対応する接続パッド 8 1 A , 8 1 B , 8 1 C , 8 1 D , 8 1 E , 8 1 F の X 方向における位置が、互いに異なっても良い。また、各列 L における接続パッド 8 1 の数が異なっても良い。

【 0 0 5 7 】

図 5 に示すように、F P C 1 9 の複数の接続パッド 8 1 のそれぞれは、半田 8 7 によって、フレキシヤ 4 3 の複数のパッド 5 5 のうち対応する一つに接合される。半田 8 7 は、導電性を有し、接合体の一例である。半田 8 7 は、有鉛半田又は無鉛半田である。導電性

50

接着剤は、半田 8 7 に限らず、例えば、銀ペースト、鉛、又は導電性接着剤であっても良い。

【 0 0 5 8 】

図 3 に示すように、フレキシャ 4 3 の第 2 の取付部 5 2 は、接合部 6 1 の縁 6 1 b を横断して Y 方向に延び、対応する接続パッド 8 1 の列 L を覆う。一つのフレキシャ 4 3 の複数のパッド 5 5 は、一つの列 L に含まれる複数の接続パッド 8 1 に接続される。

【 0 0 5 9 】

プリアンプ 4 4 は、接合部 6 1 の表面 6 1 a に実装される。具体的には、プリアンプ 4 4 の電極が、複数の実装パッド 8 2 に、例えば半田によって接合される。すなわち、複数の実装パッド 8 2 は、プリアンプ 4 4 に接続される。このため、複数の接続パッド 8 1 は、表面 6 1 a に沿う方向において、縁 6 1 b とプリアンプ 4 4 との間に位置する。

10

【 0 0 6 0 】

図 4 に示すように、複数の配線 8 3 はそれぞれ、複数の接続パッド 8 1 B , 8 1 C , 8 1 D , 8 1 E , 8 1 F のうち対応する一つと、複数の実装パッド 8 2 のうち対応する一つと、を接続する。なお、接続パッド 8 1 と実装パッド 8 2 との間の電気経路は、配線 8 3 と、導電層 7 3 に含まれる配線と、バイアとを含んでも良い。

【 0 0 6 1 】

プリアンプ 4 4 は、実装パッド 8 2、配線 8 3、接続パッド 8 1、半田 8 7、パッド 5 5、及び配線 5 6 を通じて、磁気ヘッド 1 5 に電氣的に接続される。一方で、複数の接続パッド 8 1 A は、例えば、他の配線 8 9 によって互いに接続されるとともに、例えば F P C 1 9 に実装されたドライバを介して P C B に接続される。

20

【 0 0 6 2 】

プリアンプ 4 4 は、接続パッド 8 1 B を通じて、磁気ヘッド 1 5 のライト素子に電氣的に接続される。すなわち、接続パッド 8 1 B は、磁気ヘッド 1 5 が磁気ディスク 1 2 に書き込む情報の電気信号（ライト信号）に割り当てられる。

【 0 0 6 3 】

プリアンプ 4 4 は、制御装置が出力したライト信号を増幅する。プリアンプ 4 4 は、増幅したライト信号を、接続パッド 8 1 B を通じて磁気ヘッド 1 5 のライト素子へ出力する。ライト素子は、当該ライト信号に基づき、情報を磁気ディスク 1 2 に書き込む。このように、ライト信号は、プリアンプ 4 4 から磁気ヘッド 1 5 へ向かって、接続パッド 8 1 B を流れる。

30

【 0 0 6 4 】

プリアンプ 4 4 は、接続パッド 8 1 C を通じて、磁気ヘッド 1 5 のヒータに電氣的に接続される。磁気ヘッド 1 5 のヒータは、磁気ヘッド 1 5 の温度を調整することで、磁気ディスク 1 2 に対する磁気ヘッド 1 5 のライト素子及びリード素子の位置を調整する。

【 0 0 6 5 】

プリアンプ 4 4 は、接続パッド 8 1 D を通じて、磁気ヘッド 1 5 の *microwaved assisted magnetic recording* (MAMR) 素子に電氣的に接続される。磁気ヘッド 1 5 の MAMR 素子は、ライト素子の記録磁界にマイクロ波を重畳させて磁気ディスク 1 2 に印加する。

40

【 0 0 6 6 】

プリアンプ 4 4 は、接続パッド 8 1 E を通じて、磁気ヘッド 1 5 に内蔵された H D I センサ 4 5 に電氣的に接続される。すなわち、接続パッド 8 1 E は、H D I センサ 4 5 に電氣的に接続される。磁気ヘッド 1 5 に内蔵された H D I センサ 4 5 は、フレキシャ 4 3 に実装される。

【 0 0 6 7 】

H D I センサ 4 5 は、例えば熱電対を有し、磁気ディスク 1 2 と磁気ヘッド 1 5 との間の接触を検知して電気信号（検知信号）を出力する。例えば、磁気ディスク 1 2 と磁気ヘッド 1 5 との間の接触によって生じる熱に応じて、熱電対の抵抗値が変化する。H D I センサ 4 5 は、熱電対の抵抗値に応じた検知信号を出力する。なお、H D I センサ 4 5 は、

50

この例に限られない。検知信号は、接続パッド 8 1 E を通り、プリアンプ 4 4 を介して制御装置へ伝送される。

【 0 0 6 8 】

プリアンプ 4 4 は、接続パッド 8 1 F を通じて、磁気ヘッド 1 5 のリード素子に電氣的に接続される。すなわち、接続パッド 8 1 F は、磁気ヘッド 1 5 が磁気ディスク 1 2 から読み出した情報の電気信号（リード信号）に割り当てられる。

【 0 0 6 9 】

磁気ヘッド 1 5 のリード素子は、接続パッド 8 1 F を通じて、プリアンプ 4 4 にリード信号を入力する。プリアンプ 4 4 は、リード信号を増幅し、制御装置へ伝送する。このように、リード信号は、磁気ヘッド 1 5 からプリアンプ 4 4 へ向かって、接続パッド 8 1 F を流れる。

10

【 0 0 7 0 】

制御装置は、接続パッド 8 1 A を通じて、Gimbal Micro Actuator (GMA) に電氣的に接続される。すなわち、接続パッド 8 1 A は、GMA に割り当てられる。制御装置は、例えば、GMA を駆動することでロードビーム 4 2 を変形させ、磁気ヘッド 1 5 の位置を微調整する。

【 0 0 7 1 】

ベタグランド 8 4 は、表面 6 1 a に沿って広がる金属膜である。ベタグランド 8 4 は、グランド電位に設定される。ベタグランド 8 4 は、表面 6 1 a に沿う方向において、接続パッド 8 1、実装パッド 8 2、及び配線 8 3 から離間している。なお、ベタグランド 8 4 は、グランドに割り当てられた接続パッド 8 1、実装パッド 8 2、及び配線 8 3 に接続されても良い。

20

【 0 0 7 2 】

ベタグランド 8 4 は、例えば、隣り合う二つの列 L の間であって、配線 8 3 が設けられない領域に配置される。言い換えると、ベタグランド 8 4 の少なくとも一部は、表面 6 1 a に沿う方向において、複数の接続パッド 8 1 のうち二つの間に位置する。なお、ベタグランド 8 4 は、他の位置に設けられても良い。

【 0 0 7 3 】

ベタグランド 8 4 は、接合部 6 1 の縁 6 1 c よりも縁 6 1 b に近い。ベタグランド 8 4 は、凸部 6 3 から離間している。なお、ベタグランド 8 4 は、縁 6 1 b よりも縁 6 1 c に近い領域に設けられても良いし、凸部 6 3 に設けられても良い。

30

【 0 0 7 4 】

接合部 6 1 において、導電層 7 3 は、ベタグランド 9 1 を有する。ベタグランド 9 1 は、第 1 のベタグランドの一例である。ベタグランド 9 1 は、表面 6 1 a に沿って広がる金属膜である。ベタグランド 9 1 は、グランド電位に設定される。

【 0 0 7 5 】

ベタグランド 9 1 は、複数の接続パッド 8 1 A、8 1 C、8 1 D を Z 方向に覆う。言い換えると、ベタグランド 9 1 は、複数の接続パッド 8 1 A、8 1 C、8 1 D と Z 方向に重なる。

【 0 0 7 6 】

さらに、ベタグランド 9 1 は、接続パッド 8 1 A、8 1 C、8 1 D に接続された実装パッド 8 2 及び配線 8 3 を Z 方向に覆う。また、ベタグランド 9 1 は、ベタグランド 8 4 を Z 方向に覆う。このように、ベタグランド 9 1 は、複数の接続パッド 8 1 のうち少なくとも一つ、複数の実装パッド 8 2 のうち少なくとも一つ、及び複数の配線 8 3 のうち少なくとも一つを、Z 方向に覆う。

40

【 0 0 7 7 】

Y 方向において、ベタグランド 9 1 の一部は、接続パッド 8 1 A と、接合部 6 1 の縁 6 1 b との間に位置する。+ Y 方向におけるベタグランド 9 1 の端は、縁 6 1 b の近傍に位置する。また、Y 方向において、ベタグランド 9 1 の他の一部は、接続パッド 8 1 F と、接合部 6 1 の縁 6 1 c との間に位置する。- Y 方向におけるベタグランド 9 1 の端は、縁

50

6 1 c の近傍に位置する。

【 0 0 7 8 】

ベタグランド 9 1 に、複数の孔 9 2 と、複数の第 1 の開口部 9 3 と、複数の第 2 の開口部 9 4 とが設けられる。孔 9 2、第 1 の開口部 9 3、及び第 2 の開口部 9 4 は、ベタグランド 9 1 を Z 方向に貫通する孔である。なお、第 1 の開口部 9 3 及び第 2 の開口部 9 4 は、切り欠きであっても良い。

【 0 0 7 9 】

複数の孔 9 2 は、複数の孔 9 2 B、9 2 E を含む。複数の孔 9 2 B のそれぞれは、対応する接続パッド 8 1 B の少なくとも一部と、当該接続パッド 8 1 B に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部と、に Z 方向に重なる。言い換えると、複数の孔 9 2 B のそれぞれは、対応する接続パッド 8 1 B の少なくとも一部と Z 方向に重なる部分と、一つの実装パッド 8 2 の少なくとも一部と Z 方向に重なる部分と、一つの配線 8 3 の少なくとも一部と Z 方向に重なる部分と、を有する。

10

【 0 0 8 0 】

他の表現によれば、表面 6 1 a に沿う方向において、接続パッド 8 1 B の少なくとも一部と、当該接続パッド 8 1 B に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部とは、孔 9 2 B の縁の内側に位置する。以上より、ベタグランド 9 1 は、表面 6 1 a に沿う方向において、接続パッド 8 1 B の少なくとも一部と、当該接続パッド 8 1 B に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部とから離間している。

【 0 0 8 1 】

複数の孔 9 2 E のそれぞれは、対応する接続パッド 8 1 E の少なくとも一部と、当該接続パッド 8 1 E に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部と、に Z 方向に重なる。言い換えると、表面 6 1 a に沿う方向において、接続パッド 8 1 E の少なくとも一部と、当該接続パッド 8 1 E に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部とは、孔 9 2 E の縁の内側に位置する。このため、ベタグランド 9 1 は、表面 6 1 a に沿う方向において、接続パッド 8 1 E の少なくとも一部と、当該接続パッド 8 1 E に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部とから離間している。

20

【 0 0 8 2 】

さらに、複数の孔 9 2 E のそれぞれは、対応する接続パッド 8 1 F の少なくとも一部と、当該接続パッド 8 1 F に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部と、にも Z 方向に重なる。言い換えると、表面 6 1 a に沿う方向において、接続パッド 8 1 F の少なくとも一部と、当該接続パッド 8 1 F に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部とは、孔 9 2 E の縁の内側に位置する。このため、ベタグランド 9 1 は、表面 6 1 a に沿う方向において、接続パッド 8 1 F の少なくとも一部と、当該接続パッド 8 1 F に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部とから離間している。

30

【 0 0 8 3 】

接続パッド 8 1 F に接続された配線 8 3 は、リード配線の一例である。当該配線 8 3 を介して接続パッド 8 1 F に接続された実装パッド 8 2 は、第 2 のリード端子の一例である。なお、孔 9 2 E とは異なる孔が、対応する接続パッド 8 1 F の少なくとも一部と、当該接続パッド 8 1 F に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部と、に Z 方向に重なっても良い。

40

【 0 0 8 4 】

孔 9 2 の代わりに、切り欠き、又は二つに分割されたベタグランド 9 1 の間の領域が設けられても良い。当該切り欠き又は領域は、対応する接続パッド 8 1 の少なくとも一部と、当該接続パッド 8 1 に接続された実装パッド 8 2 及び配線 8 3 の少なくとも一部と、にも Z 方向に重なる。

【 0 0 8 5 】

以上のように、ベタグランド 9 1 は、表面 6 1 a に沿う方向において、所定の配線 8 3 と、当該所定の配線 8 3 に接続された接続パッド 8 1 (8 1 B、8 1 E、8 1 F) 及び実装パッド 8 2 と、から少なくとも部分的に離間している。また、ベタグランド 9 1 は、表

50

面 6 1 a に沿う方向において、複数の列 L のそれぞれの接続パッド 8 1 B , 8 1 E , 8 1 F の少なくとも一部から離間している。すなわち、いずれの列 L においても、接続パッド 8 1 B , 8 1 E , 8 1 F の少なくとも一部は、ベタグランド 9 1 に覆われない。なお、ベタグランド 9 1 は、複数の列 L の接続パッド 8 1 B , 8 1 E , 8 1 F のうち少なくとも一つを Z 方向に覆っても良い。

【 0 0 8 6 】

また、複数の接続パッド 8 1 のうち一つは、heat assisted magnetic recording (HMAR) 素子に電氣的に接続されても良い。ベタグランド 9 1 は、複数の接続パッド 8 1 のうち当該一つを Z 方向に覆う。

【 0 0 8 7 】

第 1 の開口部 9 3 は、表面 6 1 a に沿う方向において、複数の接続パッド 8 1 のうち一つと、プリアンプ 4 4 との間に位置する。すなわち、表面 6 1 a に沿う方向において、複数の接続パッド 8 1 のうち一つの中の一点と、プリアンプ 4 4 の中の一点と、を結ぶ仮想的な直線が、第 1 の開口部 9 3 を横断する。

【 0 0 8 8 】

第 2 の開口部 9 4 は、表面 6 1 a に沿う方向において、複数の接続パッド 8 1 のうち最も挿通孔 6 6 に近い一つと、当該挿通孔 6 6 との間に位置する。すなわち、表面 6 1 a に沿う方向において、複数の接続パッド 8 1 のうち最も挿通孔 6 6 に近い一つの中の一点と、当該挿通孔 6 6 の中の一点と、を結ぶ仮想的な直線が、第 2 の開口部 9 4 を横断する。

【 0 0 8 9 】

ベタグランド 9 1 は、表面 6 1 a に沿う方向において、複数の凸部 6 3 から離間している。このため、ベタグランド 8 4 , 9 1 のいずれも、凸部 6 3 から離間している。なお、ベタグランド 9 1 は、凸部 6 3 に設けられても良い。また、配線 8 9 のような導体が凸部 6 3 に設けられても良い。

【 0 0 9 0 】

接合部 6 1 は、複数のバイア 9 9 をさらに有する。バイア 9 9 は、例えば、スルーホールである。複数のバイア 9 9 のそれぞれは、ベース層 7 1 を貫通し、ベタグランド 9 1 と、複数のベタグランド 8 4 のうち対応する一つと、を接続する。

【 0 0 9 1 】

以上の HDD 1 の組み立て時において、フレキシヤ 4 3 のパッド 5 5 が、半田 8 7 によって、FPC 1 9 の接続パッド 8 1 に接合される。例えば、パッド 5 5 及び接続パッド 8 1 のうち一方に、半田 8 7 を含むペーストが塗布される。次に、フレキシヤ 4 3 の第 2 の取付部 5 2 と FPC 1 9 の接合部 6 1 が重ねられ、ペーストがパッド 5 5 及び接続パッド 8 1 のうち他方に付着する。

【 0 0 9 2 】

次に、例えば、レーザー光が、図 5 のフレキシヤ 4 3 に設けられた孔 4 3 a を通じてペーストに照射される。これにより、ペーストが溶融し、半田 8 7 によってパッド 5 5 と接続パッド 8 1 とが接合される。

【 0 0 9 3 】

レーザー光がペーストに照射されるとき、当該ペースト (半田 8 7) が加熱されるとともに、当該ペーストの周りも加熱される。例えば、半田 8 7 から接続パッド 8 1 に伝熱することで、FPC 1 9 のうち当該接続パッド 8 1 の周りの部分が加熱される。

【 0 0 9 4 】

FPC 1 9 において、金属の導電層 7 2 , 7 3 のそれぞれは、ベース層 7 1 及びカバー層 7 4 , 7 5 のいずれよりも、熱伝導率が高い。言い換えると、導電層 7 2 , 7 3 は、熱を逃がしやすい。このため、FPC 1 9 において、導電層 7 2 , 7 3 の密度が高い部分は、導電層 7 2 , 7 3 の密度が低い部分よりも、熱を逃がしやすい。

【 0 0 9 5 】

FPC 1 9 の接合部 6 1 のうちプリアンプ 4 4 の周りでは、配線 8 3 の密度が高くなる。一方、接合部 6 1 のうち縁 6 1 b の周りでは、配線 8 3 の密度が低くなる。このため、

10

20

30

40

50

プリアンプ 4 4 の周りでは、多くの配線 8 3 が熱を逃がすことができる。

【 0 0 9 6 】

一般的に、接合部 6 1 のうち縁 6 1 b の周りにおいて導電層 7 2 , 7 3 の密度が低い場合、縁 6 1 b の周りの部分は、熱を逃がしにくくなる。このため、プリアンプ 4 4 の周りの部分と同一条件でレーザー光が照射されると、縁 6 1 b の周りの部分は、過剰に加熱される虞がある。F P C 1 9 が過剰に加熱されると、例えば、導電層 7 2 , 7 3 がベース層 7 1 から剥離する可能性が有る。

【 0 0 9 7 】

一方で、本実施形態では、縁 6 1 b の周りにベタグランド 8 4 , 9 1 が設けられる。例えば、ベタグランド 9 1 は、縁 6 1 b の近傍に位置する接続パッド 8 1 A を Z 方向に覆う。これにより、縁 6 1 b の周りの部分も熱を逃がしやすくなり、縁 6 1 b の周りの部分とプリアンプ 4 4 の周りの部分とにおける熱伝導率が、より平準化される。従って、縁 6 1 b の周りの部分は、プリアンプ 4 4 の周りの部分と同一条件でレーザー光が照射されたとしても、過剰に加熱されることを抑制できる。

【 0 0 9 8 】

第 1 の開口部 9 3 は、ベタグランド 9 1 を貫通することで、当該第 1 の開口部 9 3 を横断する熱伝導を妨げる。第 1 の開口部 9 3 は、接続パッド 8 1 とプリアンプ 4 4 との間に位置することで、接続パッド 8 1 の周りからプリアンプ 4 4 の周りに伝導する熱の量を低減する。このため、第 1 の開口部 9 3 は、プリアンプ 4 4 に比較的近い接続パッド 8 1 F の周りが温度上昇し難くなることを抑制できる。

【 0 0 9 9 】

第 2 の開口部 9 4 は、ベタグランド 9 1 を貫通することで、当該第 2 の開口部 9 4 を横断する熱伝導を妨げる。また、ネジ 6 5 は、金属によって作られるとともに、導電層 7 2 , 7 3 よりも体積が大きい。このため、ネジ 6 5 の周りの部分は、熱を逃がしやすい。第 2 の開口部 9 4 は、接続パッド 8 1 と挿通孔 6 6 との間に位置することで、接続パッド 8 1 の周りからネジ 6 5 の周りに伝導する熱の量を低減する。これにより、第 2 の開口部 9 4 は、挿通孔 6 6 に最も近い接続パッド 8 1 F の周りが温度上昇し難くなることを抑制できる。

【 0 1 0 0 】

複数の凸部 6 3 は、体積当たりの表面積が大きく、熱を放出しやすい。ベタグランド 8 4 , 9 1 は、凸部 6 3 から離間しているため、複数の凸部 6 3 の周りが温度上昇し難くなることを抑制できる。

【 0 1 0 1 】

ベタグランド 9 1 が接続パッド 8 1、実装パッド 8 2、及び配線 8 3 を Z 方向に覆うと、寄生容量が発生し、接続パッド 8 1、実装パッド 8 2、及び配線 8 3 にインピーダンスが生じる可能性が有る。当該インピーダンスは、接続パッド 8 1、実装パッド 8 2、及び配線 8 3 を流れる電気信号に影響する虞がある。

【 0 1 0 2 】

一方で、本実施形態では、ベタグランド 9 1 は、表面 6 1 a に沿う方向において、接続パッド 8 1 B , 8 1 E , 8 1 F の少なくとも一部と、対応する実装パッド 8 2 及び配線 8 3 の少なくとも一部と、から離間する。すなわち、ベタグランド 9 1 は、ライト信号、検知信号、及びリード信号が流れる導体の少なくとも一部を覆わない。

【 0 1 0 3 】

ベタグランド 9 1 は、接続パッド 8 1 B と対応する実装パッド 8 2 及び配線 8 3 とを覆わないため、寄生容量によるライト信号への影響を生じることを抑制できる。ベタグランド 9 1 は、接続パッド 8 1 E と対応する実装パッド 8 2 及び配線 8 3 とを覆わないため、寄生容量による検知信号への影響を生じることを抑制できる。また、ベタグランド 9 1 は、接続パッド 8 1 F と対応する実装パッド 8 2 及び配線 8 3 とを覆わないため、寄生容量によるリード信号への影響を生じることを抑制できる。

【 0 1 0 4 】

10

20

30

40

50

なお、ベタグランド91は、接続パッド81B, 81Eと、対応する実装パッド82及び配線83と、の全体をZ方向に覆っても良い。例えば、インピーダンスのライト信号及び検知信号への影響が小さい場合、ベタグランド91は、接続パッド81B, 81Eと、対応する実装パッド82及び配線83と、の全体をZ方向に覆い、熱が逃げやすくする。

【0105】

本実施形態では、ベタグランド91は、接続パッド81Fに接続された配線83の全体から、表面61aに沿う方向に離間している。一方で、ベタグランド91は、接続パッド81B, 81Eに接続された配線83の一部を、Z方向に覆っても良い。例えば、ベタグランド91の一部と他の一部とを接続する部分が、接続パッド81Bに接続された配線83の一部を横断するように延びても良い。これにより、ベタグランド91は、当該ベタグランド91の一部と他の一部との電位に差が生じることを抑制できる。

【0106】

以上説明された本実施形態に係るHDD1において、FPC19は、表面61aと、当該表面61aに設けられる複数の接続パッド81と、ベタグランド91と、を有する。複数の接続パッド81のそれぞれは、半田87によって複数のパッド55のうち対応する一つに接合される。ベタグランド91は、表面61aと直交するZ方向に複数の接続パッド81のうち少なくとも一つを覆う。これにより、ベタグランド91は、接続パッド81が半田87によってパッド55に接合されるとき、レーザ光のような熱源によって加熱された半田87から接続パッド81に伝達する熱を逃がすことができる。従って、HDD1は、接続パッド81が過剰に加熱されることによりFPC19に剥離が生じることを抑制できる。また、複数の接続パッド81は、接続パッド81Fを含む。接続パッド81Fには、磁気ヘッド15が磁気ディスク12から読み出した情報の電気信号(リード信号)が流れる。ベタグランド91は、表面61aに沿う方向において接続パッド81Fのうち少なくとも一部から離間している。一般的に、電気信号が流れる端子や配線のような導電体にベタグランドが近接すると、当該導電体にインピーダンスが発生し、電気信号に影響が生じる。リード信号が流れる接続パッド81Fにインピーダンスが生じる場合、当該インピーダンスは、HDD1における情報の読み書きに影響を生じる虞がある。一方で、接続パッド81C, 81Dにインピーダンスが生じたとしても、HDD1における情報の読み書きへの影響は少ない。本実施形態のHDD1は、ベタグランド91が接続パッド81Fから離間することで、接続パッド81Fとベタグランド91との近接により接続パッド81Fにインピーダンスが生じることを抑制できる。従って、HDD1は、FPC19に剥離が生じることをベタグランド91によって抑制するとともに、当該ベタグランド91がリード信号に影響することを抑制でき、ひいてはHDD1の性能が低下することを抑制できる。

【0107】

また、以上説明された本実施形態に係るHDD1において、FPC19は、表面61aと、当該表面61aに設けられる複数の接続パッド81と、表面61aに設けられる複数の実装パッド82と、複数の配線83と、ベタグランド91と、を有する。複数の接続パッド81はそれぞれ、半田87によって複数のパッド55のうち対応する一つに接合される。複数の配線83は、複数の接続パッド81と複数の実装パッド82とを接続する。ベタグランド91は、表面61aと直交するZ方向に、複数の接続パッド81のうち少なくとも一つ、複数の実装パッド82のうち少なくとも一つ、及び複数の配線83のうち少なくとも一つを覆う。これにより、ベタグランド91は、接続パッド81が半田87によってパッド55に接合されるとき、レーザ光のような熱源によって加熱された半田87から接続パッド81に伝達する熱を逃がすことができる。従って、HDD1は、接続パッド81が過剰に加熱されることによりFPC19に剥離が生じることを抑制できる。また、ブリアンプ44は、複数の実装パッド82に接続される。ベタグランド91は、表面61aに沿う方向において、複数の配線83のうち一つと、当該複数の配線83のうち一つに接続された複数の接続パッド81のうち一つ及び複数の実装パッド82のうち一つと、から少なくとも部分的に離間している。本実施形態のHDD1は、ベタグランド91が互い接

続された接続パッド 8 1、実装パッド 8 2、及び配線 8 3 から離間することで、これらの接続パッド 8 1、実装パッド 8 2、及び配線 8 3 にインピーダンスが生じることを抑制できる。従って、HDD 1 は、ベタグランド 9 1 により FPC 1 9 に剥離が生じることを抑制するとともに、当該ベタグランド 9 1 が接続パッド 8 1、実装パッド 8 2、及び配線 8 3 を流れる電気信号に影響することを抑制でき、ひいては HDD 1 の性能が低下することを抑制できる。

【0108】

接続パッド 8 1 B には、磁気ヘッド 1 5 が磁気ディスク 1 2 に書き込む情報の電気信号（ライト信号）が流れる。ベタグランド 9 1 は、表面 6 1 a に沿う方向において、接続パッド 8 1 B から離間している。HDD 1 は、ベタグランド 9 1 が接続パッド 8 1 B から離間することで、接続パッド 8 1 B とベタグランド 9 1 との近接により接続パッド 8 1 B にインピーダンスが生じることを抑制できる。従って、HDD 1 は、ベタグランド 9 1 により FPC 1 9 に剥離が生じることを抑制するとともに、当該ベタグランド 9 1 がライト信号に影響することを抑制でき、ひいては HDD 1 の性能が低下することを抑制できる。

10

【0109】

HDI センサ 4 5 は、フレキシャ 4 3 に実装され、磁気ディスク 1 2 と磁気ヘッド 1 5 との間の接触を検知して電気信号（検知信号）を出力する。接続パッド 8 1 E は、HDI センサ 4 5 に電氣的に接続される。ベタグランド 9 1 は、表面 6 1 a に沿う方向において、接続パッド 8 1 E から離間している。HDD 1 は、ベタグランド 9 1 が接続パッド 8 1 E から離間することで、接続パッド 8 1 E とベタグランド 9 1 との近接により接続パッド 8 1 E にインピーダンスが生じることを抑制できる。従って、HDD 1 は、ベタグランド 9 1 により FPC 1 9 に剥離が生じることを抑制するとともに、当該ベタグランド 9 1 が検知信号に影響することを抑制でき、ひいては HDD 1 の性能が低下することを抑制できる。

20

【0110】

複数の接続パッド 8 1 は、複数の列 L を形成する。当該複数の列 L はそれぞれ、複数の接続パッド 8 1 のうち表面 6 1 a に沿う Y 方向に並べられた二つ以上を含む。複数の列 L のそれぞれが接続パッド 8 1 F を含む。ベタグランド 9 1 は、表面 6 1 a に沿う方向において複数の列 L のそれぞれの接続パッド 8 1 F の少なくとも一部から離間している。これにより、ベタグランド 9 1 は、複数の列 L のそれぞれの接続パッド 8 1 F にインピーダンスが生じることを抑制できる。

30

【0111】

FPC 1 9 は、プリアンプ 4 4 に接続される実装パッド 8 2 と、接続パッド 8 1 F と実装パッド 8 2 とを接続する配線 8 3 と、を有する。ベタグランド 9 1 は、表面 6 1 a に沿う方向において、上記実装パッド 8 2 及び配線 8 3 の少なくとも一部から離間している。これにより、本実施形態の HDD 1 は、接続パッド 8 1 F、配線 8 3、及び実装パッド 8 2 とベタグランド 9 1 との近接により接続パッド 8 1 F、配線 8 3、及び実装パッド 8 2 にインピーダンスが生じることを抑制できる。従って、HDD 1 は、ベタグランド 9 1 がリード信号に影響することをより効果的に抑制でき、ひいては HDD 1 の性能が低下することを抑制できる。

40

【0112】

ベタグランド 9 1 に、孔 9 2 が設けられる。表面 6 1 a に沿う方向において、接続パッド 8 1 F、配線 8 3、及び実装パッド 8 2 の少なくとも一部は、孔 9 2 の縁の内側に位置する。すなわち、接続パッド 8 1 F、配線 8 3、及び実装パッド 8 2 の周りには、ベタグランド 9 1 が存在する。これにより、ベタグランド 9 1 は、接続パッド 8 1 がパッド 5 5 に接合されるとき、より効果的に熱を逃がすことができる。従って、HDD 1 は、接続パッド 8 1 が過剰に加熱されることにより FPC 1 9 に剥離が生じることを抑制できる。

【0113】

ベタグランド 9 1 に、第 1 の開口部 9 3 が設けられる。第 1 の開口部 9 3 は、表面 6 1 a に沿う方向において、複数の接続パッド 8 1 のうち一つとプリアンプ 4 4 との間に位置

50

する。第1の開口部93は、接続パッド81とプリアンプ44との間でベタグランド91を通じて伝わる熱を低減することができる。これにより、本実施形態のHDD1は、接続パッド81がパッド55に接合されるとき、複数の接続パッド81の間における温度の不均衡を低減することができる。従って、HDD1は、一部の接続パッド81が過剰に加熱されることによりFPC19に剥離が生じることを抑制できる。

【0114】

FPC19は、表面61aに沿うX方向に延びる縁61bと、表面61aに沿うとともにX方向と交差するY方向に当該縁61bから突出する凸部63と、を有する。複数の接続パッド81は、表面61aに沿う方向において、縁61bとプリアンプ44との間に位置する。ベタグランド91は、表面61aに沿う方向において、凸部63から離間している。縁61bから突出する凸部63は、FPC19のうち縁61bを含む接合部61よりも熱を放出しやすい。ベタグランド91は、凸部63から離間しているため、凸部63から過剰に熱を放出することを抑制できる。従って、本実施形態のHDD1は、接続パッド81がパッド55に接合されるとき、FPC19における温度の不均衡を低減することができる。従って、HDD1は、一部の接続パッド81が過剰に加熱されることによりFPC19に剥離が生じることを抑制できる。

10

【0115】

FPC19は、ベース層71と、当該ベース層71に積層された導電層72と、を有する。導電層72は、複数の接続パッド81と、表面61aに沿う方向において当該複数の接続パッド81から離間するベタグランド84と、を有する。ベタグランド84の少なくとも一部は、表面61aに沿う方向において複数の接続パッド81のうち二つの間に位置する。すなわち、ベタグランド84は、複数の接続パッド81の近傍に設けられる。これにより、ベタグランド84は、接続パッド81がパッド55に接合されるとき、接続パッド81の熱を逃がすことができる。従って、HDD1は、接続パッド81が過剰に加熱されることによりFPC19に剥離が生じることを抑制できる。

20

【0116】

FPC19は、ベタグランド91とベタグランド84とを接続するバイア99を有する。これにより、本実施形態のHDD1は、ベタグランド91とベタグランド84とを同電位とすることができる。従って、HDD1は、ベタグランド91及びベタグランド84がアンテナのように機能したり、望まぬインピーダンスを発生させたり、ノイズを発生させたりすることを抑制でき、ひいてはHDD1の性能が低下することを抑制できる。

30

【0117】

FPC19に、ネジ65が通る挿通孔66が設けられる。ベタグランド91に、第2の開口部94が設けられる。第2の開口部94は、表面61aに沿う方向において、複数の接続パッド81のうち挿通孔66に最も近い一つと当該挿通孔66との間に位置する。第2の開口部94は、接続パッド81と挿通孔66を通るネジ65との間でベタグランド91を通じて伝わる熱を低減することができる。これにより、本実施形態のHDD1は、接続パッド81がパッド55に接合されるとき、複数の接続パッド81の間における温度の不均衡を低減することができる。従って、HDD1は、一部の接続パッド81が過剰に加熱されることによりFPC19に剥離が生じることを抑制できる。

40

【0118】

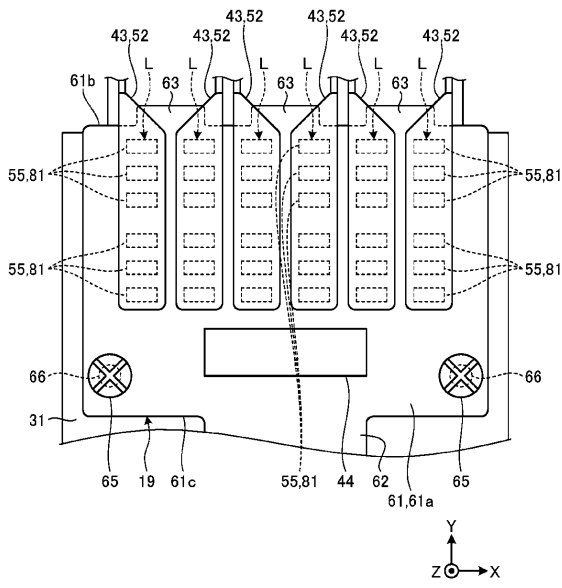
以上の説明において、抑制は、例えば、事象、作用、若しくは影響の発生を防ぐこと、又は事象、作用、若しくは影響の度合いを低減させること、として定義される。

【0119】

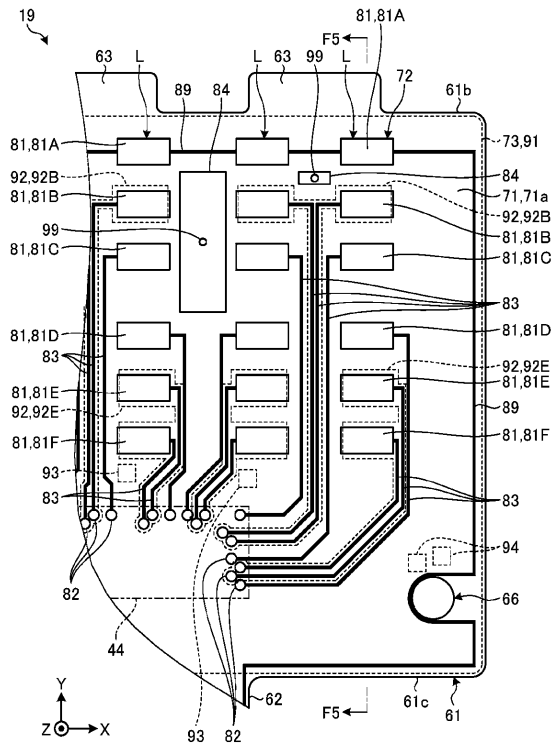
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

50

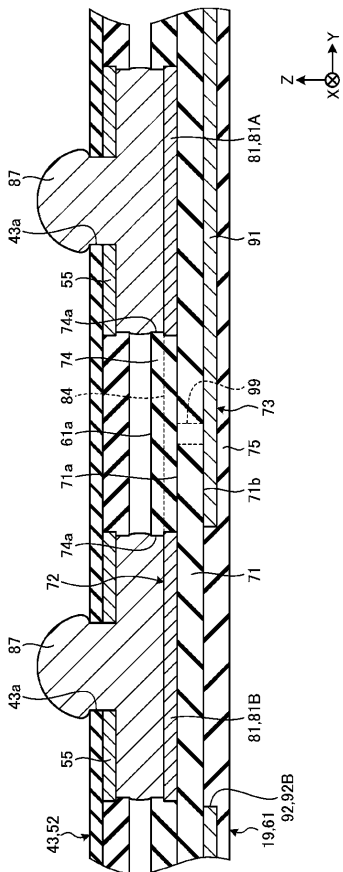
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 岡野 太一

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 雨宮 義浩

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 山中 森羅

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

Fターム(参考) 5D059 AA01 BA01 CA01 DA26 DA36 EA03